

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6530226号
(P6530226)

(45) 発行日 令和1年6月12日(2019.6.12)

(24) 登録日 令和1年5月24日(2019.5.24)

(51) Int.Cl. F I
G05F 1/56 (2006.01) G05F 1/56 310C

請求項の数 8 (全 12 頁)

(21) 出願番号	特願2015-85661 (P2015-85661)	(73) 特許権者	308033711 ラピスセミコンダクタ株式会社
(22) 出願日	平成27年4月20日 (2015.4.20)		神奈川県横浜市港北区新横浜二丁目4番地 8
(65) 公開番号	特開2016-206818 (P2016-206818A)	(74) 代理人	100079119 弁理士 藤村 元彦
(43) 公開日	平成28年12月8日 (2016.12.8)	(74) 代理人	100147728 弁理士 高野 信司
審査請求日	平成30年2月22日 (2018.2.22)	(72) 発明者	大塚 雅之 神奈川県横浜市港北区新横浜二丁目4番地 8 ラピスセミコンダクタ株式会社内
		審査官	高野 誠治

最終頁に続く

(54) 【発明の名称】 電圧レギュレータ、半導体装置、及び電圧レギュレータの電圧生成方法

(57) 【特許請求の範囲】

【請求項1】

アクティブモード又はスタンバイモードの動作モードにて電源電圧に基づき内部電源電圧を生成する電圧レギュレータであって、

駆動電圧を生成して駆動ラインに印加する駆動電圧生成部と、

前記駆動ラインの電圧値に応じた電圧を前記内部電源電圧として出力する出力トランジスタと、

一端に前記電源電圧を受けるキャパシタ素子と、接地電圧を受けてオン状態となって前記接地電圧を前記キャパシタ素子の他端に印加する第1スイッチ素子と、前記動作モードが前記スタンバイモードから前記アクティブモードへ遷移したときに所定期間の間だけ、前記第1スイッチ素子がオフ状態にされるとともにオン状態となって前記キャパシタ素子の前記他端を前記駆動ラインに接続する第2スイッチ素子と、を含む強制駆動回路と、を有することを特徴とする電圧レギュレータ。

【請求項2】

前記出力トランジスタは前記電源電圧を受けるソース端子と、前記駆動ラインに接続されているゲート端子と、前記内部電源電圧を出力するドレイン端子とを有するpチャネルMOS形のトランジスタからなることを特徴とする請求項1記載の電圧レギュレータ。

【請求項3】

前記キャパシタ素子は、ゲート端子を前記他端とし、互いに接続されたドレイン端子及びソース端子を前記一端とするpチャネルMOS型のトランジスタであることを特徴とす

10

20

る請求項 2 記載の電圧レギュレータ。

【請求項 4】

前記駆動電圧生成部は、前記内部電源電圧の電圧値を分圧して分圧電圧を得る分圧回路と、

前記分圧電圧と基準電圧との差分に対応した電圧値を有する前記駆動電圧を生成する差動増幅部と、を有することを特徴とする請求項 1～3 のいずれか 1 に記載の電圧レギュレータ。

【請求項 5】

前記動作モードが前記スタンバイモードにある間は第 1 の論理レベルを有し、前記スタンバイモードから前記アクティブモードへ遷移した時点から前記所定期間の間だけ第 2 の論理レベルを有する駆動パルス信号を生成するパルス発生部を有し、

前記第 1 スイッチ素子は、前記駆動パルス信号が前記第 1 の論理レベルを有する場合にオン状態となる一方、前記駆動パルス信号が前記第 2 の論理レベルを有する場合にはオフ状態となり、

前記第 2 スイッチ素子は、前記駆動パルス信号が前記第 1 の論理レベルを有する場合にオフ状態となる一方、前記駆動パルス信号が前記第 2 の論理レベルを有する場合にオン状態となることを特徴とする請求項 1～4 のいずれか 1 に記載の電圧レギュレータ。

【請求項 6】

強制駆動無効化信号に応じて前記強制駆動回路の出力をハイインピーダンスにする回路を含むことを特徴とする請求項 5 に記載の電圧レギュレータ。

【請求項 7】

メモリと、アクティブモード又はスタンバイモードの動作モードにて電源電圧に基づき内部電源電圧を生成して前記メモリに供給する電圧レギュレータと、を有する半導体装置であって、

前記電圧レギュレータは、

駆動電圧を生成して駆動ラインに印加する駆動電圧生成部と、

前記駆動ラインの電圧値に応じた電圧を前記内部電源電圧として出力する出力トランジスタと、

一端に前記電源電圧を受けるキャパシタ素子と、接地電圧を受けてオン状態となって前記接地電圧を前記キャパシタ素子の他端に印加する第 1 スイッチ素子と、前記動作モードが前記スタンバイモードから前記アクティブモードへ遷移したときに所定期間の間だけ、前記第 1 スイッチ素子がオフ状態にされるとともにオン状態となって前記キャパシタ素子の前記他端を前記駆動ラインに接続する第 2 スイッチ素子と、を含む強制駆動回路と、を有することを特徴とする半導体装置。

【請求項 8】

駆動電圧を生成して駆動ラインに印加する駆動電圧生成部と、電源電圧に基づき前記駆動ラインの電圧値に応じた電圧を内部電源電圧として出力する出力トランジスタと、キャパシタ素子とを含み且つスタンバイモード又はアクティブモードの動作モードで動作する電圧レギュレータの電圧生成方法であって、

前記キャパシタ素子の一端に前記電源電圧を印加し、

接地電圧を前記キャパシタ素子の他端に印加し、

前記動作モードが前記スタンバイモードから前記アクティブモードへ遷移したときに所定期間の間だけ、前記キャパシタ素子の前記他端に、前記接地電圧を印加することに代えて前記駆動ラインに接続することを特徴とする電圧レギュレータの電圧生成方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電圧レギュレータ、特にアクティブモード又はスタンバイモードにて内部電源電圧を生成する電圧レギュレータ、当該電圧レギュレータが形成されている半導体装置、及び電圧レギュレータの電圧生成方法に関する。

【背景技術】

【0002】

半導体チップには、各種機能を担う内部回路と共に、電源電圧に基づき当該内部回路を動作させる為の内部電源電圧を生成して内部回路に供給する電圧レギュレータが設けられている。当該電圧レギュレータには、内部回路の負荷変動に拘わらず内部電源電圧の電圧値を一定にする為に、内部電源電圧を出力する出力トランジスタのゲート端子に、当該内部電源電圧と基準電圧との差分に対応した電圧値を有する駆動電圧を印加する差動増幅部が設けられている（例えば、特許文献1参照）。また、この電圧レギュレータでは、アクティブモード時には差動増幅部内に流す電流量を増加することにより高速動作を実現し、スタンバイモード時には差動増幅部内に流す電流量を低下させることにより省電力化を図

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2008-310703号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、上記したアクティブモード時にはスタンバイモード時に比して内部回路の負荷変動が大となる。この際、差動増幅部は、当該負荷変動に追従させて内部電源電圧を一定に維持させるように動作するが、その動作には遅延が伴う。よって、上記した電圧レギュレータでは、動作モードがスタンバイモードからアクティブモードへ遷移した直後において、一時的に内部電源電圧が低下するという問題が生じる。

20

【0005】

そこで、本発明は、スタンバイモードからアクティブモードへの遷移直後における内部電源電圧の低下を抑制することが可能な電圧レギュレータ、半導体装置、及び電圧レギュレータの電圧生成方法を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明に係る電圧レギュレータは、アクティブモード又はスタンバイモードの動作モードにて電源電圧に基づき内部電源電圧を生成する電圧レギュレータであって、駆動電圧を生成して駆動ラインに印加する駆動電圧生成部と、前記駆動ラインの電圧値に応じた電圧を前記内部電源電圧として出力する出力トランジスタと、一端に前記電源電圧を受けるキャパシタ素子と、接地電圧を受けてオン状態となって前記接地電圧を前記キャパシタ素子の他端に印加する第1スイッチ素子と、前記動作モードが前記スタンバイモードから前記アクティブモードへ遷移したときに所定期間の間だけ、前記第1スイッチ素子がオフ状態にされるとともにオン状態となって前記キャパシタ素子の前記他端を前記駆動ラインに接続する第2スイッチ素子と、を含む強制駆動回路と、を有する。

30

【0007】

また、本発明に係る半導体装置は、メモリと、アクティブモード又はスタンバイモードの動作モードにて電源電圧に基づき内部電源電圧を生成して前記メモリに供給する電圧レギュレータと、を有する半導体装置であって、前記電圧レギュレータは、駆動電圧を生成して駆動ラインに印加する駆動電圧生成部と、前記駆動ラインの電圧値に応じた電圧を前記内部電源電圧として出力する出力トランジスタと、一端に前記電源電圧を受けるキャパシタ素子と、接地電圧を受けてオン状態となって前記接地電圧を前記キャパシタ素子の他端に印加する第1スイッチ素子と、前記動作モードが前記スタンバイモードから前記アクティブモードへ遷移したときに所定期間の間だけ、前記第1スイッチ素子がオフ状態にされるとともにオン状態となって前記キャパシタ素子の前記他端を前記駆動ラインに接続する第2スイッチ素子と、を含む強制駆動回路と、を有する。

40

【0008】

50

また、本発明に係る電圧レギュレータの電圧生成方法は、駆動電圧を生成して駆動ラインに印加する駆動電圧生成部と、電源電圧に基づき前記駆動ラインの電圧値に応じた電圧を内部電源電圧として出力する出力トランジスタと、キャパシタ素子とを含み且つスタンバイモード又はアクティブモードの動作モードで動作する電圧レギュレータの電圧生成方法であって、前記キャパシタ素子の一端に前記電源電圧を印加し、接地電圧を前記キャパシタ素子の他端に印加し、前記動作モードが前記スタンバイモードから前記アクティブモードへ遷移したときに所定期間の間だけ、前記キャパシタ素子の前記他端に、前記接地電圧を印加することに代えて前記駆動ラインに接続する。

【発明の効果】

【0009】

本発明においては、出力トランジスタを駆動する電圧が供給される駆動ラインに対して、動作モードがスタンバイモードからアクティブモードへ遷移したときにキャパシタ素子を接続する。これにより、スタンバイモードからアクティブモードへの遷移直後、駆動ラインの電圧値を迅速に、当該出力トランジスタが高電流出力可能となる電圧値に到らせることができるようになる。よって、本発明によれば、スタンバイモードからアクティブモードへの遷移直後での内部電源電圧の低下を抑制することが可能となる。

【図面の簡単な説明】

【0010】

【図1】本発明に係る電圧レギュレータ100を有する半導体メモリ10の構成を示すブロック図である。

【図2】電圧レギュレータ100の構成を示す回路図である。

【図3】強制駆動回路18の動作を示すタイムチャートである。

【発明を実施するための形態】

【0011】

以下、本発明の実施例を図面を参照しつつ詳細に説明する。

【0012】

図1は、本発明に係る電圧レギュレータ100を含む半導体メモリ10の概略構成を示すブロック図である。

【0013】

電圧レギュレータ100は、バッテリー等から外部供給された直流の電源電圧VDDに基づき内部電源電圧V_{OUT}を生成し、これを内部電源供給ラインL_{VG}を介して内部回路としてのメモリ200に供給する。尚、電圧レギュレータ100は、スタンバイモード又はアクティブモードの動作モードで動作する。メモリ200は、上記した内部電源電圧V_{OUT}によって動作する、例えばNAND型又はNOR型フラッシュメモリ等の不揮発性のメモリである。

【0014】

図2は、電圧レギュレータ100の構成を示す回路図である。図2に示すように、電圧レギュレータ100は、インバータ11、トランジスタ12、駆動電圧生成回路13、出力トランジスタ14、ノアゲート15、セレクタ16、パルス発生部17、及び強制駆動回路18を含む。

【0015】

インバータ11は、電圧レギュレータ100の外部から供給されたディスエーブル信号DSの論理レベルを反転させた反転ディスエーブル信号DSVをトランジスタ12のゲート端子及び駆動電圧生成回路13に供給する。尚、ディスエーブル信号DSは、例えば論理レベル1を有する場合には電圧レギュレータ100の無効化を表し、論理レベル0を有する場合には有効化を表す。

【0016】

トランジスタ12は、pチャネル型のMOS (metal-oxide-semiconductor) トランジスタからなり、そのソース端子には電源電圧VDDが印加されており、ドレイン端子は駆動ラインL_Dに接続されている。

10

20

30

40

50

【 0 0 1 7 】

駆動電圧生成回路 1 3 は、pチャネル型のMOSトランジスタであるトランジスタP 0 ~ P 3、及びnチャネル型のMOSトランジスタであるトランジスタN 0 ~ N 4を含む差動増幅部と、抵抗R 0及びR 1からなる分圧回路とを有する。

【 0 0 1 8 】

トランジスタN 0のゲート端子には基準電圧 V_{REF} が供給されており、そのソース端子は、トランジスタN 1のソース端子及びトランジスタN 2及びN 3各々のドレイン端子に接続されている。トランジスタN 0のドレイン端子はトランジスタP 0のドレイン端子及び駆動ライン L_D に接続されている。トランジスタP 0のソース端子には電源電圧VDDが印加されており、そのゲート端子はトランジスタP 1のゲート端子及びドレイン端子と、トランジスタN 1のドレイン端子とに接続されている。トランジスタP 1のソース端子には電源電圧VDDが印加されている。トランジスタN 1のゲート端子は分圧電圧ライン L_B に接続されている。トランジスタN 2のゲート端子には消費電流制御電圧VBNが供給されており、そのソース端子には接地電圧VSSが印加されている。トランジスタN 3のゲート端子にはノアゲート15から送出された反転モード指定信号MDVが供給されており、そのソース端子には接地電圧VSSが印加されている。

10

【 0 0 1 9 】

トランジスタP 2は、自身のドレイン端子及びソース端子が共に駆動ライン L_D に接続されており、そのゲート端子は内部電源供給ライン L_{VG} に接続されている。トランジスタP 3は、自身のドレイン端子及びソース端子が共に内部電源供給ライン L_{VG} に接続されており、そのゲート端子は分圧電圧ライン L_B に接続されている。すなわち、トランジスタP 2及びP 3は、夫々が独立したキャパシタ素子として動作する。

20

【 0 0 2 0 】

抵抗R 1の一端は内部電源供給ライン L_{VG} に接続されており、その他端は分圧電圧ライン L_B 及び抵抗R 0の一端に接続されている。抵抗R 0の他端はトランジスタN 4のドレイン端子に接続されている。分圧回路としての抵抗R 0及びR 1は、内部電源供給ライン L_{VG} に印加されている内部電源電圧 V_{OUT} を分圧して得られた以下の分圧電圧DVを分圧電圧ライン L_B を介してトランジスタN 1のゲート端子に供給する。

【 0 0 2 1 】

$$DV = V_{OUT} \cdot [R 0 / (R 0 + R 1)]$$

30

【 0 0 2 2 】

トランジスタN 4のゲート端子には上記した反転ディスエーブル信号DSVが供給されており、そのソース端子には接地電圧VSSが印加されている。

【 0 0 2 3 】

出力トランジスタ14のソース端子には電源電圧VDDが印加されている。出力トランジスタ14のゲート端子は駆動ライン L_D に接続されており、そのドレイン端子は内部電源供給ライン L_{VG} に接続されている。

【 0 0 2 4 】

上記した構成により、駆動電圧生成回路 1 3 は、出力トランジスタ 1 4 から送出された内部電源電圧 V_{OUT} を分圧して得た分圧電圧DVと、基準電圧 V_{REF} との差分に対応した電圧値を有する駆動電圧VQを生成し、この駆動電圧VQを駆動ライン L_D に印加する。

40

【 0 0 2 5 】

ノアゲート15は、ディスエーブル信号DSが論理レベル0、つまり電圧レギュレータ100を有効化する場合には、モード指定信号MODの論理レベルを反転させた信号を上記した反転モード指定信号MDVとして生成する。尚、モード指定信号MODは、動作モードとしてアクティブモードを指定する場合には例えば論理レベル0を有し、スタンバイモードを指定する場合には論理レベル1を有する。つまり、モード指定信号MODにより、電圧レギュレータ100をアクティブモード又はスタンバイモードのいずれの動作モードで動作させるのかが指定されるのである。

【 0 0 2 6 】

50

また、ノアゲート15は、ディスエーブル信号DSが論理レベル1、つまり電圧レギュレータ100を無効化する場合には、論理レベル0を有する反転モード指定信号MDVを生成する。

【0027】

ノアゲート15は、上記のように生成した反転モード指定信号MDVを、セクタ16及び駆動電圧生成回路13のトランジスタN3のゲート端子に夫々供給する。

【0028】

セクタ16は、強制駆動無効化信号NCに基づき、論理レベル0に対応した接地電圧VSSと、反転モード指定信号MDVとのうちの一方を選択し、選択した方のレベルを有するモード遷移信号MCをパルス発生部17に供給する。尚、強制駆動無効化信号NCは、強制駆動回路18を無効化する場合には例えば論理レベル1を有し、有効化する場合には論理レベル0を有する。

【0029】

つまり、セクタ16は、強制駆動回路18の有効化を表す強制駆動無効化信号NCが供給された場合には、反転モード指定信号MDVを選択し、この反転モード指定信号MDVにて表されるレベルを有するモード遷移信号MCをパルス発生部17に供給する。一方、強制駆動回路18の無効化を表す強制駆動無効化信号NCが供給された場合には、セクタ16は、論理レベル0のモード遷移信号MCをパルス発生部17に供給する。

【0030】

パルス発生部17は、図3に示すように、外部供給されたモード遷移信号MCが論理レベル0から論理レベル1へ遷移した際に、その遷移時点から所定のパルス幅STの間だけ論理レベル0、他の期間は論理レベル1となる強制駆動パルス信号PSを生成する。つまり、パルス発生部17は、モード指定信号MODがスタンバイモードを示している間は論理レベル1を有し、モード指定信号MODがスタンバイモードを示す状態からアクティブモードを示す状態に遷移したら、その遷移時点からパルス幅STの間だけ論理レベル0となる強制駆動パルス信号PSを生成する。パルス発生部17は、この強制駆動パルス信号PSを強制駆動回路18に供給する。尚、パルス発生部17は、外部供給されたパルス幅調整信号PWCに基づいてパルス幅STを調整する。

【0031】

強制駆動回路18は、pチャンネル型のMOSトランジスタであるトランジスタP6及びP7、nチャンネル型のMOSトランジスタであるトランジスタN5を含む。

【0032】

トランジスタN5のソース端子には接地電圧VSSが印加されており、そのゲート端子には強制駆動パルス信号PSが供給されている。トランジスタN5のドレイン端子はラインLpを介してトランジスタP6のドレイン端子及びトランジスタP7のゲート端子に接続されている。トランジスタP6のゲート端子には強制駆動パルス信号PSが供給されており、そのソース端子は駆動ラインLdに接続されている。トランジスタP7のドレイン端子及びソース端子には共に電源電圧VDDが印加されており、そのゲート端子はラインLpに接続されている。かかる接続により、トランジスタP7は、互いに接続されたソース端子及びドレイン端子を一端とし、ゲート端子を他端とするキャパシタ素子となる。

【0033】

以下に、上記した構成からなる電圧レギュレータ100の動作について説明する。

【0034】

先ず、電圧レギュレータ100を無効化する場合には、無効化を表す論理レベル1のディスエーブル信号DSと共に、論理レベル0に対応した電圧値を有する消費電流制御電圧VBNが電圧レギュレータ100に供給される。これにより、トランジスタ12がオン状態となり、当該トランジスタ12を介して電源電圧VDDが駆動ラインLdに印加され、出力トランジスタ14がオフ状態固定となる。更に、これら論理レベル1のディスエーブル信号DS及び消費電流制御電圧VBNにより、駆動電圧生成回路13のトランジスタN2～N4がオフ状態固定となり、当該駆動電圧生成回路13の動作が停止する。

10

20

30

40

50

【 0 0 3 5 】

よって、内部電源供給ライン L_{VG} がハイインピーダンス状態となり且つ駆動電圧生成回路 1 3 の動作が停止するので、電圧レギュレータ 1 0 0 の動作が停止する。

【 0 0 3 6 】

一方、電圧レギュレータ 1 0 0 を有効化する場合には、有効化を表す論理レベル 0 のディスエーブル信号 $D S$ と共に、論理レベル 0 の電圧値よりも高い電圧値を有する消費電流制御電圧 V_{BN} が電圧レギュレータ 1 0 0 に供給される。これにより、出力トランジスタ 1 4 のオフ状態固定が解除されると共に、駆動電圧生成回路 1 3 が動作状態となる。よって、出力トランジスタ 1 4 は、電源電圧 V_{DD} に基づき、駆動電圧生成回路 1 3 で生成された駆動電圧 V_Q に応じた内部電源電圧 V_{OUT} を生成し、この内部電源電圧 V_{OUT} を内部電源供給ライン L_{VG} を介して出力する。

10

【 0 0 3 7 】

この際、アクティブモードを示すモード指定信号 MOD が電圧レギュレータ 1 0 0 に供給されている場合には、論理レベル 1 に対応した電圧値を有する反転モード指定信号 MDV に応じて、駆動電圧生成回路 1 3 のトランジスタ N_3 がオン状態となる。更に、アクティブモード時には、論理レベル 0 の電圧値よりも高い電圧値を有する消費電流制御電圧 V_{BN} がトランジスタ N_2 に供給され、当該トランジスタ N_2 がオン状態となる。よって、トランジスタ N_2 及び N_3 の双方を介して差動増幅部 (P_0 、 P_1 、 $N_0 \sim N_3$) 内にバイアス電流が流れ、駆動電圧生成回路 1 3 は、以下のように駆動電圧 V_Q を生成する。

【 0 0 3 8 】

20

すなわち、先ず、駆動電圧生成回路 1 3 に含まれる分圧回路 (R_0 、 R_1) が、内部電源電圧 V_{OUT} を分圧して得られた分圧電圧 DV を差動増幅部 (P_0 、 P_1 、 $N_0 \sim N_3$) に供給する。差動増幅部は、分圧電圧 DV と基準電圧 V_{REF} との差分に対応した電圧値を有する駆動電圧 V_Q を生成し、当該駆動電圧 V_Q を駆動ライン L_D を介して出力トランジスタ 1 4 のゲート端子に供給する。

【 0 0 3 9 】

よって、上記した駆動電圧生成回路 1 3 による帰還動作によれば、内部回路としてのメモリ 2 0 0 の負荷変動に伴い内部電源電圧 V_{OUT} の電圧値が変動しても、当該電圧値を基準電圧 V_{REF} に対応した一定の電圧値に収束させることが可能となる。この際、アクティブモードでは、トランジスタ N_2 及び N_3 によって比較的大なる電流を差動増幅部に流すことができるので、内部電源電圧 V_{OUT} の電圧値の変動に高速に応答させて当該内部電源電圧 V_{OUT} の一定化を図ることが可能となる。

30

【 0 0 4 0 】

一方、スタンバイモードを示すモード指定信号 MOD が電圧レギュレータ 1 0 0 に供給されている場合には、論理レベル 0 の反転モード指定信号 MDV に応じてトランジスタ N_3 がオフ状態となる。つまり、差動増幅部は、トランジスタ N_2 及び N_3 のうちの N_2 のみで電流を流す状態となる。よって、スタンバイモード時においてもアクティブモードと同様に、一定の電圧値を有する内部電源電圧 V_{OUT} の生成が為されるものの、アクティブモードに比して差動増幅部に流す電流が小さくなるので応答速度が低くなる。しかしながら、スタンバイモードではトランジスタ N_3 に電流が流れない分だけ、アクティブモード

40

【 0 0 4 1 】

ところで、図 3 に示すように、モード指定信号 MOD がスタンバイモードを示す状態からアクティブモードを示す状態に遷移すると、これに応じて、論理レベル 0 の状態から論理レベル 1 の状態に遷移するモード遷移信号 MC がパルス発生部 1 7 に供給される。

【 0 0 4 2 】

パルス発生部 1 7 は、図 3 に示すように、モード遷移信号 MC の論理レベル 0 から論理レベル 1 への遷移時点からパルス幅 ST の間だけ論理レベル 0 の状態となり、他の期間は論理レベル 1 となる強制駆動パルス信号 PS を生成する。つまり、パルス発生部 1 7 は、動作モードがスタンバイモードからアクティブモードへ遷移した時には、パルス幅 ST の

50

間だけ強制駆動処理を実施させる為に、論理レベル0の強制駆動パルス信号PSを生成する。パルス発生部17は、当該強制駆動パルス信号PSを強制駆動回路18に供給する。

【0043】

この際、モード指定信号MODがスタンバイモードを示す状態にある間は、図3に示すように、強制駆動回路18のトランジスタP6がオフ状態となり、トランジスタN5はオン状態となる。よって、この間、キャパシタ素子としてのトランジスタP7のゲート端子には接地電圧VSSが印加され、トランジスタP7が充電される。これにより、トランジスタP7内にはチャネルが形成され、トランジスタP7のゲート端子に負電荷、ドレイン端子及びソース端子には正電荷が蓄積される。

【0044】

ここで、スタンバイモード時にはメモリ200での負荷が小であるが故に電圧変動量も少ないので、駆動電圧生成回路13で生成される駆動電圧VQは高い電圧値となり、出力トランジスタ14の出力電流も小である。一方、アクティブモード時には、メモリ200での負荷変動が大となりその電圧変動量も大きくなるので、駆動電圧生成回路13では、その電圧変動に応じて駆動電圧VQの電圧値を低下させて、出力トランジスタ14の出力電流を増加させる必要がある。しかしながら、駆動電圧生成回路13では、内部電源電圧V_{OUT}に応じて駆動電圧VQを生成するまでには遅延が生じる。よって、スタンバイモードからアクティブモードへの遷移直後では、メモリ200での負荷変動が大きくなるものの、駆動電圧生成回路13は、この負荷変動に追従させて駆動電圧VQの電圧値を直ちに低下させることができない。従って、スタンバイモードからアクティブモードへの遷移直後に、メモリ200での負荷変動が大きいと、内部電源電圧V_{OUT}の低下が生じる。尚、このような状況での内部電源電圧V_{OUT}の低下を抑える為に、出力トランジスタ14又は差動増幅部内の各トランジスタ(P0、P1、N0~N3)のサイズを大きくすると、電力消費量の増加を招くという問題が生じる。

【0045】

そこで、電圧レギュレータ100では、強制駆動回路18を設けることにより、動作モードがスタンバイモードからアクティブモードへ遷移した際には、図3に示すように、この遷移時点からパルス幅STの間だけ、トランジスタP6をオン状態、トランジスタN5をオフ状態にする。よって、この間、キャパシタ素子としてのトランジスタP7のゲート端子は、トランジスタP6を介して駆動ラインL_Dに接続される。これにより、トランジスタP7が放電し、駆動ラインL_DからトランジスタP7に向けて電流が流れ込み、当該駆動ラインL_Dの電圧が直ちに低下する(強制駆動処理)。かかる強制駆動処理によれば、駆動電圧生成回路13で生成された駆動電圧VQに拘わらず、瞬時に出力トランジスタ14を高電流出力が可能な状態に到らせることが可能となる。

【0046】

よって、上記した強制駆動回路18の強制駆動処理によれば、トランジスタのサイズを大きくすることなく、つまり消費電力を増加することなく、スタンバイモードからアクティブモードへの遷移時点での内部電源電圧V_{OUT}の低下を抑制することが可能となる。

【0047】

尚、強制駆動回路18では、スタンバイモードの期間に亘りトランジスタP7のゲート端子に接地電圧VSSを印加しておくことにより、キャパシタ素子としてのトランジスタP7内に一定の電荷量を蓄積させている。これにより、スタンバイモードからアクティブモードへの遷移直後に為される強制駆動処理では、常に一定の電圧値を駆動ラインL_Dに印加することが可能となり、安定した強制駆動処理が為される。

【0048】

ところで、電圧レギュレータ100において、強制駆動回路18の強制駆動処理による内部電源電圧のオーバーシュートが問題となる場合には、強制駆動無効化信号NCにより、強制駆動回路18を無効化させることも可能である。この際、論理レベル1の強制駆動無効化信号NCを電圧レギュレータ100に供給する。これにより、セレクト16は、論理レベル0のモード遷移信号MCをパルス発生部17に供給するので、パルス発生部17

10

20

30

40

50

は、論理レベル1固定の強制駆動パルス信号PSを強制駆動回路18のトランジスタP6のゲート端子に印加することになる。これにより、トランジスタP6がオフ状態となり、この強制駆動回路18の出力がハイインピーダンスとなる。よって、モード指定信号MODにて指定された動作モードがスタンバイモードからアクティブモードへ遷移しても、トランジスタP7が駆動ラインL_Dに接続されることはないので、強制駆動回路18による強制駆動処理は実施されない。

【0049】

尚、上記実施例では、スタンバイモード又はアクティブモードを切り替えて動作する電圧レギュレータ100を用いて本発明の動作を説明した。しかしながら、アクティブモード専用及びスタンバイモード専用のレギュレータを夫々用意し、アクティブモード専用のレギュレータだけにセクタ16、パルス発生部17及び強制駆動回路18を設けるようにしても良い。

10

【0050】

また、上記実施例では、電圧レギュレータ100にて生成された内部電源電圧V_{OUT}をメモリ200のみに供給するようにしているが、当該内部電源電圧V_{OUT}をメモリ以外の他のロジック回路に供給するようにしても良い。

【0051】

また、上記実施例では、出力トランジスタ14の駆動を行う駆動電圧生成回路13として、分圧回路(R0、R1)及び差動増幅部(P0、P1、N0~N3)からなる回路を採用しているが、出力トランジスタ14のゲート端子に印加する駆動電圧V_Qを生成するものであれば、どのような回路構成を採用しても良い。

20

【0052】

また、上記実施例では、強制駆動回路18に含まれるキャパシタ素子として、互いにドレイン端子及びソース端子同士を接続したpチャネルMOS型のトランジスタP7を用いているが、nチャネルMOS型のトランジスタ、或いはその他の構造を有するキャパシタ素子を採用しても良い。

【0053】

また、上記した強制駆動回路18では、キャパシタ素子としてのトランジスタP7のゲート端子に接地電圧V_{SS}を印加する第1のスイッチング素子として、nチャネルMOS型のトランジスタN5を採用しているが、pチャネルMOS型のトランジスタ、或いはその他の構造を有するスイッチング素子を採用するようにしても良い。また、強制駆動回路18では、当該トランジスタP7のゲート端子と、出力トランジスタ14のゲート端子とを接続する第2のスイッチング素子として、pチャネルMOS型のトランジスタP6を採用しているが、nチャネルMOS型のトランジスタ、或いはその他の構造を有するスイッチング素子を採用するようにしても良い。

30

【0054】

また、上記実施例では、出力トランジスタ14として、pチャネルMOS型のトランジスタを採用しているが、nチャネルMOS型のトランジスタを採用しても良い。

【0055】

この際、強制駆動回路18のトランジスタP6及びキャパシタ素子としてのトランジスタP7を共に、nチャネルMOS型のトランジスタに変更し、トランジスタN5をpチャネルMOS型のトランジスタに変更する。ここで、接地電圧V_{SS}に代えて電源電圧V_DをトランジスタN5のソース端子に印加する。更に、キャパシタ素子としてのトランジスタP7のゲート端子には接地電圧V_{SS}を固定印加し、そのドレイン端子及びソース端子を共にラインL_pに接続する。尚、トランジスタN5及びP6のゲート端子には、強制駆動パルス信号PSの論理レベルを反転させた信号を供給する。かかる構成により、モード指定信号MODがスタンバイモードを示す状態にある間は、トランジスタP6がオフ状態、トランジスタN5がオン状態となり、トランジスタP7のゲート端子に一定量の負電荷、ドレイン及びソース端子に正電荷が蓄積される。その後、モード指定信号MODがスタンバイモードを示す状態からアクティブモードを示す状態に遷移すると、図3に示すパ

40

50

ルス幅 S T の間だけトランジスタ P 6 がオン状態、トランジスタ N 5 がオフ状態となり、キャパシタ素子としてのトランジスタ P 7 のドレイン端子及びソース端子がトランジスタ P 6 を介して駆動ライン L_D に接続される。これにより、トランジスタ P 7 が放電し、トランジスタ P 6 を介して駆動ライン L_D に電流が流れ込む。よって、当該駆動ライン L_D の電圧が瞬時に増加する。従って、出力トランジスタ 1 4 は、駆動電圧生成回路 1 3 で生成された駆動電圧 V Q に拘わらず、高電流を出力することが可能な状態になる。

【 0 0 5 6 】

要するに、電圧レギュレータ 1 0 0 は、アクティブモード又はスタンバイモードの動作モードにて電源電圧 (V D D) に基づき内部電源電圧 (V_{OUT}) を生成するものであり、以下の駆動電圧生成部 (1 3)、出力トランジスタ (1 4) 及び強制駆動回路 (1 8) を有するものであれば良いのである。駆動電圧生成部は、駆動電圧 (V Q) を生成して駆動ライン (L_D) に印加する。出力トランジスタは、駆動ラインの電圧値に応じた電圧を内部電源電圧として出力する。強制駆動回路は、一端 (ドレイン端子、ソース端子) に電源電圧を受けるキャパシタ素子 (P 7) と、第 1 スイッチ素子 (N 5) 及び第 2 スイッチ素子 (P 6) を有する。第 1 スイッチ素子は、接地電圧を受けて動作モードがスタンバイモードである間に亘りオン状態となって接地電圧をキャパシタ素子の他端 (ゲート端子) に印加する。第 2 スイッチ素子は、動作モードがスタンバイモードからアクティブモードへ遷移したときに所定期間の間だけオン状態となってキャパシタ素子の他端を駆動ラインに接続する。

10

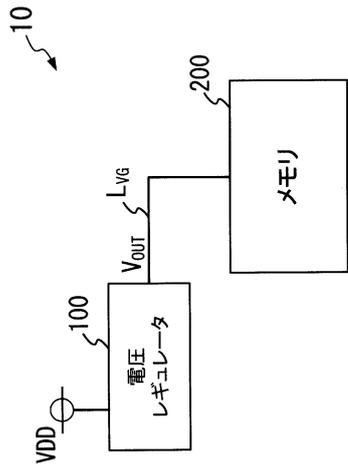
【 符号の説明 】

20

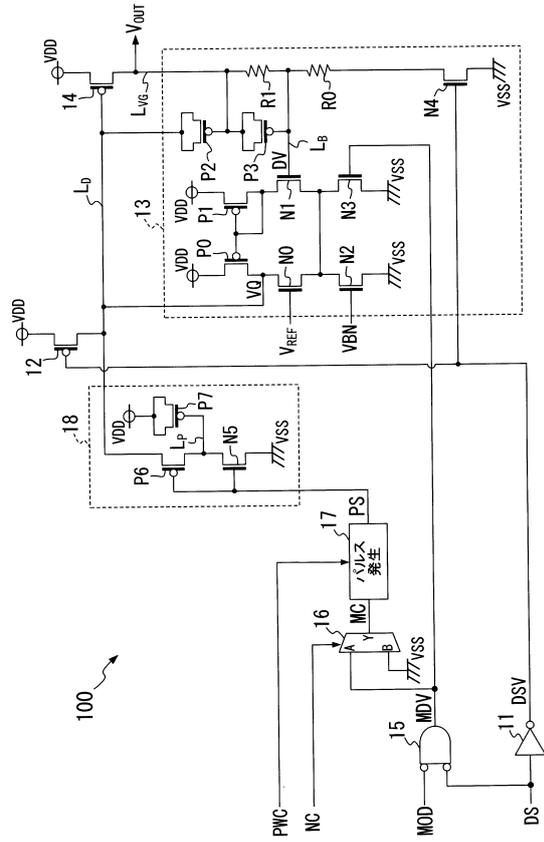
【 0 0 5 7 】

1 3	駆動電圧生成回路
1 4	出力トランジスタ
1 7	パルス発生部
1 8	強制駆動回路
1 0 0	電圧レギュレータ

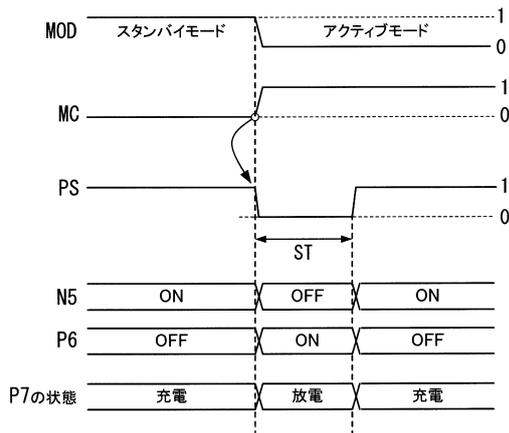
【図1】



【図2】



【図3】



フロントページの続き

(56)参考文献 特開平08 - 190437 (JP, A)
特開平11 - 340812 (JP, A)
特開2006 - 039816 (JP, A)
特開2001 - 007293 (JP, A)
特開2006 - 331059 (JP, A)
特開2008 - 310703 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G05F 1/445
G05F 1/56
G05F 1/613
G05F 1/618
G11C 11/34 - 11/40
G11C 11/41 - 11/4197
G11C 11/401 - 11/4099
G11C 11/56
H01L 27/04