

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 11/40 (2006.01)

G11C 11/413 (2006.01)

G11C 11/412 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200910141271.8

[43] 公开日 2009年11月18日

[11] 公开号 CN 101582292A

[22] 申请日 2009.5.14

[21] 申请号 200910141271.8

[30] 优先权

[32] 2008.5.14 [33] US [31] 61/127,585

[32] 2008.10.17 [33] US [31] 12/253,735

[71] 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

[72] 发明人 陶昌雄 蓝丽娇 陆崇基

苏布拉马尼·肯基瑞

[74] 专利代理机构 隆天国际知识产权代理有限公司

代理人 姜燕 陈晨

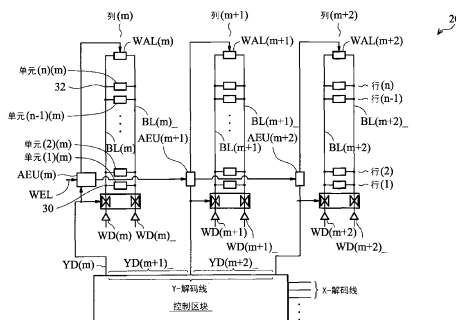
权利要求书4页 说明书9页 附图6页

[54] 发明名称

存储器电路与存储器电路操作方法

[57] 摘要

一种存储器电路与存储器电路操作方法，该电路包括一存储器阵列。存储器阵列包括多个存储器单元、多个第一位元线、以及多个协助写入门锁器。存储器单元排列成多个行与多个列。各第一位元线耦接至存储器阵列的一列。各协助写入门锁器耦接至第一位元线之一，用以增加所耦接的第一位元线之一的一电压。本发明可改善写入效能与可靠度。通过使用解码信号控制协助写入门锁器的操作，可降低功率耗损，并提升写入速率。



1.一种存储器电路，包括：

一存储器阵列，包括：

多个存储器单元，排列成多个行与多个列；

多个第一位元线，各耦接至上述存储器阵列的一列；以及

多个协助写入闩锁器，各耦接至上述第一位元线之一，其中各上述协助写入闩锁器用以增加所耦接的上述第一位元线之一的一电压。

2.如权利要求1所述的存储器电路，还包括：

多个多路复用器，各耦接至上述第一位元线之一的一起始端；以及

多个写入驱动器，各耦接至上述多路复用器之一，其中各上述协助写入闩锁器耦接至上述第一位元线之一的一末端。

3.如权利要求2所述的存储器电路，还包括：

一控制区块，包括多个列解码线；以及

多个协助使能单元；

并且其中上述存储器阵列还包括：

一写入使能线；

其中各上述协助使能单元包括一第一输入端耦接至上述列解码线之一，一第二输入端耦接至上述写入使能线，以及一输出端耦接至上述协助写入闩锁器之一，其中同一列的一上述多路复用器与一上述协助使能单元由相同的一上述列解码线所控制，并且其中各上述协助使能单元延迟一时间长度，用以与上述协助使能单元所耦接的上述第一位元线之一的一电压同步。

4.如权利要求1所述的存储器电路，其中上述存储器阵列包括：

多个区块，其中上述协助写入闩锁器位于上述区块之一的同一行；以及

一控制区块，包括多个区域控制信号线，其中上述协助写入闩锁器耦接至上述区域控制信号线的同一个。

5.如权利要求4所述的存储器电路，还包括多个行的协助写入闩锁器，各行的上述协助写入闩锁器耦接至上述区域控制信号线的同一的，其中各上述区块包括上述多个行的协助写入闩锁器的一行。

6.一种存储器电路，包括：

一控制区块，包括多个列解码输出；

一写入使能线；

一存储器阵列，包括排列成多个行与多个列的多个存储器单元，其中上述阵列包括一第一列与一第二列；

一第一位元线，耦接至上述第一列；

一多路复用器，耦接至上述第一位元线的一起始端，其中上述多路复用器更通过一第一列解码信号线耦接至上述列解码输出的一第一列解码输出；

一写入驱动器，耦接至上述多路复用器；

一第一协助写入闩锁器，耦接至大体接近上述第一位元线的一末端；

一第二位元线，与上述第一位元线形成一对差动位元线，其中上述第二位元线耦接至上述第一协助写入闩锁器；以及

一第一协助使能单元，包括一第一输入端耦接至上述第一列解码信号线，一第二输入端耦接至上述写入使能线，以及一输出端耦接至上述第一协助写入闩锁器，其中上述第一协助写入闩锁器根据上述第一协助使能单元的输出被使能或禁能。

7.如权利要求6所述的存储器电路，其中上述第一协助使能单元用以提供一协助使能信号，上述协助使能信号用以导通上述第一协助写入闩锁器，并且用以同步上述协助使能信号与上述第一位元线上的一电压，并且其中当上述第一列解码信号线与上述写入使能信号线皆具有导通状态时，上述第一协助使能单元提供一协助使能信号用以导通上述第一协助写入闩锁器，并且其中上述第一协助写入闩锁器用以增加上述第一位元线的上述末端的一电压至大体等于上述第一位元线的上述起始端的一电压。

8.如权利要求6所述的存储器电路，还包括：

一第二协助写入闩锁器，大体耦接于接近上述第二位元线的一末端；以及

一第二协助使能单元，包括一第一输入端耦接至一第二列解码信号线，一第二输入端耦接至上述写入使能线，以及一输出端耦接至上述第二协助写入闩锁器，其中上述第二列解码信号线耦接至上述列解码输出的一第二列解码输出。

9.如权利要求8所述的存储器电路，其中上述第一协助使能单元与上述第二协助使能单元用以独立地导通上述第一协助写入闩锁器与上述第二协

助写入门锁器。

10.如权利要求 8 所述的存储器电路,其中上述第一列与上述第二列包括属于同一字元的多个存储器单元,并且其中上述第一协助使能单元与上述第二协助使能单元用以同步地导通上述第一协助写入门锁器与上述第二协助写入门锁器。

11.一种存储器电路,包括:

一控制区块,包括多个区域控制信号线;

一存储器阵列,包括排列成多个行与多个列的多个存储器单元;以及

一行协助写入门锁器,各耦接至上述存储器单元的一列,其中上述行协助写入门锁器耦接至上述区域控制信号线之一。

12.如权利要求 11 所述的存储器电路,其中上述存储器阵列的多个行被配置为多个区块,并且其中上述行协助写入门锁器大体位于上述区块之一的一中间位置。

13.一种存储器电路操作方法,包括:

提供包括多个列解码信号线的一控制区块;

提供一存储器阵列,上述存储器阵列包括:

一列;

一位元线耦接至上述列;

一多路复用器耦接至上述位元线的一起始端;以及

一第一协助写入门锁器,耦接至上述位元线;其中在位于上述列的一存储器单元的一写入时间,导通上述第一协助写入门锁器用以增加上述位元线上的一电压。

14.如权利要求 13 所述的方法,其中导通上述第一协助写入门锁器的步骤包括:

使用上述控制区块产生一列解码信号;

结合上述列解码信号与一写入使能信号以产生一协助使能信号;以及

在上述位元线上的上述电压达到一临界值时,应用上述协助使能信号以导通上述第一协助写入门锁器。

15.如权利要求 13 所述的方法,其中导通上述第一协助写入门锁器的步骤包括:

使用上述控制区块产生一区域控制信号；
使用上述区域控制信号产生一协助使能信号；以及
应用上述协助使能信号以导通上述第一协助写入门锁器。

存储器电路与存储器电路操作方法

技术领域

本发明涉及一种半导体装置，特别涉及一种存储器阵列，甚至涉及一种静态随机存取存储器(Static Random Access Memory, SRAM)阵列的设计与操作。

背景技术

静态随机存取存储器(SRAM)通常用于集成电路(Integrated Circuits, ICs)。SRAM 单元具有不需刷新(refresh)即可保持数据的优点。SRAM 单元可包括不同数量的晶体管，并且通常会依据晶体的数量命名。例如，六晶体管(six-transistor, 6T) SRAM、八晶体管(8T) SRAM 等。这些晶体管通常形成数据闩锁结构用以存储一位元。额外的晶体管可被加入用以控制这些晶体管的存取操作。SRAM 单元通常排成具有数行(row)与列(column)的矩阵。通常各行 SRAM 单元耦接至一字元线，其可决定目前的 SRAM 单元是否已被选择。各列的 SRAM 单元可耦接至一位元线(或一对位元线)，其用以存储一位元至、或读取一位元自 SRAM 单元。

随着集成电路的尺寸持续缩减，集成电路的操作电压与存储器的操作电压也随之降低。因此，用以测量 SRAM 单元可读取与写入位元的可靠程度的 SRAM 单元读取与写入容限也降低了。由于静态噪声的存在，降低的读取与写入容限可能分别造成读取与写入操作的错误。

图 1 是显示一部分传统 SRAM 阵列，其包含位于同一列的多个 SRAM 单元 C(1)~C(n)。SRAM 单元 C(1)接近一对写入驱动器 10，其用以充电差动位元线 BL 与 BL₋。SRAM 单元 C(n)接近差动位元线 BL 与 BL₋即将被结束的位元线末端。位元线 BL 与 BL₋可以非常长，根据 SRAM 阵列的行数而定。在非常小尺寸的集成电路中，差动位元线 BL 与 BL₋非常长且窄，因此其电阻不可被忽略。由于位元线 BL 与 BL₋的电压是由写入驱动器所提供，在差动位元线 BL 与 BL₋末端的差动位元线电压将显著地低于写入驱动器所提供

的电压。

差动位元线 BL 与 BL_上降低的电压造成已经很小的写入容限又再度被缩小。这可能降低写入操作的速度，并且当写入容限降低至 0mV 时，更可能造成写入操作错误。如此一来，阻碍了进一步降低电压 V_{ccmin} ，其可能高于写入数据至或读取数据自 SRAM 单元之一的最小电压。因此，需要一种新的 SRAM 阵列设计以改善写入容限。

发明内容

为了解决现有技术中存在的上述问题，本发明提供一种存储器电路及其操作方法。

根据本发明的一实施例，一种存储器电路包括存储器阵列。上述存储器阵列包括多个存储器单元、多个第一位元线、以及多个协助写入闩锁器。存储器单元排列成多个行与多个列。各第一位元线耦接至存储器阵列的一列。各协助写入闩锁器耦接至第一位元线之一，用以增加所耦接的第一位元线之一的一电压。

根据本发明的另一实施例，一种存储器电路包括一控制区块、一写入使能线、一存储器阵列、一第一位元线、一多路复用器、一写入驱动器、一第一协助写入闩锁器、一第二位元线以及一第一协助使能单元。控制区块包括多个列解码输出。存储器阵列包括排列成多个行与多个列的多个存储器单元，其中上述列包括一第一列与一第二列。第一位元线耦接至第一列。多路复用器耦接至第一位元线的一起始端，更通过一第一列解码信号线耦接至多个列解码输出的一第一列解码输出。写入驱动器耦接至多路复用器。第一协助写入闩锁器耦接至大体接近第一位元线的一末端。第二位元线与第一位元线形成一对差动位元线，其中第二位元线耦接至第一协助写入闩锁器。第一协助使能单元包括一第一输入端耦接至第一列解码信号线，一第二输入端耦接至写入使能线，以及一输出端耦接至第一协助写入闩锁器，其中第一协助写入闩锁器根据第一协助使能单元的输出被使能或禁能。

根据本发明的另一实施例，一种存储器电路包括一控制区块、一存储器阵列以及一行协助写入闩锁器。控制区块包括多个区域控制信号线。存储器阵列包括排列成多个行与多个列的多个存储器单元。一行协助写入闩锁器各

耦接至存储器单元的一列，其中上述行协助写入闩锁器耦接至区域控制信号线之一。

根据本发明的另一实施例，一种存储器电路操作方法包括：提供包括多个列解码信号线的一控制区块；提供一存储器阵列，其中上述存储器阵列包括：一列、一位元线耦接至上述列、一多路复用器耦接至上述位元线的一一起始端、以及一第一协助写入闩锁器，耦接至上述位元线；其中在位于上述列的一存储器单元的一写入时间，导通上述第一协助写入闩锁器用以增加上述位元线上的一电压。

根据本发明的另一实施例，一种存储器电路操作方法包括：提供包括多个列解码信号线的一控制区块；提供一存储器阵列，上述存储器阵列包括：一第一列、一第一对差动位元线耦接至上述第一列、一多路复用器耦接至上述第一对差动位元线的一一起始端、以及一第一协助写入闩锁器，耦接至大体接近上述第一对差动位元线的一末端；其中在位于上述第一列的一存储器单元的一写入时间，导通上述第一协助写入闩锁器用以增加上述第一对差动位元线之一上的一电压。

根据本发明的另一实施例，一种存储器电路操作方法包括：提供包括多个区域控制信号线的一控制区块；提供一存储器阵列，上述存储器阵列包括：一第一区块、一第一行协助写入闩锁器，位于上述第一区块、多个对差动位元线，各对上述差动位元线位于上述存储器阵列的一列，其中各对上述差动位元线耦接至上述第一行协助写入闩锁器之一、一第二区块；以及一第二行协助写入闩锁器，位于上述第二区块并且耦接至上述对差动位元线，其中各对上述差动位元线耦接至上述第二行协助写入闩锁器之一；其中在上述第一区块的一存储器单元的一写入时间，导通上述第一行协助写入闩锁器，并且当上述第二区块不包含需于上述写入时间内被写入的存储器单元时，在上述写入时间不导通上述第二行协助写入闩锁器。

本发明的实施例提供协助写入闩锁器用以增加位线电压，因此可改善写入效能与可靠度。通过使用解码信号控制协助写入闩锁器的操作，可降低功率耗损，并提升写入速率。

附图说明

图 1 是显示一部分传统存储器阵列。

图 2 是显示根据本发明的一实施例所述的存储器阵列，其中协助写入闩锁器耦接至一对差动位元线的末端，并且协助写入闩锁器的操作是受控于一协助使能单元。

图 3 是显示如图 2 所示的协助写入闩锁器的一电路实施例。

图 4 是显示根据本发明的另一实施例所述的存储器阵列，其中耦接至同一字元的存储器单元的协助写入闩锁器同时导通或不导通。

图 5 是显示根据本发明的另一实施例所述的存储器阵列，其中各存储器阵列区块耦接至一行协助写入闩锁器。

图 6 是显示如图 5 所示的协助写入闩锁器的另一电路实施例

上述附图中的附图标记说明如下：

20～SRAM 阵列；

30、32、BIT、BIT_、BIT_BAR、WLC、WLCB、Y_CTRL～端点；

34～线；

AEU(m)、AEU(m+1)、AEU(m+2)～协助使能单元；

BL、BL_、BL(m)、BL(m)_、BL(m+1)、BL(m+1)_、BL(m+2)、BL(m+2)_～位元线；

C(1)、C(2)、C(n-1)、C(n)～SRAM 单元；

Inv～反相器；

LCLA、LCLB～区域控制线；

N1、N2、N3、N4～NMOS；

P1、P2、P3、P4～PMOS；

WD、WD_、WD(m)、WD(m)_、WD(m+1)、WD(m+1)_、WD(m+2)、WD(m+2)_～写入驱动器；

WAL(m)、WAL(m+1)、WAL(m+2)～协助写入闩锁器；

WEL～写入使能线；

YD(m)、YD(m+1)、YD(m+2)～解码线

具体实施方式

为使本发明的制造、操作方法、目标和优点能更明显易懂，下文特举几

个优选实施例，并配合附图，作详细说明如下：

实施例：

本发明提出一种静态随机存取存储器阵列，可避免位元线上的电压下降。以下将详细介绍多个优选实施例与其操作。在以下的说明中，相似的参考符号用以表示相似的元件，以显示本发明的各实施例。

图 2 是显示根据本发明的一实施例所述的 SRAM 阵列 20。SRAM 阵列 20 包括多个行(row)与多个列(column)。值得注意的是图 2 中仅显示 m 、 $(m+1)$ 与 $(m+2)$ 列，其中 m 为大于零的整数，而在图中所显示的各列的左侧和/或右侧可具有更多列。SRAM 阵列的各行标示如行 1 至行 n ，其中 n 为大于 1 的整数。SRAM 阵列 20 的 SRAM 单元可分别使用行与列的编号表示。例如，位于第 n 行第 m 列的 SRAM 单元可表示为单元 $(n)(m)$ 。SRAM 阵列 20 的各列可耦接至一对差动位元线 BL 与 BL₋。各对差动位元线也可使用列编号表示。例如，位于第 m 列的对差动位元线可标示为 BL(m)与 BL(m)₋。差动位元线是用于存储器单元的写入操作，因此也被称为写入位元线(相较于用于读取操作的读取位元线)。值得注意的是，本发明的概念不受限于应用在具有两条位元线的存储器单元，即使在其它实施例中，各列可能仅包含一条写入位元线，本发明所教示的内容仍然可被应用。

各列的 SRAM 单元也可耦接至一个(或一对)多路复用器(以下将简称为 Y-Mux)以及一个(或一对)写入驱动器 WD(与 WD₋)，各元件也可使用对应的列编号表示。写入驱动器 WD 设定数据(电压)于该对差动位元线，接着数据被写入相同列中预期的的存储器单元。Y-Mux 可耦接至，并且受控于一控制区块，其提供解码信号(以下称为 Y-解码信号)用以分别或以群组导通或不导通(即，关闭)各 Y-Mux，使得由写入驱动器所提供的电压可转移至差动位元线。控制区块可还包括耦接至 SRAM 阵列 20 的各行的 x 解码线(或称行解码线)。

在所述的实施例中，写入驱动器 WD 接近差动位元线 BL 与 BL₋的起始端，其中起始端位于接近第 1 行的一端。因此，差动位元线 BL 与 BL₋结束于接近第 n 行的一端。在各列的末端，具有一协助写入门锁器(write-assist latch, WAL)耦接至各差动位元线 BL 与 BL₋。同样地，协助写入门锁器 WAL 可分别使用对应的列编号表示。

由于随着集成电路的尺寸持续缩减,位元线 BL 与 BL_变的更细且更窄,并且电阻也随之增加,因此差动位元线 BL 与 BL_的起始端与末端的电压降可能增加到足以影响到写入速度的程度。若写入容限进一步被缩减,即可能发生写入错误。例如,若在端点 30 的电压为 1V,在端点 32 的电压可能降低至 0.9 V,甚至 0.8 V。协助写入闩锁器 WAL 可用以提升连接的差动位元线 BL 与 BL_的电压,并且放大电压的振幅至操作电压(例如,图 3 所示的电压 VDD)。换言之,协助写入闩锁器 WAL 可在位元线末端恢复位元线电压至与起始端相同的振幅,或是更高(若有需要)。

协助写入闩锁器 WAL 可耦接至,并且受控于协助使能单元(assist-enable units, AEU),其可导通或不导通(即,关闭)对应的协助写入闩锁器 WAL。在本发明的优选实施例中,协助使能单元 AEU 仅在 SRAM 单元的写入操作期间导通同一列中所对应的协助写入闩锁器 WAL。当同一列中没有 SRAM 单元被写入(无论是否被读取,或在待机模式),协助使能单元 AEU 不导通耦接的协助写入闩锁器 WAL。各协助使能单元 AEU 可独立于其他列的协助使能单元 AEU 的状态而控制该协助使能单元 AEU 所耦接的协助写入闩锁器 WAL。因此,当协助写入闩锁器 WAL(m)被导通时,协助写入闩锁器 WAL(m+1)可不被导通。

在本发明的优选实施例中,各协助使能单元 AEU 耦接至并受控于相同的 Y 解码线(或称列解码线)YD,其中各 Y 解码线 YD 可分别使用对应的列编号表示。这代表着一协助使能单元 AEU 仅在对应的一列被选择时输出一协助使能信号至连接的协助写入闩锁器 WAL (用以导通协助写入闩锁器 WAL)。除此之外,各协助使能单元 AEU 输出一协助禁能信号用以关闭协助写入闩锁器 WAL。此外,各协助使能单元 AEU 耦接至并受控于携带一写入使能信号的写入使能线 WEL。因此,当对应的列被选择(对应的列的 Y 解码信号被导通)并且写入使能信号被导通时,协助使能单元 AEU 输出协助使能信号。如在后续段落将作详细的介绍,为了保证协助写入闩锁器 WAL 仅在对应的差动位元线具有适当的临界差动电压时被导通,耦接的对应协助使能单元 AEU 与差动位元线 BL 及 BL_上的电压同步为优选。因此,协助使能单元 AEU 在写入使能信号与 Y 解码信号被提供后,延迟一时间长度。协助使能单元 AEU 接着传送协助使能信号至对应的协助写入闩锁器 WAL。延迟的

时间长度会部分地被写入驱动器 WD 的驱动能力所影响，并且若想要驱动能力越强，则需要越短的延迟。

通过使用 Y 解码信号控制协助写入闩锁器 WAL，仅具有 SRAM 单元被写入的一列的协助写入闩锁器 WAL 会被导通。因此，功率耗损可被降低。此外，由于协助写入闩锁器 WAL 仅于对应的差动位元线 BL 与 BL₋具有适当的临界电压时会被导通，在没有 SRAM 单元被写入的列，对应的协助写入闩锁器 WAL(其保持不导通)不需等到差动位元线 BL 与 BL₋达到临界电压(由于 SRAM 单元微弱的驱动能力，其为一缓慢的过程)。因此，通过禁止位于没有 SRAM 单元被写入的各列上的协助写入闩锁器 WAL 被导通，写入的速度可显著地被改善。

虽然图 2 显示出协助写入闩锁器 WAL 耦接至于最末端，协助写入闩锁器 WAL 实际上也可耦接至大体接近(但并非精确地位于)末端处。此外，若有需要，更多的协助写入闩锁器 WAL 可被加入于不同的位置。例如，在差动位元线 BL 与 BL₋的中间。在此情况下，被加入的协助写入闩锁器 WAL 也可受控于 Y 解码信号与写入使能信号，并且位于同一列的协助写入闩锁器 WAL 可受控于同一个协助使能单元 AEU。

图 3 是显示根据本发明的一实施例所述的协助写入闩锁器 WAL 电路图，其包括 PMOS 装置 P1、P2、P3 与 P4 以及 NMOS 装置 N1、N2、N3 与 N4。值得注意的是，图 3 所示的电路仅为本发明的一种可能的实施例。端点 Y_CTRL 耦接至协助使能单元 AEU 的输出端(参考图 2)。端点 BIT 与 BIT_BAR 分别耦接至差动位元线 BL 与 BL₋。虽然电压 VDD 的振幅也可大于写入驱动器 WD 所设定的电压，电压 VDD 与写入驱动器 WD 所设定的电压(参考图 2)具有相同的电压振幅为优选。因此，协助写入闩锁器 WAL 被用于放大电压。例如，若电压 VDD 为 1V，并且于端点 BIT 与 BIT_BAR 的电压分别为 0.9V 与 0V，则晶体管 N2、N4、P1 与 P3 会被导通，而晶体管 N1、N3、P2 与 P4 不会被导通。于端点 BIT 与 BIT_BAR 的电压因此分别被修改至 1V 与 0V。可以看出，为了分别于端点 BIT 与 BIT_BAR 形成 1V 与 0V 的电压，在协助写入闩锁器 WAL 被导通前，端点 BIT 上的电压必须高于 NMOS 装置 N1~N4 的临界电压，并且端点 BIT_BAR 上的电压必须低 NMOS 装置 N1~N4 的临界电压。否则，电压会被错误地放大。这是为何协助使能单元

AEU 在导通协助写入闩锁器 WAL 前必须被延迟的原因。

在上述的实施例中，已介绍不论同一字元的其它 SRAM 单元的状态为何，单独写入各 SRAM 单元(位元)的位元写入方法。在其它的实施例中，当写入操作同时执行于一字元的存储器单元时，可使用字元写入方法。图 4 是显示位于 m 列属于的字元 A 的 SRAM 单元，以及位于第 $(m+1)$ 列与第 $(m+2)$ 列属于字元 B 的 SRAM 单元。协助写入闩锁器 $WAL(m)$ 可独立于协助写入闩锁器 $WAL(m+1)$ 与 $WAL(m+2)$ 被导通或不导通。协助写入闩锁器 $WAL(m+1)$ 与 $WAL(m+2)$ 同时被导通或不导通，其可通过一相同的协助使能单元 AEU(请注意图中的实线 34)，或共用相同输入信号(Y 解码信号与写入使能信号)的不同的协助使能单元 AEU(如图中虚线所示)达成。

图 5 是显示根据本发明的另一实施例所述的 SRAM 阵列，其中位于同一行的协助写入闩锁器 WAL 同时被使能(或禁能)。同一行的协助写入闩锁器 WAL 耦接至并受控于同一区域控制线 LCL(例如 LCLA、LCLB 等)。由区域控制线 LCL 所承载的区域控制信号被区域控制区块输出，并且用以控制存储器阵列 20 的各区块。请注意存储器阵列 20 的各区块根据地址脚位的分配被分割。因此，存储器阵列 20 的区块与区块边缘是由整体控制区块(图未示)的设定所决定。

各 SRAM 阵列的区块具有一行协助写入闩锁器 WAL。例如，耦接至区域控制线 LCLA 的一行协助写入闩锁器 WAL 位于区块 A，而耦接至区域控制线 LCLB 的一行协助写入闩锁器 WAL 位于区块 B。因此，位于一列上的协助写入闩锁器 WAL 的数量会等于区块的数量。在各区块内，对应的协助写入闩锁器 WAL 耦接至区块的中央(或大体中央)为优选。当 SRAM 单元正在被写入时，在同一区块内整行的协助写入闩锁器 WAL 也如同 SRAM 单元会全部被导通。

根据本发明的其它实施例，根据设计的需求，一区块可包括两行或多行协助写入闩锁器 WAL。甚至在其它实施中，两个或多个区块(以下称为共用区块)可共用一行协助写入闩锁器 WAL。在此情况，若任何共用区块包括要被写入的一 SRAM 单元，则此行协助写入闩锁器 WAL 必须被导通。

图 6 是显示如图 5 所示的协助写入闩锁器的另一电路实施例，其包括 PMOS 装置 P1、P2 与 P3，以及 NMOS 装置 N1、N2 与 N3。值得注意的是

如图 6 所示的电路仅为多个可能的实施例之一。同样地，所述的协助写入门锁器 WAL 包括端点 BIT 与 BIT₋，其分别耦接至差动位元线 BL 与 BL₋(请参考图 5)。来自区域控制线 LCL 的信号(可能如图 5 所示耦接至反相器 Inv)分别耦接至端点 WLC 与 WLCB。因此控制协助写入门锁器 WAL 的状态(导通或不导通)。

本发明的实施例提供协助写入门锁器 WAL 用以增加位元线电压，因此可改善写入效能与可靠度。通过使用 Y 解码信号控制协助写入门锁器 WAL 的操作，可降低功率耗损，并提升写入速率。

本发明虽以优选实施例揭示如上，然其并非用以限定本发明的范围，任何本领域的普通技术人员，在不脱离本发明的精神和范围内，当可做些许的更动与润饰，因此本发明的保护范围当视所附的权利要求所界定的范围为准。此外，本发明的范围并不限于特定的工艺、机械、制造实施例以及本说明书所介绍的物质、工具、方法以及步骤等的结合。任何本领域的普通技术人员可根据本发明所揭示的制造工艺、机械、制造、以及物质、工具、方法与步骤结合现存或未来发展的技术，而实施与本发明大体相同的功能，或达成与本发明所述的实施例大体相同的结果。因此，所附的权利要求的保护范围涵盖到的范围可包括制造工艺、机械、制造、以及物质、工具、方法与步骤的结合。

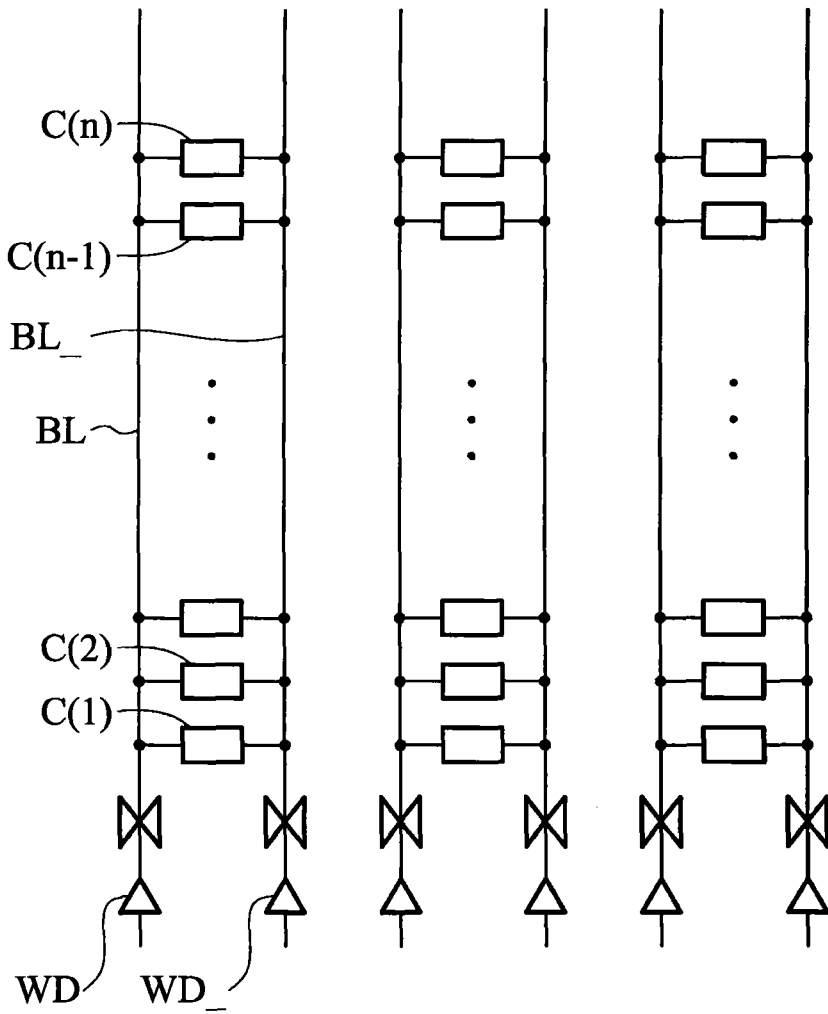


图1

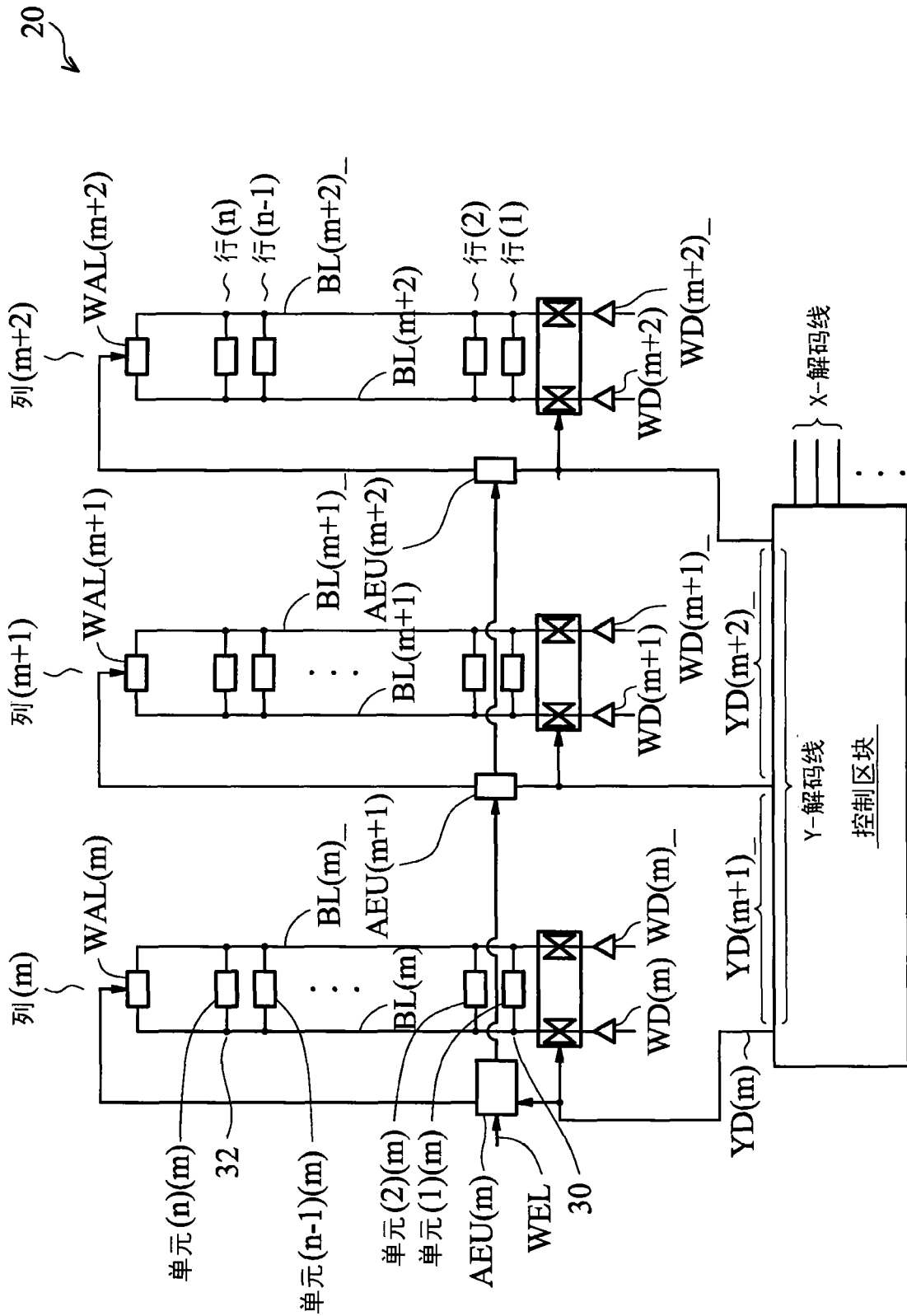


图2

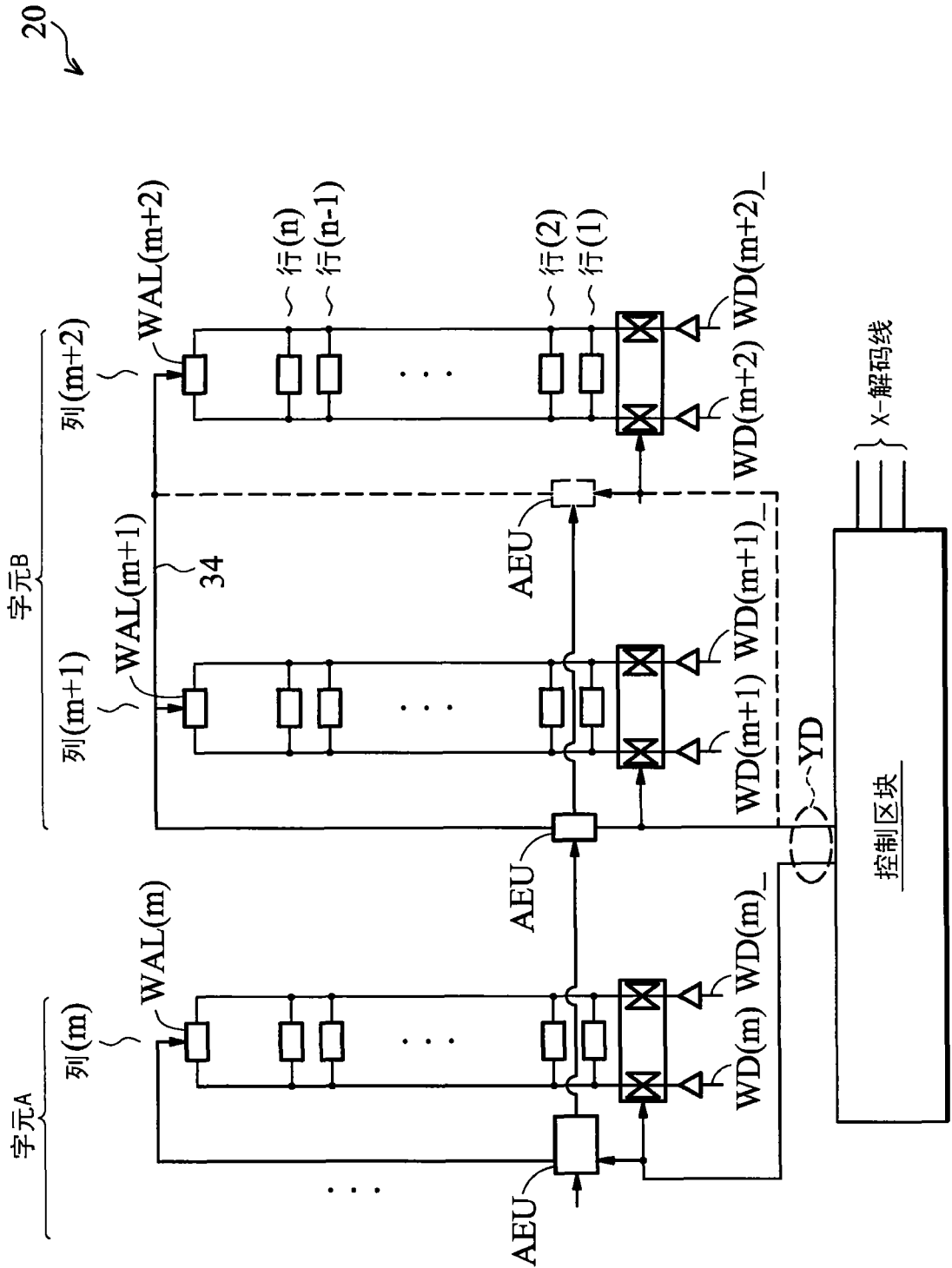


图4

20

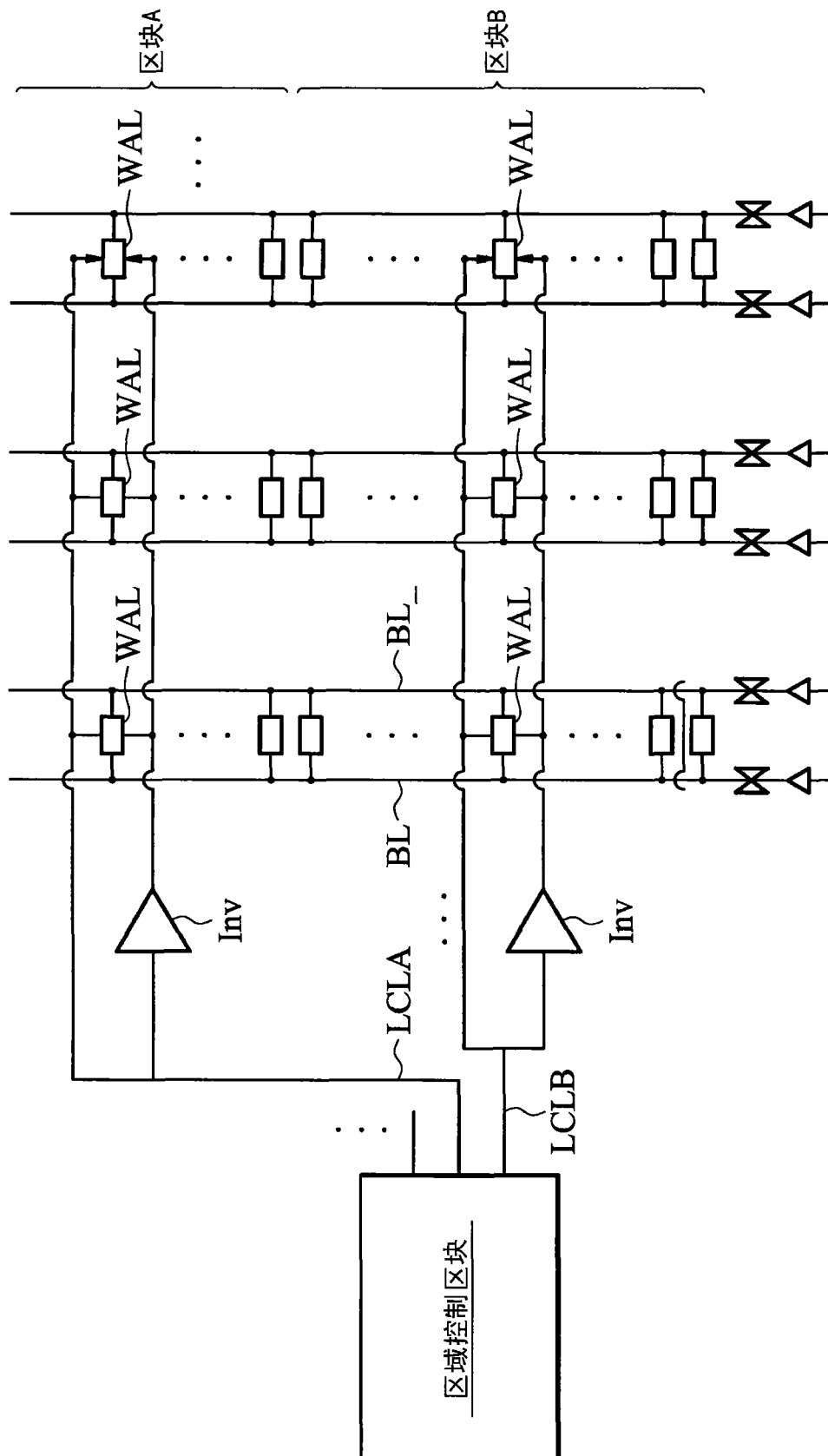


图5

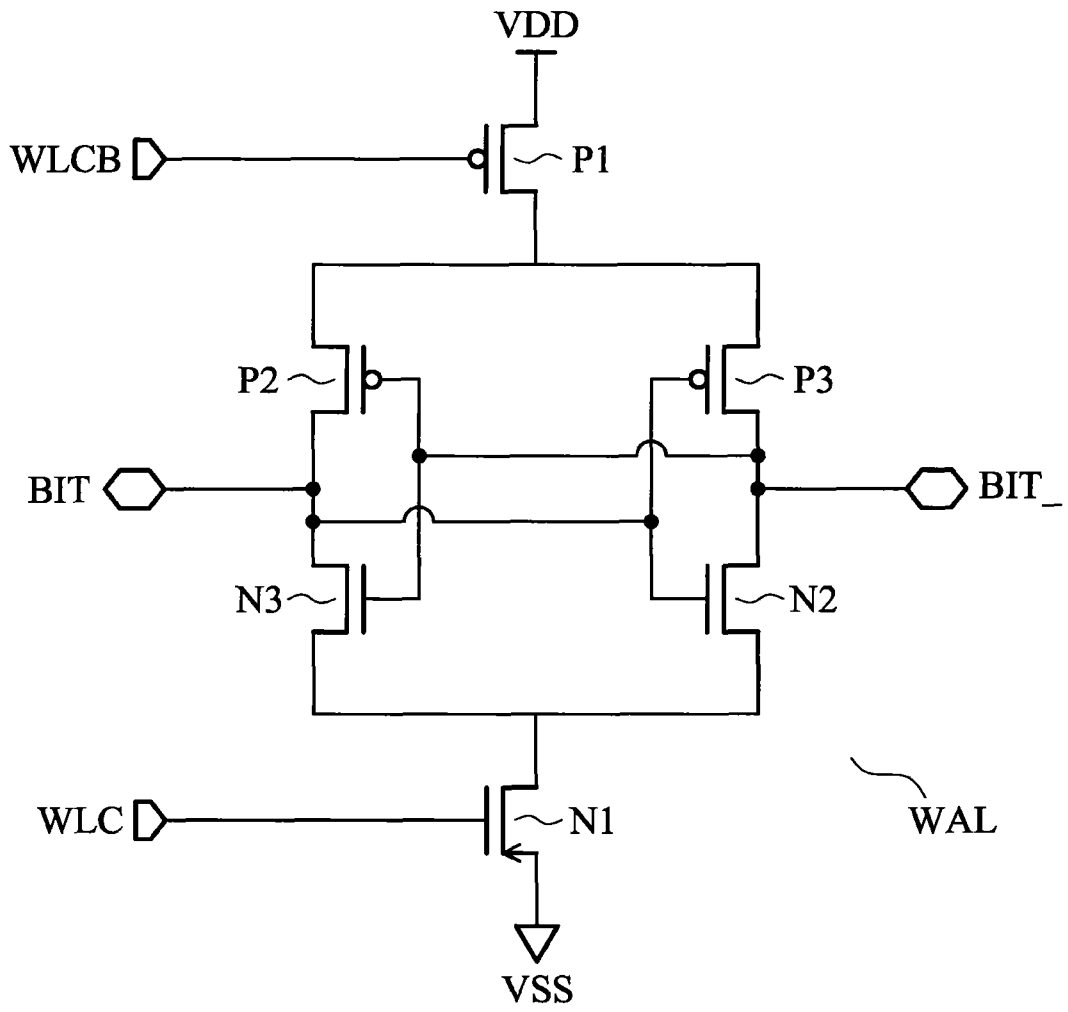


图6