



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년12월01일
(11) 등록번호 10-2185055
(24) 등록일자 2020년11월25일

(51) 국제특허분류(Int. Cl.)
H01G 4/232 (2006.01) H01G 4/012 (2006.01)
H01G 4/12 (2006.01) H01G 4/30 (2006.01)
(52) CPC특허분류
H01G 4/232 (2013.01)
H01G 4/012 (2013.01)
(21) 출원번호 10-2018-0117400
(22) 출원일자 2018년10월02일
심사청구일자 2018년10월02일
(65) 공개번호 10-2019-0121185
(43) 공개일자 2019년10월25일
(56) 선행기술조사문헌
KR1020130006799 A*
KR1020130023612 A*
KR1020140086481 A*
KR1020150039479 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
(72) 발명자
이상록
경기도 수원시 영통구 매영로 150 (매탄동)
신동휘
경기도 수원시 영통구 매영로 150 (매탄동)
(74) 대리인
특허법인씨엔에스
(뒷면에 계속)

전체 청구항 수 : 총 8 항

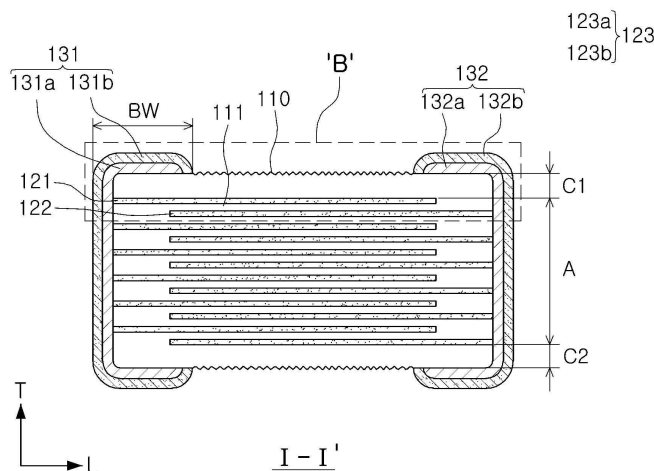
심사관 : 황승희

(54) 발명의 명칭 적층 세라믹 전자부품

(57) 요약

본 발명은 유전체층 및 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 복수의 내부전극을 포함하며, 제 1 방향으로 대향하는 제1 면 및 제2 면, 상기 제1 면 및 제2 면과 연결되고, 제2 방향으로 대향하는 제3 면 및 제4 면, 상기 제1 면 내지 제4 면과 연결되고, 제3 방향으로 대향하는 제5 면 및 제6 면을 포함하는 세라믹 바디 및 상기 세라믹 바디의 외측에 배치되며, 상기 내부전극과 전기적으로 연결되는 외부전극을 포함하며, 상기 외부전극은 상기 내부전극과 전기적으로 연결되는 전극층 및 상기 전극층 상에 배치된 전도성 수지층을 포함하며, 상기 전도성 수지층은 상기 세라믹 바디의 제1 면 및 제2 면으로 연장하여 배치되고, 상기 전도성 수지층의 일 단부에서 상기 세라믹 바디의 제1 면 및 제2 면에 배치된 타 단부까지의 거리(BW) 대비 상기 세라믹 바디의 표면 조도(Ra)의 100배 값의 비율 (Ra*100/BW)이 1.0 이하를 만족하는 적층 세라믹 전자부품을 제공한다.

대표도 - 도3



- (52) CPC특허분류
 - H01G 4/1209* (2013.01)
 - H01G 4/30* (2013.01)

- (72) 발명자
 - 박상수**
 - 경기도 수원시 영통구 매영로 150 (매탄동)
-

신우철
경기도 수원시 영통구 매영로 150 (매탄동)

명세서

청구범위

청구항 1

유전체층 및 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 복수의 내부전극을 포함하며, 제1 방향으로 대향하는 제1 면 및 제2 면, 상기 제1 면 및 제2 면과 연결되고, 제2 방향으로 대향하는 제3 면 및 제4 면, 상기 제1 면 내지 제4 면과 연결되고, 제3 방향으로 대향하는 제5 면 및 제6 면을 포함하는 세라믹 바디; 및 상기 세라믹 바디의 외측에 배치되되, 상기 내부전극과 전기적으로 연결되는 외부전극;을 포함하며,

상기 외부전극은 상기 내부전극과 전기적으로 연결되는 전극층 및 상기 전극층 상에 배치된 전도성 수지층을 포함하며, 상기 전도성 수지층은 상기 세라믹 바디의 제1 면 및 제2 면으로 연장하여 배치되고,

상기 전도성 수지층의 일 단부에서 상기 세라믹 바디의 제1 면 및 제2 면에 배치된 타 단부까지의 거리(BW) 대비 상기 세라믹 바디의 표면 조도(Ra)의 100배 값의 비율 ($Ra \cdot 100 / BW$)이 1.0 이하를 만족하며, 상기 세라믹 바디의 표면 조도(Ra)는 $1.0 \mu\text{m}$ 이상인 적층 세라믹 전자부품.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 적층 세라믹 전자부품의 사이즈가 3216 (길이: $3.2 \pm 0.05 \text{ mm}$, 폭: $1.6 \pm 0.05 \text{ mm}$) 미만인 경우,

상기 전도성 수지층의 일 단부에서 상기 세라믹 바디의 제1 면 및 제2 면에 배치된 타 단부까지의 거리(BW)는 0.2 mm 초과인 적층 세라믹 전자부품.

청구항 4

제1항에 있어서,

상기 적층 세라믹 전자부품의 사이즈가 3216 (길이: $3.2 \pm 0.05 \text{ mm}$, 폭: $1.6 \pm 0.05 \text{ mm}$) 이상인 경우,

상기 전도성 수지층의 일 단부에서 상기 세라믹 바디의 제1 면 및 제2 면에 배치된 타 단부까지의 거리(BW)는 0.6 mm 초과인 적층 세라믹 전자부품.

청구항 5

제1항에 있어서,

상기 전극층은 구리(Cu), 은(Ag), 니켈(Ni) 및 이들의 합금으로 이루어진 군으로부터 선택된 하나 이상의 도전성 금속을 포함하는 적층 세라믹 전자부품.

청구항 6

제1항에 있어서,

상기 전도성 수지층은 구리(Cu), 은(Ag), 니켈(Ni) 및 이들의 합금으로 이루어진 군으로부터 선택된 하나 이상의 도전성 금속과 베이스 수지를 포함하는 적층 세라믹 전자부품.

청구항 7

제1항에 있어서,
상기 내부전극의 두께(te)는 1 μm 미만인 적층 세라믹 전자부품.

청구항 8

제1항에 있어서,
상기 유전체층의 두께(td)는 2.8 μm 미만인 적층 세라믹 전자부품.

청구항 9

제1항에 있어서,
상기 유전체층의 두께(td)와 상기 내부전극의 두께(te)는 $td > 2 \times te$ 를 만족하는 적층 세라믹 전자부품.

발명의 설명

기술 분야

[0001] 본 발명은 적층 세라믹 전자부품에 관한 것으로, 보다 구체적으로는 신뢰성이 우수한 적층 세라믹 전자부품에 관한 것이다.

배경 기술

[0002] 최근, 전자 제품의 소형화, 슬림화 및 다기능화에 따라 적층 세라믹 커패시터도 소형화가 요구되고 있으며, 적층 세라믹 커패시터의 실장도 고 집적화되고 있다.

[0003] 전자부품 중 하나인 적층 세라믹 커패시터는 액정 표시 장치 (LCD, Liquid Crystal Display) 및 플라즈마 표시 장치 패널 (PDP, Plasma Display Panel) 등의 영상 기기, 컴퓨터, 개인 휴대용 단말기 (PDA, Personal Digital Assistants) 및 휴대폰 등 여러 전자 제품의 인쇄회로기판에 장착되어 전기를 충전시키거나 또는 방전시키는 역할을 한다.

[0004] 이러한 적층 세라믹 커패시터는 소형이면서 고용량이 보장되고 실장이 용이하다는 장점으로 인하여 다양한 전자 장치의 부품으로 사용될 수 있다.

[0006] 한편, 최근 전자 제품에 대한 업계의 관심이 높아지면서 적층 세라믹 커패시터 역시 자동차 혹은 인포테인먼트 시스템에 사용되기 위하여 고신뢰성 및 고강도 특성이 요구되고 있다.

[0007] 특히, 적층 세라믹 커패시터에 대한 높은 휨강도 특성을 요구하고 있어, 휨특성 향상을 위한 내부 및 외부 구조 등에 있어서 개선이 필요한 실정이다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 일본공개특허공보 2011-018874

발명의 내용

해결하려는 과제

[0010] 본 발명은 적층 세라믹 전자부품에 관한 것으로, 보다 구체적으로는 신뢰성이 우수한 적층 세라믹 전자부품에 관한 것이다.

과제의 해결 수단

[0011] 본 발명의 일 실시형태는 유전체층 및 상기 유전체층을 사이에 두고 서로 대향하도록 배치되는 복수의 내부전극을 포함하며, 제1 방향으로 대향하는 제1 면 및 제2 면, 상기 제1 면 및 제2 면과 연결되고, 제2 방향으로 대향하는 제3 면 및 제4 면, 상기 제1 면 내지 제4 면과 연결되고, 제3 방향으로 대향하는 제5 면 및 제6 면을 포함하는 세라믹 바디 및 상기 세라믹 바디의 외측에 배치되며, 상기 내부전극과 전기적으로 연결되는 외부전극을 포함하며, 상기 외부전극은 상기 내부전극과 전기적으로 연결되는 전극층 및 상기 전극층 상에 배치된 전도성 수지층을 포함하며, 상기 전도성 수지층은 상기 세라믹 바디의 제1 면 및 제2 면으로 연장하여 배치되고, 상기 전도성 수지층의 일 단부에서 상기 세라믹 바디의 제1 면 및 제2 면에 배치된 타 단부까지의 거리(BW) 대비 상기 세라믹 바디의 표면 조도(Ra)의 100배 값의 비율 ($Ra \times 100 / BW$)이 1.0 이하를 만족하는 적층 세라믹 전자부품을 제공한다.

발명의 효과

[0013] 본 발명의 일 실시형태에 따르면, 외부전극이 포함하는 전도성 수지층의 세라믹 바디의 제1 면 및 제2 면에 배치된 단부까지의 거리(BW)와 상기 세라믹 바디의 표면 조도(Ra)의 100배 값의 비율을 조절함으로써, 휨강도를 개선할 수 있어 신뢰성을 향상시킬 수 있다.

[0014] 또한, 세라믹 바디의 표면 조도를 일정 값 이상 확보함으로써, 세라믹 바디와 외부전극의 계면 결합력을 향상시킬 수 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 사시도이다.

도 2는 본 발명의 일 실시 형태에 따른 세라믹 바디를 나타낸 모식도이다.

도 3은 도 1의 I-I' 단면도이다.

도 4는 도 3의 B 영역 확대도이다.

발명을 실시하기 위한 구체적인 내용

[0016] 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

[0017] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0019] 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙이도록 한다.

[0021] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태를 설명한다.

[0023] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 사시도이다.

[0024] 도 2는 본 발명의 일 실시 형태에 따른 세라믹 바디를 나타낸 모식도이다.

[0025] 도 3은 도 1의 I-I' 단면도이다.

[0026] 도 4는 도 3의 B 영역 확대도이다.

[0028] 도 1 내지 도 4를 참조하면, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품(100)은 유전체층(111) 및 상기 유전체층(111)을 사이에 두고 서로 대향하도록 배치되는 복수의 내부전극(121, 122)을 포함하며, 제1 방향으로 대향하는 제1 면(S1) 및 제2 면(S2), 상기 제1 면(S1) 및 제2 면(S2)과 연결되고, 제2 방향으로 대향하는 제

3 면(S3) 및 제4 면(S4), 상기 제1 면 내지 제4 면과 연결되고, 제3 방향으로 대향하는 제5 면(S5) 및 제6 면(S6)을 포함하는 세라믹 바디(110) 및 상기 세라믹 바디(110)의 외측에 배치되며, 상기 복수의 내부전극(121, 122)과 전기적으로 연결되는 외부전극(131, 132)을 포함하며, 상기 세라믹 바디(110)는 상기 유전체층(111)을 사이에 두고 서로 대향하도록 배치되는 복수의 내부전극(121, 122)을 포함하여 용량이 형성되는 액티브부(A)와 상기 액티브부(A)의 상부 및 하부에 형성된 커버부(C1, C2)를 포함한다.

- [0030] 이하에서는 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품을 설명하되, 특히 적층 세라믹 커패시터로 설명하지만 이에 제한되는 것은 아니다.
- [0032] 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터에 있어서, '길이 방향'은 도 1의 'L' 방향, '폭 방향'은 'W' 방향, '두께 방향'은 'T' 방향으로 정의하기로 한다. 여기서 '두께 방향'은 유전체층을 쌓아 올리는 방향 즉 '적층 방향'과 동일한 개념으로 사용할 수 있다.
- [0034] 본 발명의 일 실시형태에서, 세라믹 바디(110)는 형상에 있어 특별히 제한은 없지만, 도시된 바와 같이 육면체 형상일 수 있다.
- [0036] 상기 세라믹 바디(110)는 제1 방향으로 대향하는 제1 면(S1) 및 제2 면(S2), 상기 제1 면(S1) 및 제2 면(S2)과 연결되고, 제2 방향으로 대향하는 제3 면(S3) 및 제4 면(S4), 상기 제1 면 내지 제4 면과 연결되고, 제3 방향으로 대향하는 제5 면(S5) 및 제6 면(S6)을 포함할 수 있다.
- [0037] 상기 제1 면(S1) 및 제2 면(S2)은 제1 방향인 세라믹 바디(110)의 두께 방향으로 마주보는 면으로, 상기 제3 면(S3) 및 제4 면(S4)은 제2 방향인 길이 방향으로 마주보는 면으로 정의될 수 있으며, 상기 제5 면(S5) 및 제6 면(S6)은 제3 방향인 폭 방향으로 마주보는 면으로 정의될 수 있다.
- [0039] 상기 세라믹 바디(110) 내부에 형성된 복수 개의 내부전극(121, 122)은 세라믹 바디의 제3 면(S3) 또는 제4 면(S4)으로 일단이 노출된다.
- [0040] 상기 내부전극(121, 122)은 서로 다른 극성을 갖는 제1 내부전극(121) 및 제2 내부전극(122)을 한 쌍으로 할 수 있다.
- [0041] 제1 내부전극(121)의 일단은 제3 면(S3)으로 노출되고, 제2 내부전극(122)의 일단은 제4 면(S4)으로 노출될 수 있다.
- [0042] 상기 제1 내부전극(121) 및 제2 내부전극(122)의 타단은 제4 면(S4) 또는 제3 면(S3)으로부터 일정 간격을 두고 형성된다. 이에 대한 보다 구체적인 사항은 후술하도록 한다.
- [0043] 상기 세라믹 바디의 제3 면(S3) 및 제4 면(S4)에는 제1 및 제2 외부전극(131, 132)이 형성되어 상기 내부전극과 전기적으로 연결될 수 있다.
- [0045] 본 발명의 일 실시형태에 따르면, 상기 유전체층(111)을 형성하는 원료는 충분한 정전 용량을 얻을 수 있는 한 특별히 제한되지 않으며, 예를 들어, 티탄산바륨계 재료, 납 복합 페로브스카이트계 재료 또는 티탄산스트론튬계 재료 등을 사용할 수 있다.
- [0047] 상기 유전체층(111)을 형성하는 재료는 티탄산바륨($BaTiO_3$) 등의 파우더에 본 발명의 목적에 따라 다양한 세라믹 첨가제, 유기용제, 가소제, 결합제, 분산제 등이 첨가될 수 있다.
- [0049] 이러한 세라믹 바디(110)는 커패시터의 용량 형성에 기여하는 부분으로서의 액티브부(A)와, 상하 마진부로서 액티브부(A)의 상하부에 각각 형성된 상부 커버부(C1) 및 하부 커버부(C2)로 구성될 수 있다.
- [0051] 상기 액티브부(A)는 유전체층(111)을 사이에 두고 복수의 제1 및 제2 내부 전극(121, 122)을 반복적으로 적층하여 형성될 수 있다.
- [0053] 상기 상부 커버부(C1) 및 하부 커버부(C2)는 내부 전극을 포함하지 않는 것을 제외하고는 유전체층(111)과 동일한 재질 및 구성을 가질 수 있다.
- [0054] 즉, 상기 상부 커버부(C1) 및 하부 커버부(C2)는 세라믹 재료를 포함할 수 있으며, 예를 들어 티탄산바륨($BaTiO_3$)계 세라믹 재료를 포함할 수 있다.
- [0056] 상기 상부 커버부(C1) 및 하부 커버부(C2)는 단일 유전체층 또는 2 개 이상의 유전체층을 액티브부(A)의 상하부에 각각 상하 방향으로 적층하여 형성할 수 있으며, 기본적으로 물리적 또는 화학적 스트레스에 의한 내부 전극

의 손상을 방지하는 역할을 수행할 수 있다.

- [0058] 상기 제1 및 제2 내부 전극(121, 122)을 형성하는 재료는 특별히 제한되지 않으며, 예를 들어, 은(Ag), 납(Pb), 백금(Pt), 니켈(Ni) 및 구리(Cu) 중 하나 이상의 물질을 포함하는 도전성 페이스트를 사용하여 형성될 수 있다.
- [0060] 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터는 상기 제1 내부전극(121)과 전기적으로 연결된 제1 외부 전극(131) 및 상기 제2 내부 전극(122)과 전기적으로 연결된 제2 외부전극(132)을 포함할 수 있다.
- [0062] 상기 제1 및 제2 외부전극(131, 132)은 정전 용량 형성을 위해 상기 제1 및 제2 내부전극(121, 122)과 전기적으로 연결될 수 있으며, 상기 제2 외부전극(132)은 상기 제1 외부전극(131)과 다른 전위에 연결될 수 있다.
- [0064] 상기 제1 및 제2 외부 전극(131, 132)은 상기 세라믹 바디(110)의 제2 방향인 길이 방향 제3 면(S3) 및 제4 면(S4)에 각각 배치되며, 상기 세라믹 바디(110)의 제1 방향인 두께 방향 제1 면(S1) 및 제2 면(S2)으로 연장 배치될 수 있다.
- [0066] 상기 외부전극(131, 132)은 상기 세라믹 바디(111)의 외측에 배치되며, 상기 내부전극(121, 122)과 전기적으로 연결되는 전극층(131a, 132a)과 상기 전극층(131a, 132a) 상에 배치된 전도성 수지층(131b, 132b)을 포함할 수 있다.
- [0068] 상기 전극층(131a, 132a)은 도전성 금속 및 글라스를 포함할 수 있다.
- [0069] 상기 전극층(131a, 132a)에 사용되는 도전성 금속은 정전 용량 형성을 위해 상기 내부 전극과 전기적으로 연결될 수 있는 재질이면 특별히 제한되지 않으며, 예를 들어, 구리(Cu), 은(Ag), 니켈(Ni) 및 이들의 합금으로 이루어진 군으로부터 선택된 하나 이상일 수 있다.
- [0070] 상기 전극층(131a, 132a)은 상기 도전성 금속 분말에 글라스 프리트를 첨가하여 마련된 도전성 페이스트를 도포한 후 소성함으로써 형성될 수 있다.
- [0072] 상기 전도성 수지층(131b, 132b)은 전극층(131a, 132a) 상에 형성되며, 전극층(131a, 132a)을 완전히 덮는 형태로 형성될 수 있다.
- [0073] 상기 전도성 수지층(131b, 132b)에 포함되는 베이스 수지는 접합성 및 충격흡수성을 가지고, 도전성 금속 분말과 혼합하여 페이스트를 만들 수 있는 것이면 특별히 제한되지 않으며, 예를 들어 에폭시계 수지를 포함할 수 있다.
- [0074] 상기 전도성 수지층(131b, 132b)에 포함되는 도전성 금속은 전극층(131a, 132a)과 전기적으로 연결될 수 있는 재질이면 특별히 제한되지 않으며, 예를 들어, 구리(Cu), 은(Ag), 니켈(Ni) 및 이들의 합금으로 이루어진 군으로부터 선택된 하나 이상을 포함할 수 있다.
- [0076] 본 발명의 일 실시형태에 따르면, 상기 전도성 수지층(131b, 132b)은 상기 세라믹 바디(110)의 제1 면(S1) 및 제2 면(S2)으로 연장하여 배치되고, 상기 전도성 수지층(131b, 132b)의 일 단부에서 상기 세라믹 바디(110)의 제1 면(S1) 및 제2 면(S2)에 배치된 타 단부까지의 거리(BW) 대비 상기 세라믹 바디(110)의 표면 조도(Ra)의 100배 값의 비율 ($Ra*100/BW$)이 1.0 이하를 만족한다.
- [0078] 본 발명의 일 실시형태에 따르면, 상기 전도성 수지층(131b, 132b)의 일 단부에서 상기 세라믹 바디(110)의 제1 면(S1) 및 제2 면(S2)에 배치된 타 단부까지의 거리(BW) 대비 상기 세라믹 바디(110)의 표면 조도(Ra)의 100배 값의 비율 ($Ra*100/BW$)이 1.0 이하를 만족함으로써, 적층 세라믹 커패시터의 휨강도를 개선할 수 있다.
- [0080] 상기 전도성 수지층(131b, 132b)의 일 단부에서 상기 세라믹 바디(110)의 제1 면(S1) 및 제2 면(S2)에 배치된 타 단부까지의 거리(BW) 대비 상기 세라믹 바디(110)의 표면 조도(Ra)의 100배 값의 비율 ($Ra*100/BW$)이 1.0을 초과하는 경우에는, 휨크랙 발생 빈도가 높아져서 5 mm 이상의 휨강도를 보증할 수 없다.
- [0082] 표면 조도란 금속 표면을 가공할 때에 표면에 생기는 미세한 요철의 정도를 일컫는고, 표면 거칠기라고도 한다.
- [0083] 표면 조도는 가공에 사용되는 공구, 가공법의 적부, 표면에 긁힌 흠, 녹 등에 의해서 생기는 것으로, 거칠기의 정도를 나타내는 데 있어서 표면을 그것과 직각인 평면으로 절단하고 그 단면을 보면 어떤 곡선을 이루는데, 이 곡선의 가장 낮은 곳에서 가장 높은 곳까지의 높이를 취하여 이것을 중심선 평균 거칠기라고 하고 Ra로 표시한다.
- [0084] 본 발명의 일 실시형태에서는 도 4에 도시된 바와 같이 상기 세라믹 바디(110)의 표면 조도를 Ra 라 규정하기로

한다.

[0086] 상기 세라믹 바디(110)는 압착 공정 시 표면에 사포를 삽입하여 사포의 표면 조도를 세라믹 표면에 전사할 수 있는데, 이는 세라믹 바디(110)의 표면에 표면 조도를 발생하기 위한 것이며, 상기 사포는 P의 값이 100 내지 3000의 범위일 수 있다.

[0087] 상기 사포의 'P'는 FEPA[the European FEPA (Federation of European Producers of Abrasives) "P" grade]의 입자 사이즈 표준을 나타내는 기호이다.

[0089] 세라믹 바디(110)의 중심선 평균 거칠기(Ra)는 표면에 조도가 형성된 세라믹 바디(110)의 거칠기를 산출한 값으로서, 상기 조도의 가상의 중심선을 기준으로 평균값을 구하여 산출된 세라믹 바디(110)의 거칠기를 의미할 수 있다.

[0091] 구체적으로, 도 4를 참조하면, 상기 세라믹 바디(110)의 중심선 평균 거칠기(Ra)를 산출하는 방법은 상기 세라믹 바디(110)의 일 표면에 형성되어 있는 조도에 대하여 가상의 중심선을 그을 수 있다.

[0092] 다음으로, 상기 조도의 가상의 중심선을 기준으로 각각의 거리(예를 들어, $r_1, r_2, r_3 \dots r_n$)를 측정한 후 아래 식과 같이 각 거리의 평균값을 구하여 산출된 값으로 세라믹 바디(110)의 중심선 평균 거칠기(Ra)를 산출할 수 있다.

$$R_a = \frac{|r_1| + |r_2| + |r_3| + \dots + |r_n|}{n}$$

[0094]

[0096] 상기 세라믹 바디(110)의 중심선 평균 거칠기(Ra)를 일정 수치 범위 내로 조절하되, 특히 상기 전도성 수지층(131b, 132b)의 일 단부에서 상기 세라믹 바디(110)의 제1 면(S1) 및 제2 면(S2)에 배치된 타 단부까지의 거리(BW) 대비 상기 세라믹 바디(110)의 표면 조도(Ra)의 100배 값의 비율 ($Ra \cdot 100 / BW$)이 1.0 이하를 만족하도록 조절함으로써, 적층 세라믹 커패시터의 휨강도를 개선할 수 있다.

[0098] 한편, 상기 세라믹 바디(110)의 표면 조도(Ra)는 1.0 μm 이상일 수 있다.

[0099] 본 발명의 일 실시형태에 따르면, 상기 세라믹 바디(110)의 표면 조도(Ra)가 1.0 μm 이상이 되도록 조절함으로써, 휨강도를 개선할 수 있고, 특히 세라믹 바디(110)와 외부전극(131, 132)의 계면 결합력을 향상시킬 수 있다.

[0100] 상기 세라믹 바디(110)의 표면 조도(Ra)가 1.0 μm 미만일 경우에는 낮은 조도로 인하여, 세라믹 바디(110)와 외부전극(131, 132)의 계면 결합력이 저하될 수 있다.

[0101] 이 경우, 외부전극(131, 132)의 박리가 발생할 수 있어 적층 세라믹 전자부품의 신뢰성이 저하될 수 있다.

[0103] 본 발명의 일 실시형태에 따르면, 상기 적층 세라믹 전자부품(100)의 사이즈가 3216 (길이: 3.2 \pm 0.05 mm, 폭: 1.6 \pm 0.05 mm) 미만인 경우, 상기 전도성 수지층(131b, 132b)의 일 단부에서 상기 세라믹 바디(110)의 제1 면(S1) 및 제2 면(S2)에 배치된 타 단부까지의 거리(BW)는 0.2 mm 초과일 수 있다.

[0105] 상기 적층 세라믹 전자부품(100)의 사이즈가 3216 (길이: 3.2 \pm 0.05 mm, 폭: 1.6 \pm 0.05 mm) 미만에서, 상기 전도성 수지층(131b, 132b)의 일 단부에서 상기 세라믹 바디(110)의 제1 면(S1) 및 제2 면(S2)에 배치된 타 단부까지의 거리(BW)가 0.2 mm 이하일 경우에는 BW가 짧아 도금액 침투에 따른 내습 신뢰성 저하 및 세라믹 바디가 받는 응력이 모서리 쪽에 집중되면서 휨강도 저하의 불량률이 증가할 수 있다.

[0106] 본 발명의 일 실시형태에 따르면, 상기 적층 세라믹 전자부품(100)의 사이즈가 3216 (길이: 3.2 \pm 0.05 mm, 폭: 1.6 \pm 0.05 mm) 미만에서, 상기 전도성 수지층(131b, 132b)의 일 단부에서 상기 세라믹 바디(110)의 제1 면(S1) 및 제2 면(S2)에 배치된 타 단부까지의 거리(BW)는 0.2 mm 초과이면서 동시에, 상기 전도성 수지층(131b, 132b)의 일 단부에서 상기 세라믹 바디(110)의 제1 면(S1) 및 제2 면(S2)에 배치된 타 단부까지의 거리(BW) 대비 상기 세라믹 바디(110)의 표면 조도(Ra)의 100배 값의 비율 ($Ra \cdot 100 / BW$)이 1.0 이하를 만족할 수 있다.

- [0107] 상기의 조건을 만족함으로써, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품(100)은 5 mm 이상의 휨강도를 보증할 수 있다.
- [0109] 한편, 상기 적층 세라믹 전자부품(100)의 사이즈가 3216 (길이: 3.2 ± 0.05 mm, 폭: 1.6 ± 0.05 mm) 이상인 경우, 상기 전도성 수지층(131b, 132b)의 일 단부에서 상기 세라믹 바디(110)의 제1 면(S1) 및 제2 면(S2)에 배치된 타 단부까지의 거리(BW)는 0.6 mm 초과일 수 있다.
- [0110] 상기 적층 세라믹 전자부품(100)의 사이즈가 3216 (길이: 3.2 ± 0.05 mm, 폭: 1.6 ± 0.05 mm) 이상에서, 상기 전도성 수지층(131b, 132b)의 일 단부에서 상기 세라믹 바디(110)의 제1 면(S1) 및 제2 면(S2)에 배치된 타 단부까지의 거리(BW)가 0.6 mm 이하일 경우에는 BW가 짧아 도금액 침투에 따른 내습 신뢰성 저하 및 세라믹 바디가 받는 응력이 모서리 쪽에 집중되면서 휨강도 저하의 불량률이 증가할 수 있다.
- [0111] 본 발명의 일 실시형태에 따르면, 상기 적층 세라믹 전자부품(100)의 사이즈가 3216 (길이: 3.2 ± 0.05 mm, 폭: 1.6 ± 0.05 mm) 이상에서, 상기 전도성 수지층(131b, 132b)의 일 단부에서 상기 세라믹 바디(110)의 제1 면(S1) 및 제2 면(S2)에 배치된 타 단부까지의 거리(BW)는 0.6 mm 초과이면서 동시에, 상기 전도성 수지층(131b, 132b)의 일 단부에서 상기 세라믹 바디(110)의 제1 면(S1) 및 제2 면(S2)에 배치된 타 단부까지의 거리(BW) 대비 상기 세라믹 바디(110)의 표면 조도(Ra)의 100배 값의 비율 ($Ra \times 100 / BW$)이 1.0 이하를 만족할 수 있다.
- [0112] 상기의 조건을 만족함으로써, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품(100)은 5 mm 이상의 휨강도를 보증할 수 있다.
- [0114] 도 4를 참조하면, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품에 있어서, 상기 유전체층(111)의 두께(td)와 상기 내부전극(121, 122)의 두께(te)는 $td > 2 \times te$ 를 만족할 수 있다.
- [0116] 즉, 본 발명의 일 실시형태에 따르면, 상기 유전체층(111)의 두께(td)는 상기 내부전극(121, 122)의 두께(te)의 2 배 보다 더 큰 것을 특징으로 한다.
- [0117] 일반적으로 고전압 전장용 전자부품은, 고전압 환경 하에서 절연파괴전압의 저하에 따른 신뢰성 문제가 주요한 이슈이다.
- [0118] 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터는 고전압 환경 하에서 절연파괴전압의 저하를 막기 위하여 상기 유전체층(111)의 두께(td)는 상기 내부전극(121, 122)의 두께(te)의 2 배 보다 더 크게 함으로써, 내부 전극 간 거리인 유전체층의 두께를 증가시킴으로써, 절연파괴전압 특성을 향상시킬 수 있다.
- [0119] 상기 유전체층(111)의 두께(td)가 상기 내부전극(121, 122)의 두께(te)의 2 배 이하일 경우에는 내부 전극 간 거리인 유전체층의 두께가 얇아 절연파괴전압이 저하될 수 있다.
- [0121] 상기 내부전극의 두께(te)는 1 μ m 미만일 수 있으며, 상기 유전체층의 두께(td)는 2.8 μ m 미만일 수 있으나, 반드시 이에 제한되는 것은 아니다.
- [0123] 이하에서는 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 제조방법에 대하여 설명하나, 이에 제한되는 것은 아니다.
- [0125] 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 제조 방법은 우선, 티탄산바륨($BaTiO_3$) 등의 파우더를 포함하여 형성된 슬러리를 캐리어 필름(carrier film)상에 도포 및 건조하여 복수 개의 세라믹 그린 시트를 마련하며, 이로써 유전체 층을 형성할 수 있다.
- [0127] 상기 세라믹 그린시트는 세라믹 분말, 바인더, 용제를 혼합하여 슬러리를 제조하고, 상기 슬러리를 닥터 블레이드 법으로 수 μ m의 두께를 갖는 시트(sheet)형으로 제작할 수 있다.
- [0129] 다음으로, 니켈 입자 평균 크기가 0.1 내지 0.2 μ m이며, 40 내지 50 중량부의 니켈 분말을 포함하는 내부전극용 도전성 페이스트를 마련할 수 있다.
- [0131] 상기 그린시트 상에 상기 내부전극용 도전성 페이스트를 스크린 인쇄공법으로 도포하여 내부전극을 형성한 후 내부전극 패턴이 배치된 그린시트를 적층하여 세라믹 바디(110)를 만들었다.
- [0133] 다음으로, 상기 세라믹 바디의 외측에 구리(Cu), 은(Ag), 니켈(Ni) 및 이들의 합금으로 이루어진 균으로부터 선택된 하나 이상의 도전성 금속 및 글라스를 포함하는 전극층을 형성할 수 있다.

- [0135] 상기 글라스는 특별히 제한되는 것은 아니며, 일반적인 적층 세라믹 커패시터의 외부전극 제작에 사용되는 글라스와 동일한 조성의 물질이 사용될 수 있다.
- [0137] 상기 전극층은 상기 세라믹 바디의 상하면 및 단부에 형성됨으로써, 상기 제1 및 제2 내부전극과 각각 전기적으로 연결될 수 있다.
- [0139] 상기 전극층은 도전성 금속 대비 글라스를 5 부피% 이상 포함할 수 있다.
- [0141] 다음으로, 상기 전극층(131a, 132a) 상에 전도성 수지 조성물을 도포한 후 경화시켜 전도성 수지층(131b, 132b)을 형성할 수 있다.
- [0143] 상기 전도성 수지층(131b, 132b)은 구리(Cu), 은(Ag), 니켈(Ni) 및 이들의 합금으로 이루어진 균으로부터 선택된 하나 이상의 도전성 금속 및 베이스 수지를 포함하며, 상기 베이스 수지는 에폭시 수지일 수 있다.
- [0145] 본 발명의 일 실시형태에 따르면, 상기 전도성 수지층은 상기 세라믹 바디의 제1 면 및 제2 면으로 연장하여 배치되고, 상기 전도성 수지층의 일 단부에서 상기 세라믹 바디의 제1 면 및 제2 면에 배치된 타 단부까지의 거리(BW) 대비 상기 세라믹 바디의 표면 조도(Ra)의 100배 값의 비율 ($Ra*100/BW$)이 1.0 이하를 만족한다.
- [0147] 이하, 표 1에서는 전도성 수지층의 일 단부에서 세라믹 바디의 제1 면 및 제2 면에 배치된 타 단부까지의 거리(BW) 대비 상기 세라믹 바디의 표면 조도(Ra)의 100배 값의 비율 ($Ra*100/BW$)에 따른 휩크랙 발생 빈도를 측정하였다.
- [0148] 표 1에서의 적층 세라믹 전자부품 각 샘플들은 사이즈가 3216 (길이: 3.2 ± 0.05 mm, 폭: 1.6 ± 0.05 mm) 미만으로서, 1608 (길이: 1.6 ± 0.05 mm, 폭: 0.8 ± 0.05 mm) 사이즈로 제작하였다.
- [0150] 휩크랙 발생 빈도 측정에 있어서, 기판에 적층 세라믹 커패시터의 샘플들을 실장한 후 벤딩시 누름을 받는 중심부에서의 거리를 6 mm로 설정하여 각 60개의 시료를 대상으로 측정하고, 6 mm에서 휩강도가 보증되는지의 여부를 관찰하였다.
- [0151] 각 60개의 시료에서 불량률 1개라도 발생하는 경우에는 6 mm에서 휩강도는 불량으로 판정하였다.

표 1

[0153] 샘플	Ra (μ m)	BW (mm)	Ra*100/BW	불량빈도
*1	1.5	0.2	0.8	1/60
2	1.5	0.3	0.5	0/60
3	1.5	0.5	0.3	0/60
4	1.5	0.7	0.2	0/60
*5	3.0	0.2	1.5	2/60
6	3.0	0.3	1.0	0/60
7	3.0	0.5	0.6	0/60
8	3.0	0.7	0.4	0/60
*9	5.0	0.2	2.5	4/60
*10	5.0	0.3	1.7	1/60
11	5.0	0.5	1.0	0/60
12	5.0	0.7	0.7	0/60
*13	7.0	0.2	3.5	7/60
*14	7.0	0.3	2.3	3/60
15	7.0	0.5	1.4	0/60
16	7.0	0.7	1.0	0/60

[0154] *: 비교예

[0156] 상기 표 1을 참조하면, 본 발명의 일 실시형태에 따라 적층 세라믹 전자부품 각 샘플들의 사이즈가 1608 (길이: 1.6 ± 0.05 mm, 폭: 0.8 ± 0.05 mm)일 경우, 상기 전도성 수지층(131b, 132b)의 일 단부에서 상기 세라믹 바디(110)의 제1 면(S1) 및 제2 면(S2)에 배치된 타 단부까지의 거리(BW)가 0.2 mm 초과이면서 동시에, 상기 전도성 수지층(131b, 132b)의 일 단부에서 상기 세라믹 바디(110)의 제1 면(S1) 및 제2 면(S2)에 배치된 타 단부까지의 거리(BW) 대비 상기 세라믹 바디(110)의 표면 조도(Ra)의 100배 값의 비율 ($Ra*100/BW$)이 1.0 이하를 만족하는 샘플 2 내지 4, 6 내지 8, 11 내지 12 및 15 내지 16의 경우에만 6 mm까지의 거리에서 휩강도 특성을 만족

하는 것을 알 수 있다.

- [0158] 하기, 표 2에서는 전도성 수지층의 일 단부에서 세라믹 바디의 제1 면 및 제2 면에 배치된 타 단부까지의 거리 (BW) 대비 상기 세라믹 바디의 표면 조도(Ra)의 100배 값의 비율 (Ra*100/BW)에 따른 휨크랙 발생 빈도를 측정 하였다.
- [0159] 표 1에서의 적층 세라믹 전자부품 각 샘플들은 사이즈가 이하, 표 1에서는 전도성 수지층의 일 단부에서 세라믹 바디의 제1 면 및 제2 면에 배치된 타 단부까지의 거리(BW) 대비 상기 세라믹 바디의 표면 조도(Ra)의 100배 값의 비율 (Ra*100/BW)에 따른 휨크랙 발생 빈도를 측정하였다.
- [0160] 표 1에서의 적층 세라믹 전자부품 각 샘플들은 사이즈가 3216 (길이: 3.2 ± 0.05 mm, 폭: 1.6 ± 0.05 mm) 으 로 제작하였다.
- [0162] 휨크랙 발생 빈도 측정에 있어서, 기판에 적층 세라믹 커패시터의 샘플들을 실장한 후 벤딩시 누름을 받는 중심 부에서의 거리를 6 mm로 설정하여 각 60개의 시료를 대상으로 측정하고, 6 mm에서 휨강도가 보증되는지의 여부 를 관찰하였다.
- [0163] 각 60개의 시료에서 불량이 1개라도 발생하는 경우에는 6 mm에서 휨강도는 불량으로 판정하였다.

표 2

[0165] 샘플	Ra (μm)	BW (mm)	Ra*100/BW	불량빈도
*1	1.5	0.4	0.4	2/60
*2	1.5	0.6	0.3	1/60
3	1.5	0.8	0.2	0/60
4	1.5	0.9	0.2	0/60
*5	3.0	0.4	0.8	3/60
*6	3.0	0.6	0.5	1/60
7	3.0	0.8	0.4	0/60
8	3.0	0.9	0.3	0/60
*9	5.0	0.4	1.3	4/60
*10	5.0	0.6	0.8	2/60
11	5.0	0.8	0.6	0/60
12	5.0	0.9	0.6	0/60
*13	7.0	0.4	1.8	5/60
*14	7.0	0.6	1.2	2/60
15	7.0	0.8	0.9	0/60
16	7.0	0.9	0.8	0/60

- [0166] *: 비교예
- [0168] 상기 표 2를 참조하면, 본 발명의 일 실시형태에 따라 적층 세라믹 전자부품 각 샘플들의 사이즈가 3216 (길이: 3.2 ± 0.05 mm, 폭: 1.6 ± 0.05 mm)일 경우, 상기 전도성 수지층(131b, 132b)의 일 단부에서 상기 세라믹 바 디(110)의 제1 면(S1) 및 제2 면(S2)에 배치된 타 단부까지의 거리(BW)가 0.6 mm 초과이면서 동시에, 상기 전도 성 수지층(131b, 132b)의 일 단부에서 상기 세라믹 바디(110)의 제1 면(S1) 및 제2 면(S2)에 배치된 타 단부까 지의 거리(BW) 대비 상기 세라믹 바디(110)의 표면 조도(Ra)의 100배 값의 비율 (Ra*100/BW)이 1.0 이하를 만족 하는 샘플 3 내지 4, 7 내지 8, 11 내지 12 및 15 내지 16의 경우에만 6 mm까지의 거리에서 휨강도 특성을 만족 하는 것을 알 수 있다.
- [0170] 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

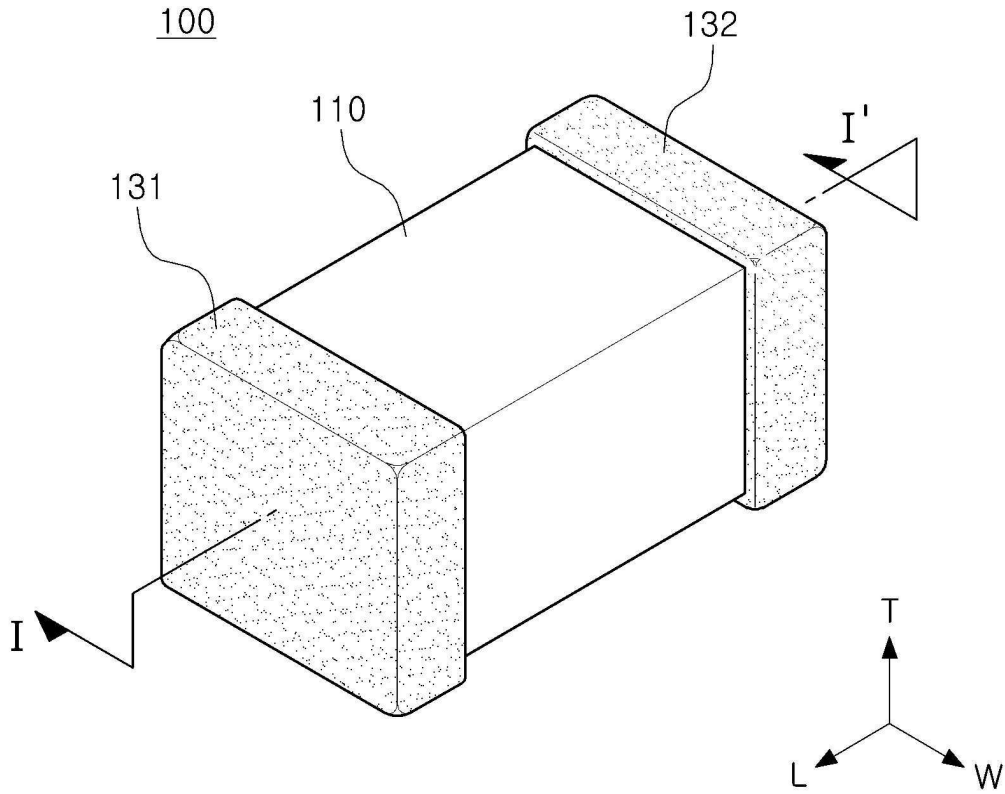
부호의 설명

- [0172] 110: 세라믹 바디

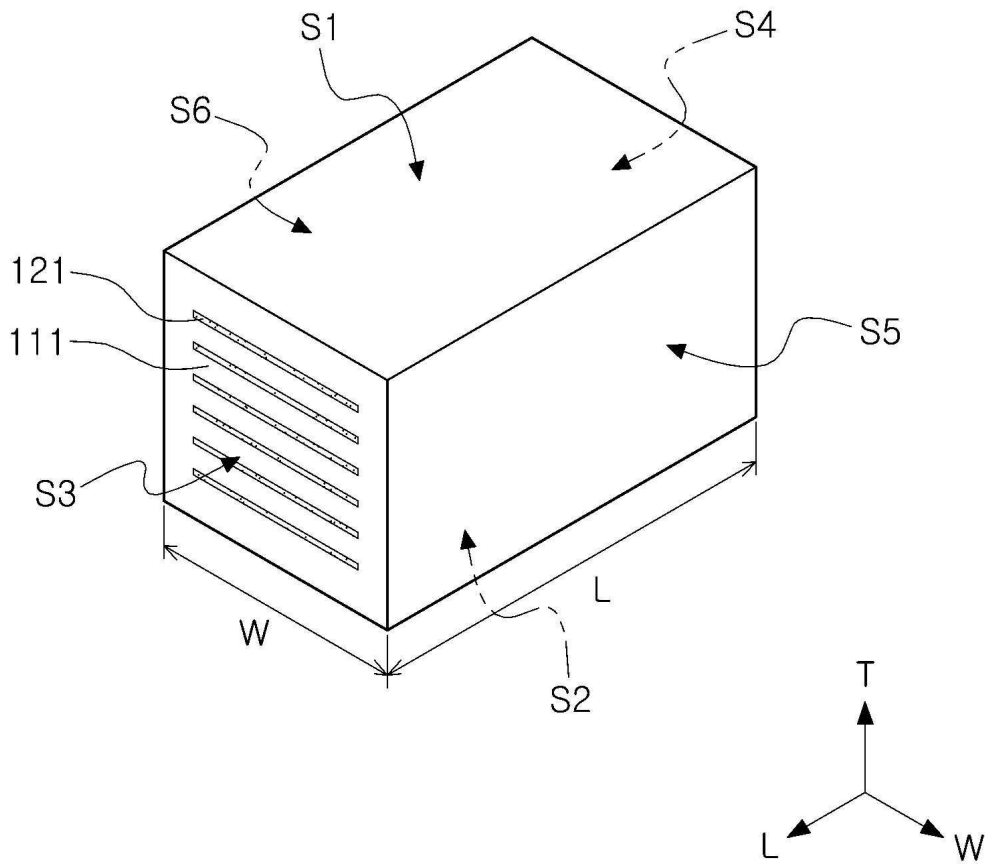
111: 유전체층 121, 122: 제1 및 제2 내부전극
131, 132: 제1 및 제2 외부 전극
131a, 132a: 전극층 131b, 132b: 전도성 수지층

도면

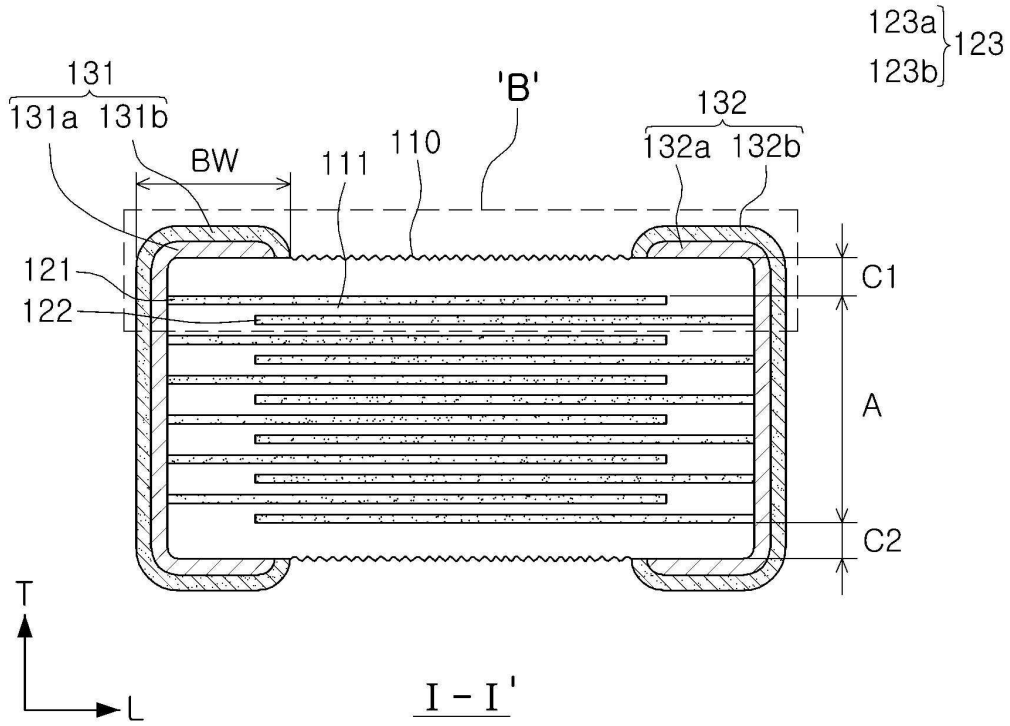
도면1



도면2



도면3



도면4

