



(12) 发明专利申请

(10) 申请公布号 CN 102969301 A

(43) 申请公布日 2013. 03. 13

(21) 申请号 201110422533. 5

(22) 申请日 2011. 12. 13

(30) 优先权数据

13/221, 594 2011. 08. 30 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 柯家洋 邱盈翰 王琳松

(74) 专利代理机构 北京德恒律师事务所 11306

代理人 陆鑫 房岭梅

(51) Int. Cl.

H01L 23/544 (2006. 01)

H01L 21/66 (2006. 01)

G01R 31/26 (2006. 01)

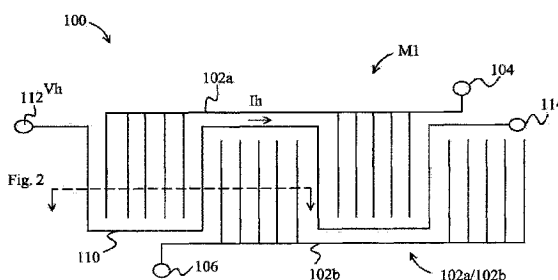
权利要求书 1 页 说明书 7 页 附图 4 页

(54) 发明名称

具有自加热结构的半导体器件、其制造方法和测试方法

(57) 摘要

本发明公开了具有自加热结构的半导体器件、其制造方法以及测试方法。在一个实施例中，半导体器件包括工件；有源电结构，被设置在该工件上方；以及至少一个自加热结构，被设置为与该有源电结构相邻。



1. 一种半导体器件包括：  
工件；  
有源电结构，被设置在所述工件上方；以及  
至少一个自加热结构，被设置为邻近所述有源电结构。
2. 根据权利要求1所述的半导体器件，其中，所述有源电结构设置在金属化层中，并且所述至少一个自加热结构设置在所述金属化层中。
3. 根据权利要求1所述的半导体器件，其中，所述有源电结构设置在第一金属化层中，并且其中所述至少一个自加热结构设置在第二金属化层中。
4. 根据权利要求3所述的半导体器件，其中，所述第二金属化层与所述第一金属化层相邻。
5. 根据权利要求4所述的半导体器件，其中，所述至少一个自加热结构的多部分与所述有源电结构连接。
6. 根据权利要求5所述的半导体器件，其中，所述至少一个自加热结构的与所述有源电结构连接的所述多部分包括通孔层中的通孔，所述通孔层被设置在所述第一金属化层和所述第二金属化层之间。
7. 根据权利要求1所述的半导体器件，进一步包括：第一节点，与所述至少一个自加热结构的第一端连接；以及第二节点，与所述至少一个自加热结构的第二端连接，其中，施加在第一节点和第二节点上的电压在所述至少一个自加热结构中产生热量。
8. 一种制造半导体器件的方法，所述方法包括：  
提供工件；  
在所述工件上方形成至少一个有源电结构；以及  
形成至少一个自加热结构，所述至少一个自加热结构邻近所述至少一个有源电结构。
9. 根据权利要求8所述的方法，其中，形成所述至少一个有源电结构包括：形成电容器、电阻器、导线、导线段、或者晶体管。
10. 一种测试半导体器件的方法，所述方法包括：  
提供工件，金属化层设置在所述工件上方以及所述工件具有形成在其中的有源电结构，所述工件进一步包括：至少一个自加热结构，被设置为邻近所述有源电结构；  
向所述至少一个自加热结构施加电压，加热所述至少一个自加热结构；以及  
对所述有源电结构实施至少一次电测试。

## 具有自加热结构的半导体器件、其制造方法和测试方法

### 技术领域

[0001] 本发明涉及一种半导体器件。

### 背景技术

[0002] 可以将半导体器件用在各种电子应用中,例如,个人计算机、手机、数码相机、以及其他电子设备等。通常通过在半导体衬底上方顺序地沉积绝缘层或者介电层、导电层以及半导体材料层和利用光刻技术图案化不同的材料层从而形成在其上的电路部件和元件来制造半导体器件。

[0003] 金属氧化物半导体 (MOS) 器件经常需要晶圆验收测试 (WATs),对于寿命测试来说,晶圆验收测试中的一部分包括使用外部电路加热 MOS 器件,从而在提高的温度下测试晶圆的运行参数 (operating parameter)。例如,有时候对于可靠性寿命测试来说,半导体晶圆需要在高温下的 WAT。这需要 WAT 组工作人员 (team operator) 改变 WAT 工具中的 WAT 探针卡并且将 WAT 工具中温度升高到更高温度,这些工作耗费时间。此外,特别是当需要进行高温 WAT 的时候,WAT 具有较低的每小时晶圆产出量 (WPH) 的生产量。

[0004] 因此,本领域需要进行改进,即,在半导体器件上进行 WAT 的耗时较少的方法。

### 发明内容

[0005] 根据本发明的一方面,提供一种半导体器件,其包括:工件;有源电结构,被设置在所述工件上方;以及至少一个自加热结构,被设置为邻近所述有源电结构。

[0006] 优选地,所述有源电结构设置在金属化层中,并且所述至少一个自加热结构设置在所述金属化层中。

[0007] 优选地,所述有源电结构设置在第一金属化层中,并且其中所述至少一个自加热结构设置在第二金属化层中。

[0008] 优选地,所述第二金属化层与所述第一金属化层相邻。

[0009] 优选地,所述至少一个自加热结构的多部分与所述有源电结构连接。

[0010] 优选地,所述至少一个自加热结构的与所述有源电结构连接的所述多部分包括通孔层中的通孔,所述通孔层被设置在所述第一金属化层和所述第二金属化层之间。

[0011] 优选地,所述半导体器件进一步包括:第一节点,与所述至少一个自加热结构的第一端连接;以及第二节点,与所述至少一个自加热结构的第二端连接,其中,施加在第一节点和第二节点上的电压在所述至少一个自加热结构中产生热量。

[0012] 根据本发明的另一方面,提供一种制造半导体器件的方法,所述方法包括:提供工件;在所述工件上方形成至少一个有源电结构;以及形成至少一个自加热结构,所述至少一个自加热结构邻近所述至少一个有源电结构。

[0013] 优选地,形成所述至少一个有源电结构包括:形成电容器、电阻器、导线、导线段、或者晶体管。

[0014] 优选地,形成所述至少一个自加热结构包括:形成具有基本上直线形状或者弯曲

形状的布线。

[0015] 优选地,形成所述至少一个自加热结构包括:在第一金属化层中形成多个第一自加热结构以及在第二金属化层中形成多个第二自加热结构。

[0016] 优选地,形成所述多个第一自加热结构包括:形成沿第一方向定向的所述多个第一自加热结构,以及其中形成所述多个第二自加热结构包括:形成沿第二方向定向的所述多个第二自加热结构,所述第二方向与所述第一方向不同或者相同。

[0017] 优选地,形成所述至少一个有源电结构包括:在第三金属化层中形成所述至少一个有源电结构,以及其中将所述第三金属化层设置在所述第一金属化层和所述第二金属化层之间。

[0018] 根据本发明的再一方面,提供一种测试半导体器件的方法,所述方法包括:提供工件,金属化层设置在所述工件上方以及所述工件具有形成在其中的有源电结构,所述工件进一步包括:至少一个自加热结构,被设置为邻近所述有源电结构;向所述至少一个自加热结构施加电压,加热所述至少一个自加热结构;以及对所述有源电结构实施至少一次电测试。

[0019] 优选地,所述方法进一步包括:通过所述至少一个自加热结构测量电流,以及根据通过所述至少一个自加热结构所测量的电流量来确定在所述有源电结构附近所产生的热量。

[0020] 优选地,其中,使用等式 1 来确定产生的所述热量:等式 1: $R = V_h/I_h$ ;其中, $V_h$  是施加至所述至少一个自加热结构的电压, $R$  是所述至少一个自加热结构的电阻,以及  $I_h$  是通过所述至少一个自加热结构所测量的电流,其中所述电阻  $R$  的改变指示所述至少一个自加热结构的温度。

[0021] 优选地,实施所述至少一次电测试包括实施至少一次晶圆验收测试 (WAT)。

[0022] 优选地,所述方法进一步包括:连续地将所述电压施加至所述至少一个自加热结构,同时对所述有源电结构实施所述至少一次电测试。

[0023] 优选地,所述方法进一步包括:不连续地向所述至少一个自加热结构施加所述电压,同时对所述有源电结构实施所述至少一次电测试。

[0024] 优选地,施加所述电压包括:施加大约 15 伏特或更小的电压。

## 附图说明

[0025] 为了更全面地理解本发明及其优势,现在将结合附图所进行的以下描述作为参考,其中:

[0026] 图 1 示出了根据本发明的实施例包括电容的有源电结构和自加热结构的俯视图,该自加热结构被设置为邻近同一金属化层内的有源电结构;

[0027] 图 2 示出了图 1 中所示的半导体器件的部分的横截面图;

[0028] 图 3 示出了根据另一实施例的包括电气布线或者电阻器的有源电结构和设置为邻近该有源电结构的在相邻的金属化层中的自加热结构的透视图;

[0029] 图 4 示出了图 3 中所示的半导体器件的部分的横截面图;

[0030] 图 5 示出了另一实施例的透视图,其中,在相邻的金属化层中形成有源电结构和自加热结构;

[0031] 图 6 示出了根据另一实施例的包括 MOS 晶体管的有源电结构的示意图, 该 MOS 晶体管具有邻近多个晶体管端子的自加热结构;

[0032] 图 7 示出了实施例的透视图, 其中, 在两个金属化层中形成多个自加热结构并且在这两个金属化层之间的金属化层中形成有源电结构; 以及

[0033] 图 8 是示出利用本发明的实施例的新式自加热结构测试半导体器件的方法的流程图。

[0034] 除非另有说明, 不同附图中的相应数字和符号通常指相应部件。为了清楚地示出实施例的相关方面绘制附图而不必按比例进行绘制。

## 具体实施方式

[0035] 下面, 详细讨论本发明各实施例的制造和使用。然而, 应该理解, 本发明提供了许多可以在各种具体环境中实现的可应用的创造性的概念。所讨论的具体实施例仅仅示出制造和使用本发明的具体方式, 而不用于限制本发明的范围。

[0036] 本发明的实施例涉及半导体器件的制造并且涉及半导体器件的测试。这里将描述具有内置的片上自加热结构的半导体器件、其制造方法、和使用新的自加热结构的测试方法。

[0037] 首先, 参考图 1, 示出了包括有源电结构 102a/102b 的半导体器件 100 的俯视图。例如, 这里用术语“有源电结构”来描述在器件 100 的正常运行和 / 或测试期间在半导体器件 100 中具有有源功能的结构。在图 1 和图 2 中示出的实施例中的有源电结构 102a/102b 包括电容器。电容器包括两个电容器极板 102a 和 102b, 形成在多个互连梳状或指状结构中。在同一金属化层 M1 中, 将自加热结构 110 设置为邻近有源电结构 102a 和 102b。例如, 金属化层 M1 可以包括在后道工序 (BEOL) 过程中所形成的金属层。可选地, 有源电结构 102a/102b 和自加热结构 110 可以在半导体器件 100 的其他金属化层 M2, M3……M<sub>x</sub> (图 1 中未示出) 中形成。

[0038] 第一节点 104 与电容器极板 102a 的一端相连, 并且第二节点 106 与有源电结构 102a/102b 的电容器极板 102b 的一端相连。如所示的, 第一节点 112 也与自加热结构 110 的端部相连, 并且第二节点 114 与自加热结构 110 的相对端相连。例如, 节点 104、106、112 以及 114 可以连接到或者可以包括半导体器件 100 的表面上的接触件, 使得这些接触件便于电测试和施加电压 / 电流。可以通过向自加热结构 110 的节点 112 和 114 施加电压  $V_h$  来加热自加热结构 110, 这导致电流  $I_h$  流经自加热结构 110 并且加热该自加热结构 110。施加在第一节点 112 和第二节点 114 上的电压  $V_h$  通过电流  $I_h$  流动在自加热结构 110 中产生热量。由于自加热结构 110 与有源电结构 102a/102b 相邻, 所以也加热有源电结构 102a/102b, 并且可以使用节点 104 和 106 对有源电结构 102a/102b 进行测试, 同时加热自加热结构 110 或者同时在加热之后, 允许自加热机构 110 冷却。优选地, 可以进行的测试包括晶圆验收测试 (WAT), 使得不需要对于半导体器件 100 处于的晶圆进行外部 WAT, (例如, 需要装载晶圆和较长的生产时间), 在制造工艺流程中节省时间, 因此提供较大的成本节约。

[0039] 图 2 示出了图 1 中所示的半导体器件 100 的部分的横截面图。为了制造半导体器件 100, 提供工件 120。例如, 工件 120 可以包括半导体衬底, 该半导体衬底包括硅或其他的半导体材料, 并且可以被绝缘层覆盖。工件 120 也可以包括其他有源部件或电路 (未示出)。

例如,工件 120 可以包括在单晶硅上方的二氧化硅。工件 120 可以包括其他导电层或者其他半导体元件,例如晶体管、二极管等。可以使用诸如 GaAs、InP、Si/Ge、或者 SiC 的化合物半导体来代替硅。例如,工件 120 可以包括绝缘体上硅 (SOI) 衬底或绝缘体上锗 (GOI) 衬底。工件 120 可以包括:形成其上方的一个或多个电路层和 / 或电子功能件 (electrical function), 并且可以包括:例如,导线、通孔、电容器、二极管、晶体管、电阻器、电感器、和 / 或其他在前道工序 (FEOL) 过程中所形成的其他电子元件 (未示出)。

[0040] 可以在半导体器件 100 的上金属化层的 BEOL 中形成本发明的实施例的新式自加热结构 110。为了形成金属化层 M1, 例如,可以沉积绝缘材料 122, 并且使用光刻技术通过用于有源电结构 102a/102b 和自加热结构 110 的图案来图案化该绝缘材料。然后,在绝缘材料 122 上方沉积包括一种或多种金属的导电材料来填充图案。例如,导电材料可以包括:铜、铜合金、或其他金属。例如,使用一次或多次化学机械抛光工艺和 / 或蚀刻工艺从绝缘材料 122 上方去除多余的导电材料,在单镶嵌工艺中形成有源电结构 102a/102b 和自加热结构 110。也可以通过使用光刻技术沉积导电材料并图案化导电材料使用减少蚀刻工艺来形成有源电路结构 102a/102b 和自加热结构 110。然后,在有源电结构 102a/102b 和自加热结构 110 之间形成绝缘材料 122。可选地,可以使用其他方法在工件 120 上方形成有源电结构 102a/102b 和自加热结构 110。此外,虽然示出了用于形成自加热结构的金属化层,但是本领域的技术人员将认识到可以使用其他层,该其他层包括但不限于在多晶硅层中形成自加热结构。

[0041] 在图 1 和图 2 中仅仅示出了一个与有源电结构 102a/102b 相邻的自加热结构 110; 可选地,可以形成与有源电结构 102a/102b 相邻的两个或多个自加热结构 110 (本文中要进行进一步描述)。

[0042] 邻近其他类型的有源电结构 102 的半导体器件 100 可以包括本发明的实施例的自加热结构 110, 在图 3 至图 7 中示出了其实例。将用于描述图 1 和图 2 的相同的标号用于图 3 至图 7 中的各种元件。为了避免重复,图 3 至图 7 中所示的每个参考标号此处不再详细描述。更确切地说,将类似的材料 100、102、104 等用于描述如用于描述图 1 和图 2 的所示的各种材料层和元件。

[0043] 例如,图 3 示出了有源电结构 102 以及两个自加热结构 110a 和 110b 的透视图,其中,有源电结构 102 包括在半导体器件 100 的金属化层 M1 中所形成的电气布线或电阻,相邻的金属化层 M2 中,两个自加热结构 110a 和 110b 设置为与该有源电结构 102 邻近。图 4 示出了图 3 中所示的半导体器件 100 的部分的横截面图。在图 3 中仅示出了两个自加热结构 110a 和 110b; 然而根据本发明的实施例,可以在半导体器件 100 的一个或多个金属化层 M2、M3、Mx 中形成多个 (例如,数十个或者数百个) 或者更多的自加热结构 110a 和 110b。

[0044] 在一些实施例中,可以将自加热结构 110a 和 110b 的多部分连接至有源电结构 102。例如,如图 3 和图 4 所示,可以使用任选的通孔 124a 和 124b, 从而将自加热结构 110a 和 110b 分别电连接至以及热连接至下层的有源电结构 102。通孔 124a 和 124b 便于将热量传递到测试的有源电结构 102。例如,可以使用单镶嵌工艺或者双镶嵌工艺来形成通孔 124a 和 124b。金属化层 M1 包括在绝缘材料 122a 中形成的有源电结构 102。通孔层 V1 包括在绝缘材料 122b 中所形成的通孔 124a 和 124b, 并且金属化层 M2 包括在绝缘材料 122c 中所形成的自加热结构 110a 和 110b (图中不可见)。

[0045] 在形成通孔 124a 和 124b 以及自加热结构 110a 和 110b 的双镶嵌工艺中,在金属化层 M1 中形成有源电结构 102 和绝缘材料 122a 之后,将绝缘材料 122b 沉积在绝缘材料 122a 和有源电结构 102 上方。可以在绝缘材料 122b 上方形成任选的蚀刻停止层(未示出),并且在绝缘材料 122b 上方形成绝缘材料 122c。同时(或者在两个单独的图案化步骤中)通过用于金属化层 V1 中的通孔 124a 和 124b 的图案以及用于金属化层 M2 中的自加热结构 110a 和 110b 的图案来图案化绝缘材料 122b 和绝缘材料 122c。然后,用导电材料填充这两个图案化的绝缘材料 122b 和 122c,在金属化层 V1 中形成通孔 124a 和 124b,以及在金属化层 M2 中形成自加热结构 110a 和 110b。使用一次或多次 CMP 工艺和/或蚀刻工艺从绝缘材料 122c 上方去除多余的导电材料。可选地,还可以使用三次单镶嵌工艺、三次单减少蚀刻工艺或者其他方法来形成三个金属化层 M1、V1 以及 M2。

[0046] 可以通过在节点 112a 和 114a 以及 112b 和 114b 上分别施加电压  $V_{h1}$  和  $V_{h2}$  来加热自加热结构 110a 和 110b。例如,通过绝缘金属化层 122b,也通过通孔 124a 和 124b(如果结构中包括的话),将热量传递给有源电结构 102。在一些实施例中,可以持续地将电压  $V_{h1}$  和  $V_{h2}$  施加在自加热结构 110a 和 110b 上,同时对于有源电结构 102 实施电测试,在测试过程中保持加热自加热结构 110a 和 110b 并且还加热有源电结构 102。

[0047] 如果在半导体器件 100 中包括通孔 124a 和 124b,则在一些实施例中,对自加热结构 110a 和 110b 加热一预定时间来达到理想的温度,并且然后,从自加热结构 110a 和 110b 的节点 112a 和 114a 以及 112b 和 114b 去除电压  $V_{h1}$  和  $V_{h2}$  或者断开电压  $V_{h1}$  和  $V_{h2}$ 。然后,例如,使用节点 104 和 106 对有源电结构 110a 和 110b 进行例如 WAT 的电测试。例如,从自加热结构 110a 和 110b 上去除电压  $V_{h1}$  和  $V_{h2}$  可以降低或者防止电压  $V_{h1}$  和  $V_{h2}$  以及电流  $I_{h1}$  和  $I_{h2}$  干扰电测试。

[0048] 图 5 示出了另一个实施例的透视图,其中,在相邻的金属化层  $M_x$  和  $M_{x+1}$  中形成有源电结构 102a、102b 以及 102c 和自加热结构 110a、110b 以及 110c。在本实施例中,有源电结构 102 包括:三个包括导线段的有源电结构 102a、102b 以及 102c。通过通孔 124a、124b 以及 124c 将三个自加热结构 110a、110b 以及 110c 分别连接至有源电结构 102a、102b 以及 102c。可以使用节点(图 5 中未示出;见图 1 和图 3),从而在自加热结构 110a、110b 以及 110c 上施加电压  $V_h$  并且在有源电结构 102a、102b 以及 102c 中产生热量。与在其他实施例中一样,在金属化层  $M_x$  和  $M_{x+1}$  中形成有源电结构 102a、102b 以及 102c 和自加热结构 110a、110b 以及 110c,其中金属化层  $M_x$  和  $M_{x+1}$  是半导体器件 100 中的通过通孔层  $V_x$  分离的相邻金属化层,其中在通孔层  $V_x$  中形成任选的通孔 124a、124b 以及 124c。

[0049] 例如,金属化层  $M_x$  和  $M_{x+1}$  可以包括本实施例的和这里所述的其他实施例的半导体器件 100 中的任何金属化层。虽然所说明的实施例示出了在相邻金属化层中所形成的自加热结构,但是在其他预期实施例中,假如自加热结构足够接近从而允许通过中间层或多个中间层将热量从自加热结构有效地传递给有源电结构,可以在金属化层中形成自加热结构,该金属化层通过一层或多层从有源电结构上去除。

[0050] 图 6 示出了有源电结构 102 的示意图,其中有源电结构 102 包括具有自加热结构 110a、110b 以及 110c 的 MOS 晶体管,自加热结构 110a、110b 以及 110c 与多个晶体管的端子或节点 104、106 以及 130 相邻。在本实施例中,自加热结构 110a、110b 以及 110c 可以在与包括有源电结构 102 的 MOS 晶体管的部分形成在其中的金属化层相邻的金属化层中形成。

[0051] 图 7 示出了实施例的透视图,其中,分别在两个金属化层 Mz 和 Mx 中形成多个第一自加热结构 110a 和多个第二自加热结构 110b。在设置在金属化层 Mz 和 Mx 之间的金属化层 My 中形成有源电结构 102。多个第一自加热结构 110a 定向为第一方向 132(例如纵向),以及多个第二自加热结构 110b 定向为第二方向 134。在所示的实施例中,第二方向 134 与第一方向 132 不同。例如,第二方向 134 可以基本上与第一方向 132 垂直。在其他实施例中,第二方向 134 可以基本上与第一方向 132 相同(未示出)。例如,优选地,图 7 中所示的结构通过在有源电结构 102 上方和下方的自加热结构 110a 和 110b 的平行线提供均匀加热来提供有源电结构 102 的均匀加热。

[0052] 如图 3 至图 7 所示,这里描述的新的自加热结构 110、110a、110b 以及 110c 可以包括具有基本直线形状的导电金属线。如图 1 所示,自加热结构 110、110a、110b 以及 110c 也可以包括具有弯曲形状的导电金属线。可选地,自加热结构 110、110a、110b 以及 110c 可以包括其他形状和结构。

[0053] 图 8 是利用本发明的实施例的新式自加热结构 110、110a、110b 以及 110c 测试半导体器件 100 的方法的流程图。首先,提供包括至少一个有源电结构 102 和至少一个自加热结构 110 的工件 120(步骤 142)。在至少一个自加热结构 110 上施加电压  $V_h$ (步骤 144),加热至少一个自加热结构 110。然后对于有源电结构 102 进行一次电测试(或多次电测试)(步骤 146)。

[0054] 在一些实施例中,施加给自加热结构 110、110a、110b 或 110c 的节点 112、112a、112b、112c、114、114a、114b 以及 114c 的电压  $V_h$ 、 $V_{h1}$  以及  $V_{h2}$  的量可以包括大约 1 伏特。可选地,在一些实施例中,根据本申请和半导体器件 100,施加的电压  $V_h$ 、 $V_{h1}$  以及  $V_{h2}$  的量可以包括其他值,例如大约 15 伏特或者更小。

[0055] 在一些实施例中,可以通过自加热结构 110、110a、110b 或者 110c 来测量电流  $I_h$ 、 $I_{h1}$ 、以及  $I_{h2}$ ,并且可以通过自加热结构 110、110a、110b 或者 110c 所测量的电流  $I_h$ 、 $I_{h1}$  以及  $I_{h2}$  的量来确定在有源电结构 102、102a、或者 102b 附近所产生的热量。可以使用等式 1 来确定产生的热量:

[0056] 等式 1:  $R = V_h / I_h$ ;

[0057] 其中,  $V_h$  是施加给自加热结构 110、110a、110b 或者 110c 的电压,  $R$  是自加热结构 110、110a、110b 或者 110c 的电阻,以及  $I_h$  是通过自加热结构 110、110a、110b 或者 110c 所测量的电流。电阻  $R$  的变化指示自加热结构 110、110a、110b 或者 110c 的温度。例如,在室温测量中的电阻值  $R$  的改变量  $\Delta R$  指示自加热结构 110、110a、110b 或者 110c 以及诸如源电结构 102、102a 或者 102b 的周围结构的温度。

[0058] 本发明的实施例的优势包括:通过在制造位置或者探测区域进行 WAT 来消除或者减少在实验室、无尘室装置或者测试设备中对半导体器件 100 和晶圆的 WAT 的需要。可以在例如 125 摄氏度的温度下进行用于可靠性寿命测试的高温 WAT,而不必在 WAT 工具中改变 WAT 探针卡或者提高温度。新的自加热结构 110、110a、110b 以及 110c 在低温环境和例如温度为 25 摄氏度左右的常温环境也是可用的。此外,提高了每小时晶圆产出量(WPH)统计数字,获得改善和更高的产量。在现有的测试和制造工艺流程中容易实施这里描述的新式测试方法和半导体器件 100 的制造方法。

[0059] 本发明的实施例包括半导体器件及其制造方法,该半导体器件具有包括在其中的



新式自加热结构 110、110a、110b 以及 110c。实施例也包括使用这里描述的新式自加热结构 110、110a、110b 以及 110c 测试半导体器件 100 的方法。

[0060] 在一个实施例中,半导体器件包括:工件;有源电结构,被设置在工件上方;以及至少一个自加热结构,被设置为邻近有源电结构。

[0061] 在另一个实施例中,制造半导体器件的方法包括:提供工件;以及在工件上方形成至少一个有源电结构。与至少一个有源电结构相邻地形成有至少一个自加热结构。

[0062] 在又一个实施例中,测试半导体器件的方法包括:提供工件,金属化层被设置在工件上方并且该工件具有形成在内部的有源电结构。工件包括至少一个自加热结构,其被设置为邻近有源电结构。测试方法包括:将电压施加给至少一个自加热结构,加热至少一个自加热结构以及对于有源电结构进行至少一次电测试。

[0063] 尽管已经详细地描述了本发明及其优势,但应该理解,可以在不背离所附权利要求限定的本发明主旨和范围的情况下,做各种不同的改变,替换和更改。例如,本领域技术人员应当容易理解,这里描述的特征、功能、工艺以及材料可以变化,同时保持在本发明的范围内。此外,本申请的范围并不仅限于本说明书中描述的工艺、机器、制造、材料组分、装置、方法和步骤的特定实施例。作为本领域普通技术人员应理解,通过本发明,现有的或今后开发的用于执行与根据本发明所采用的所述相应实施例基本相同的功能或获得基本相同结果的工艺、机器、制造,材料组分、装置、方法或步骤根据本发明可以被使用。因此,所附权利要求应该包括在这样的工艺、机器、制造、材料组分、装置、方法或步骤的范围内。

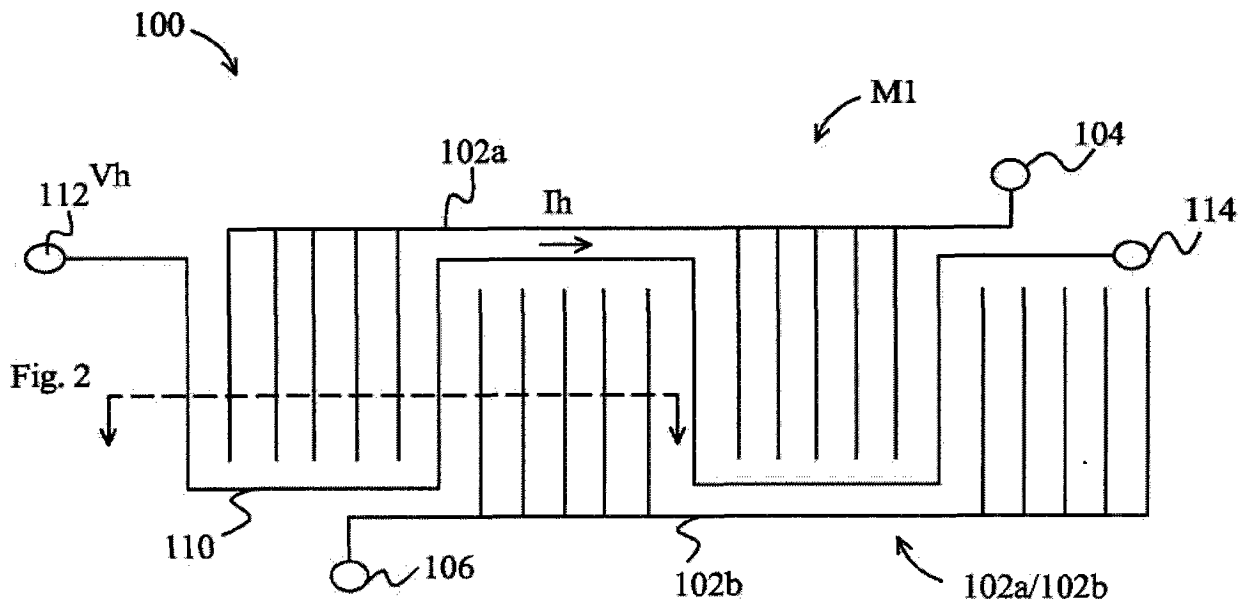


图 1

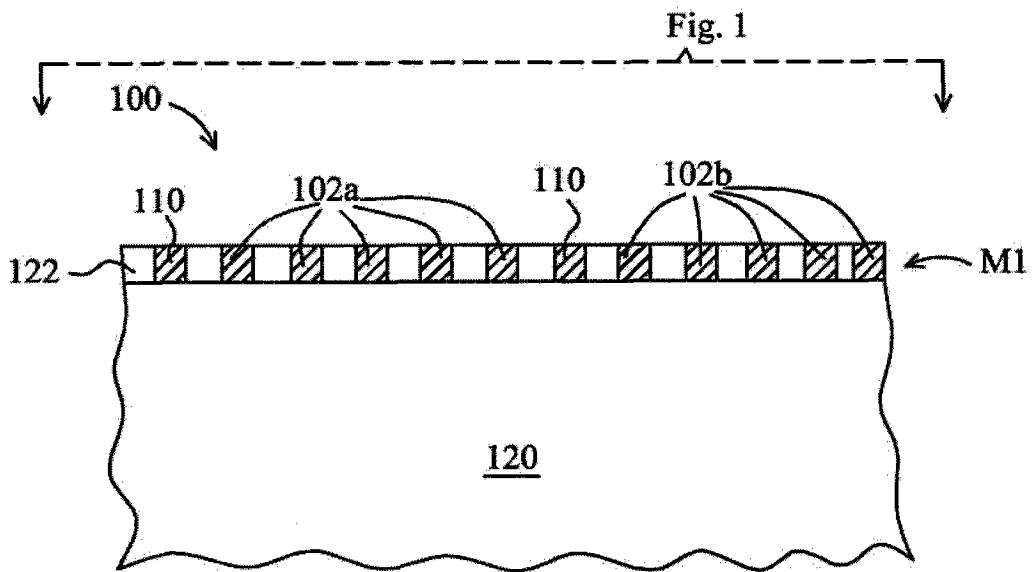


图 2

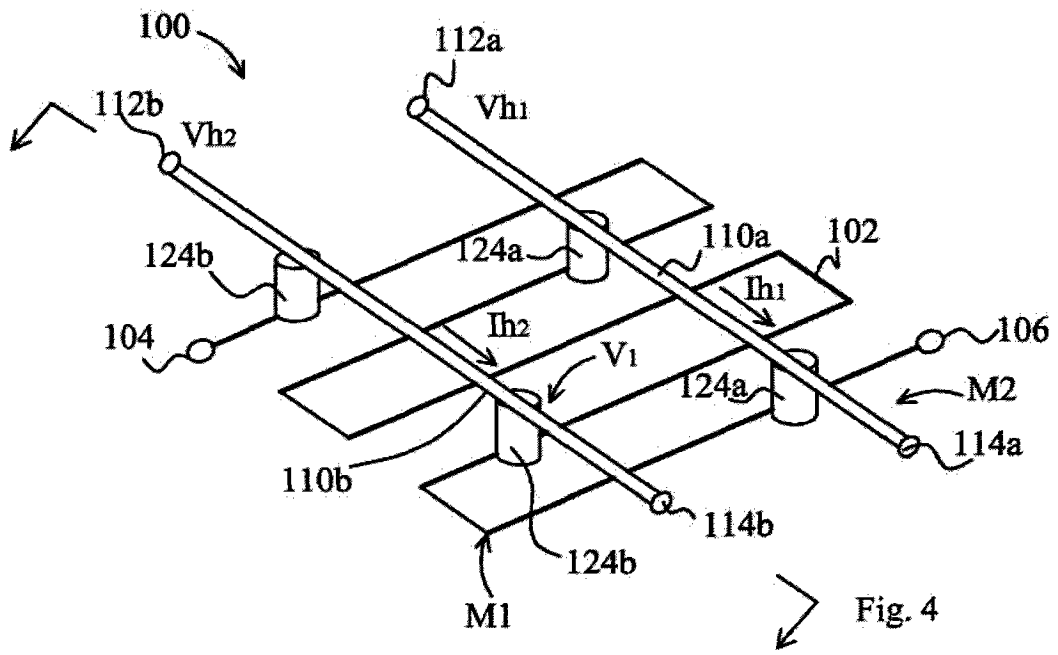


图 3

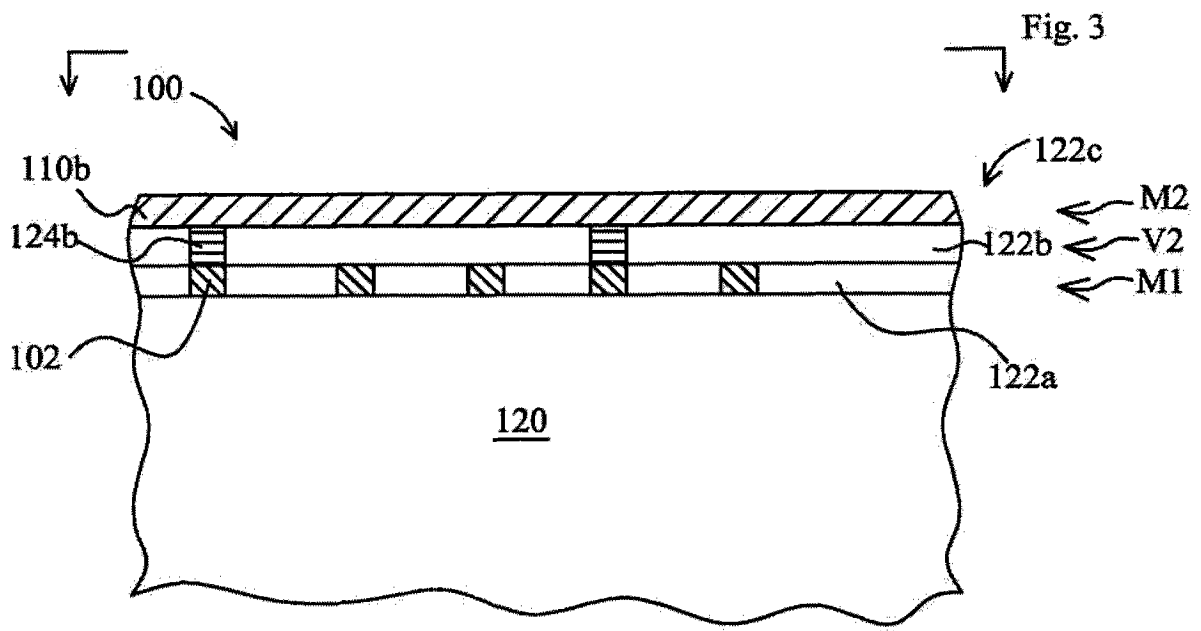


图 4

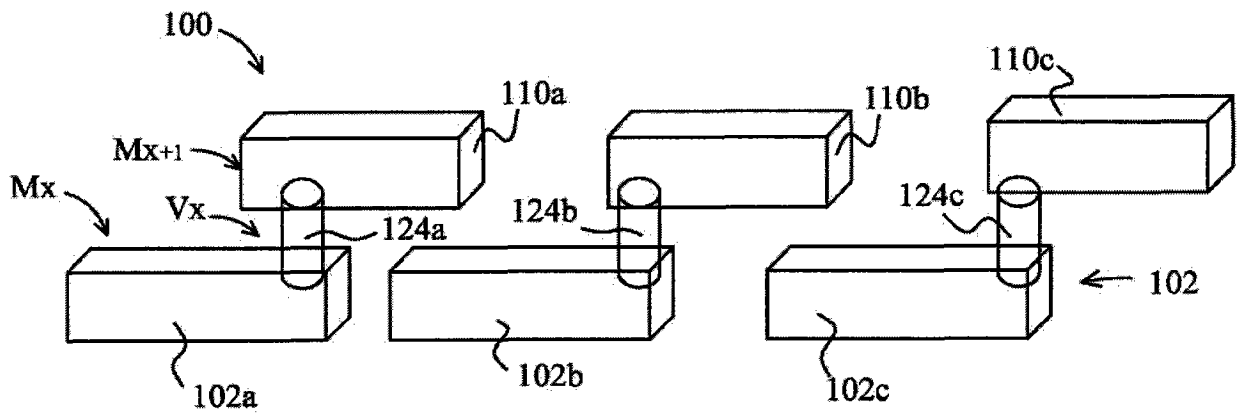


图 5

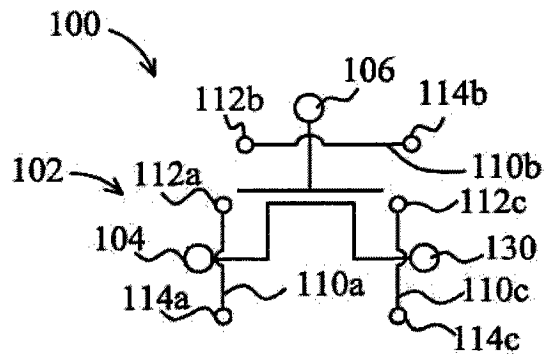


图 6

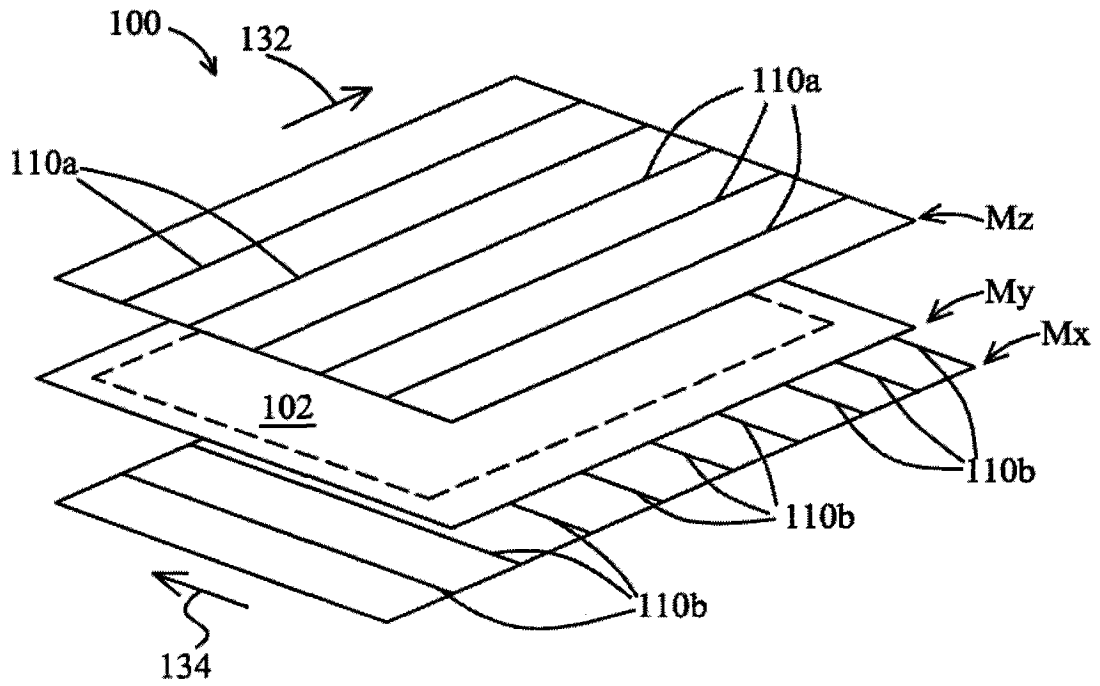


图 7

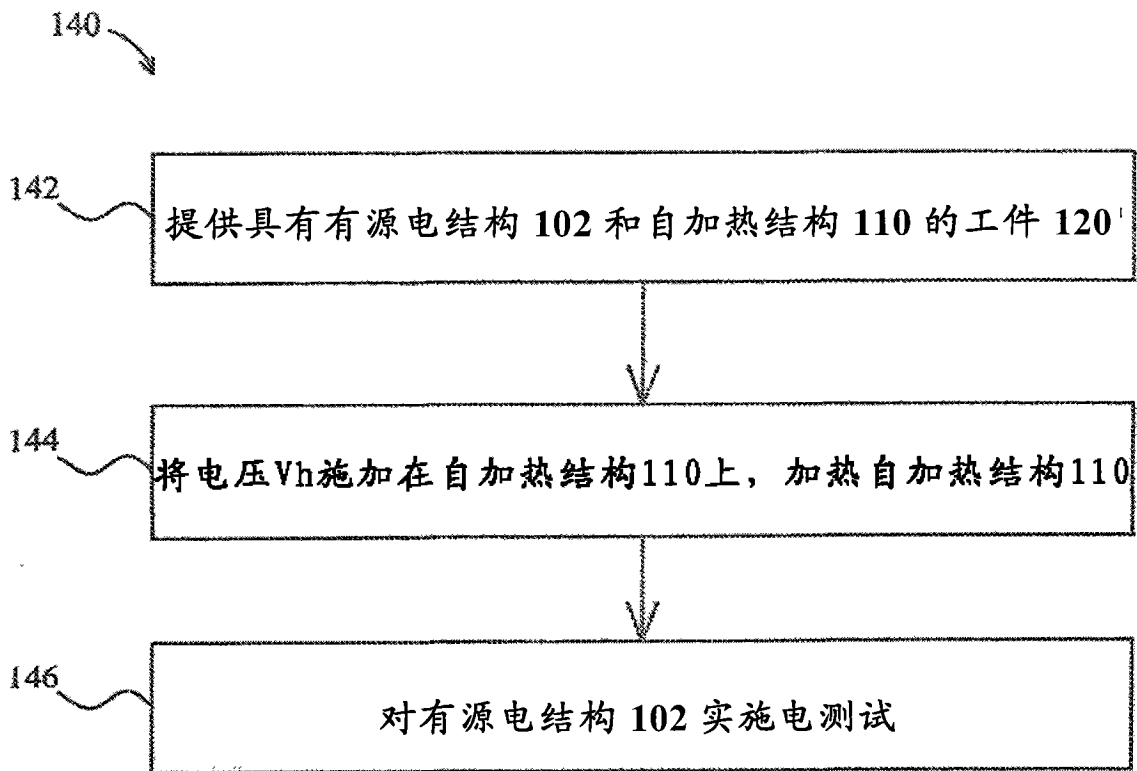


图 8