



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I419269 B

(45) 公告日：中華民國 102 (2013) 年 12 月 11 日

(21) 申請案號：098106674 (22) 申請日：中華民國 98 (2009) 年 03 月 02 日

(51) Int. Cl. : **H01L23/28 (2006.01)** **H01L23/48 (2006.01)**
H01L23/12 (2006.01)

(30) 優先權：2008/03/14 美國 61/036,470
2008/08/15 美國 12/192,805

(71) 申請人：日月光半導體製造股份有限公司 (中華民國) ADVANCED SEMICONDUCTOR ENGINEERING, INC. (TW)
高雄市楠梓加工出口區經三路 26 號

(72) 發明人：陳建文 CHEN, CHIEN WEN (TW)；曾安實 TSENG, AN SHIH (TW)；賴逸少 LAI, YI SHAO (TW)；張效銓 CHANG, HSIAO CHUAN (TW)；蔡宗岳 TSAI, TSUNG YUEH (TW)

(74) 代理人：詹銘文；蕭錫清

(56) 參考文獻：

US 6946324	US 7262491
US 2003/0127711A1	US 2007/0052076A1

審查人員：王丕政

申請專利範圍項數：29 項 圖式數：9 共 0 頁

(54) 名稱

半導體封裝及其製程與表面黏著型半導體封裝

SEMICONDUCTOR PACKAGE AND PROCESS THEREOF AND SURFACE-MOUNTED SEMICONDUCTOR PACKAGE

(57) 摘要

一種半導體封裝及其製程。此封裝包括一晶片座、多個引腳、一晶片、一封裝膠體以及一保護層。晶片座包括一上傾斜部、一下傾斜部以及一以一凹穴底部定義一凹穴的周圍邊緣區域。每一引腳具有一上傾斜部與一下傾斜部。晶片配置於凹穴底部且電性連接至引腳。封裝膠體形成於晶片與引腳上，且實質上填充於凹穴並實質上覆蓋晶片座與引腳的上傾斜部。晶片座與引腳的下傾斜部至少部分從封裝膠體的一下表面向外延伸。保護層實質上覆蓋至少一引腳的下傾斜部與下表面。

A semiconductor package and related methods are described. The package includes a die pad, multiple leads, a chip, a package body, and a protective layer. The die pad includes an upper sloped portion, a lower sloped portion, and a peripheral edge region defining a cavity with a cavity bottom. Each lead includes an upper sloped portion and a lower sloped portion. The chip is disposed on the cavity bottom and is coupled to the leads. The package body is formed over the chip and the leads, substantially fills the cavity, and substantially covers the upper sloped portions of the die pad and the leads. The lower sloped portions of the die pad and the leads at least partially extend outwardly from a lower surface of the package body. The protective layer substantially covers the lower sloped portion and the lower surface of at least one lead.

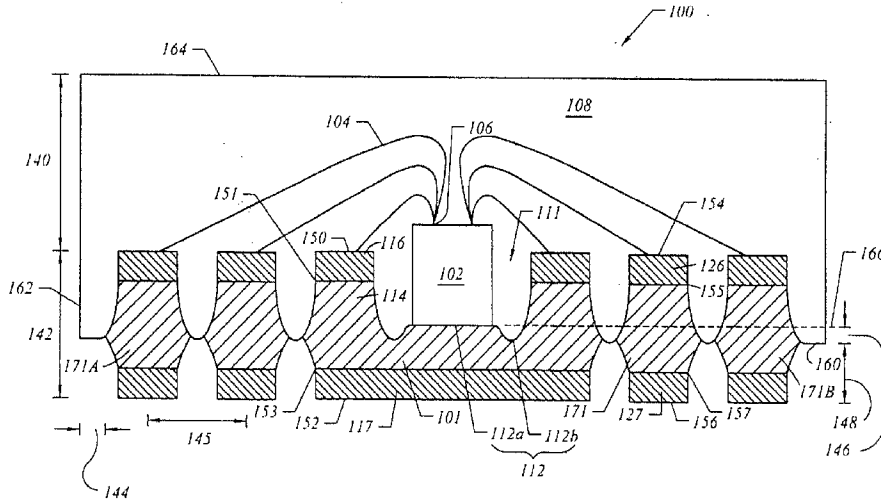


圖 1

- 100 . . . 封裝體
- 101 . . . 晶片座
- 102 . . . 晶片
- 104 . . . 焊線
- 106 . . . 焊墊
- 108 . . . 封裝膠體
- 111 . . . 凹穴
- 112 . . . 凹穴底部
- 112a . . . 中心部
- 112b . . . 凹陷部
- 114 . . . 周圍邊緣區域
- 116、117、126、
127 . . . 金屬鍍層
- 140 . . . 模蓋厚度
- 142 . . . 厚度
- 144 . . . 距離
- 145 . . . 引腳間隔
- 146 . . . 高度差
- 148 . . . 隔開距離
- 150、151、154、
155、164 . . . 上表面
- 152、153、156、
157、160 . . . 下表面
- 162 . . . 側表面
- 166 . . . 平面
- 171 . . . 引腳
- 171A、171B . . . 外引腳

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：098106674

H01L 23/28(2006.01)

※申請日：98.3.2

※IPC分類：

H01L 23/48 (2006.01)

H01L 23/12(2006.01)

一、發明名稱：

半導體封裝及其製程與表面黏著型半導體封裝
SEMICONDUCTOR PACKAGE AND PROCESS
THEREOF AND SURFACE-MOUNTED
SEMICONDUCTOR PACKAGE

二、中文發明摘要：

一種半導體封裝及其製程。此封裝包括一晶片座、多個引腳、一晶片、一封裝膠體以及一保護層。晶片座包括一上傾斜部、一下傾斜部以及一以一凹穴底部定義一凹穴的周圍邊緣區域。每一引腳具有一上傾斜部與一下傾斜部。晶片配置於凹穴底部且電性連接至引腳。封裝膠體形成於晶片與引腳上，且實質上填充於凹穴並實質上覆蓋晶片座與引腳的上傾斜部。晶片座與引腳的下傾斜部至少部分從封裝膠體的一下表面向外延伸。保護層實質上覆蓋至少一引腳的下傾斜部與下表面。

三、英文發明摘要：

A semiconductor package and related methods are described. The package includes a die pad, multiple leads, a

chip, a package body, and a protective layer. The die pad includes an upper sloped portion, a lower sloped portion, and a peripheral edge region defining a cavity with a cavity bottom. Each lead includes an upper sloped portion and a lower sloped portion. The chip is disposed on the cavity bottom and is coupled to the leads. The package body is formed over the chip and the leads, substantially fills the cavity, and substantially covers the upper sloped portions of the die pad and the leads. The lower sloped portions of the die pad and the leads at least partially extend outwardly from a lower surface of the package body. The protective layer substantially covers the lower sloped portion and the lower surface of at least one lead.

四、指定代表圖：

(一) 本案之指定代表圖：圖 1

(二) 本代表圖之元件符號簡單說明：

100：封裝體

101：晶片座

102：晶片

104：焊線

106：焊墊

108：封裝膠體

111：凹穴

- 112：凹穴底部
- 112a：中心部
- 112b：凹陷部
- 114：周圍邊緣區域
- 116、117、126、127：金屬鍍層
- 140：模蓋厚度
- 142：厚度
- 144：距離
- 145：引腳間隔
- 146：高度差
- 148：隔開距離
- 150、151、154、155、164：上表面
- 152、153、156、157、160：下表面
- 162：側表面
- 166：平面
- 171：引腳
- 171A、171B：外引腳

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種半導體晶片封裝，且特別是有關於一種具有一保護層以提高表面黏著（surface mounting）之進階式四方扁平無引腳封裝（advanced Quad Flat No Lead, aQFN）及其製程。

【先前技術】

由於使用者對於小尺寸晶片之處理能力的需求越來越大，因此半導體晶片也變得更加複雜。為了解決上述之問題，封裝技術逐漸發展，舉例而說，藉由增加引腳密度來降低一封裝體固定在一印刷電路板上的覆蓋面積。此外，有些封裝技術，例如四方扁平無引腳封裝（Quad Flat No Lead, QFN），可藉由提供多行的內引腳與外引腳連接至一導線架的一可拋棄部，來增加引腳密度。然而，這類之導線架的製作方式很難達成兩行以外的引腳，因此當使用者對於導線架之引腳密度的需求越來越高時，如何利用封裝技術來形成所需之引腳密度，實為一待解決之問題。

此外，除了增加引腳密度之外，使用者更希望能藉由其他的方式來降低封裝體的大小，例如是降低封裝體的高度。同時，也希望能維持一封裝膠體與引腳之間的結合力（mold locking），並促進封裝體能藉由表面黏著技術接合於一印刷電路板上。當然，也可以制定一符合上述之這些目的的封裝製程。然而，目前現有的封裝技術只能符合上

述其中一些目的，而不符合多數或是所有的目的。

【發明內容】

本發明提出一種半導體封裝，其包括一晶片座、多個引腳、一半導體晶片、一封裝膠體以及一保護層。晶片座包括一具有一上表面且以一凹穴底部定義一凹穴的周圍邊緣區域、一配置鄰接於周圍邊緣區域之上表面且面向遠離凹穴的上傾斜部，以及一配置鄰接於上傾斜部且面向遠離凹穴的下傾斜部。這些引腳圍繞晶片座，且每一引腳包括一上表面、一下表面、一配置鄰接於每一引腳之上表面的上傾斜部以及一配置鄰接於每一引腳之下表面的下傾斜部。半導體晶片配置於凹穴底部且電性連接至這些引腳。封裝膠體形成於半導體晶片與這些引腳上，以實質上填充於凹穴且實質上覆蓋晶片座的上傾斜部與這些引腳的這些上傾斜部，而晶片座的下傾斜部與這些引腳的這些下傾斜部至少部分從封裝膠體的一下表面向外延伸。保護層實質上覆蓋至少這些引腳之一的下傾斜部與下表面。

本發明提出一種半導體封裝的製程。首先，提供一金屬承載板。金屬承載板包括一下表面、一具有一晶片放置區的上表面、多個環繞晶片放置區周圍凸塊、一第一金屬鍍層與一第二金屬鍍層。每一周圍凸塊具有一上表面，第一金屬鍍層形成於這些周圍凸塊的這些上表面上。第二金屬鍍層形成於對應晶片放置區下方與這些周圍凸塊下方之金屬承載板的下表面上。接著，貼附一半導體晶片於晶片放

置區。電性連接半導體晶片至這些周圍凸塊。形成一封裝膠體於半導體晶片與這些周圍凸塊上。之後，蝕刻第二金屬鍍層之外的金屬承載板之下表面的區域，以使這些周圍凸塊與晶片放置區分離而形成多個引腳與一晶片座，每一引腳具有一配置鄰接於每一引腳之一下表面的傾斜蝕刻區，晶片座具有一配置鄰接於晶片座之一下表面的傾斜蝕刻區，晶片座的傾斜蝕刻區與這些引腳的這些傾斜蝕刻區至少部分從封裝膠體的下表面向外延伸。最後，實質上覆蓋一焊料膏至少這些引腳之一的傾斜蝕刻區與下表面。

本發明提出一種表面黏著型半導體封裝，其包括一晶片座、多個引腳、一半導體晶片、一封裝膠體、一印刷電路板以及一第一焊料凸塊。晶片座包括一基部與一突出部，其中基部具有一上表面與一下表面，突出部具有一上表面且從基部向上延伸並配置鄰接於基部之一周圍邊緣。這些引腳環繞晶片座，且至少這些引腳其中之一具有一第一尖端的一第一側表面。半導體晶片配置於基部的上表面且電性連接至這些引腳。封裝膠體形成於半導體晶片與這些引腳上，以實質上覆蓋基部的上表面與第一尖端上方之第一側表面的至少一上部分，而第一尖端下方之第一側表面的至少一下部分突出於封裝膠體的一下表面。第一焊料凸塊實質上覆蓋第一尖端下方之第一側表面的下部分，其中第一焊料凸塊用以將第一尖端下方之第一側表面的下部分貼附於印刷電路板上。此外，第一側表面的下部分突出於封裝膠體之下表面的一隔開距離介於至少這些引腳之一

厚度的 20%至 50%之間。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

圖 1 為本發明之一實施例之一種半導體封裝的剖面示意圖。在本實施例中，封裝體 100 包括一具有一周圍邊緣區域 114 的晶片座 101，其中周圍邊緣區域 114 以一凹穴底部 112 定義出一凹穴 111。周圍邊緣區域 114 可完全地環繞凹穴 111，但於其他實施例中，周圍邊緣區域 114 亦可部分地環繞凹穴 111。凹穴底部 112 具有一中心部 112a。凹穴底部 112 也可包括一環繞中心部 112a 的凹陷部 112b。中心部 112a 例如是位於凹穴底部 112 的中央，但當凹陷部 112b 的寬度不一致時，中心部 112a 亦可不位於凹穴底部 112 的中央。凹陷部 112b 可完全地可完全地環繞中心部 112a，但於其他實施例中，凹陷部 112b 亦可部分地環繞中心部 112a。晶片 102 藉由一黏著層（未繪示）貼附於凹穴底部 112。黏著層例如是一導電黏著材料或一非導電黏著材料，其中非導電黏著材料例如是非導電環氧樹脂（epoxy）。在本實施例中，晶片 102 貼附於中心部 112a。晶片 102 之主動面上的多個焊墊 106 透過多條焊線 104 電性連接至這些引腳 171 與至少部分周圍邊緣區域 114。這些引腳 171 例如是完全環繞或部分地環繞晶片座 101。

圖 2 為本發明之一實施例之一種晶片座的放大剖面示

意圖。在本實施例中，晶片座 101 具有一側表面 208，其中側表面 208 可完全地或部分地延伸環繞於晶片座 101 的一周長。圖 2 中，側表面 208 包括一配置鄰接於周圍邊緣區域 114 之一上表面 151 且面向遠離凹穴 111 的上傾斜部 208c。側表面 208 也包括一配置鄰接於上傾斜部 208c 且面向遠離凹穴 111 的下傾斜部 208a。周圍邊緣區域 114 亦包括一配置鄰接於上表面 151 且朝著凹穴 111 的上傾斜部 218。晶片座 101 之側表面 208 的上傾斜部 208c 與下傾斜部 208a 以及周圍邊緣區域 114 的上傾斜部 218 可以是直線或曲線，且不垂直於周圍邊緣區域 114 的上表面 151。側表面 208 亦包括一尖端 208b。

圖 3 為本發明之一實施例之一種引腳的放大剖面示意圖。在本實施例中，引腳 171 包括一側表面 308，其中側表面 308 可完全地或部分地延伸環繞於引腳 171 的一周長。於圖 3 中，側表面 308 包括一配置鄰接於引腳 171 之一上表面 155 的上傾斜部 308c。側表面 308 亦包括一配置鄰接於引腳 171 之一下表面 157 的下傾斜部 308a。引腳 171 之側表面 308 的上傾斜部 308c 與下傾斜部 308a 可以是直線或曲線，且分別不垂直於引腳的上表面 155 與下表面 157。側表面 308 亦包括一尖端 308b。

請同時參考圖 1、圖 2 與圖 3，封裝膠體 108 形成於晶片 102、晶片座 101 與引腳 171 上，以使封裝膠體 108 實質上填充於凹穴 111 與實質上覆蓋周圍邊緣區域 114 的上傾斜部 218。封裝膠體 108 亦實質上覆蓋晶片座 101 的

上傾斜部 208c 以及引腳 171 的上傾斜部 308c。在此所述之“實質上”一詞，部分是意指封裝膠體 108 填充於具有晶片 102 配置於凹穴底部 112 的凹穴 111，同時也意指封裝膠體 108 填充於凹穴 111 以充份地減小或降低氣泡與濕氣，且覆蓋晶片 102、焊線 104、側表面 208 的上傾斜部 208c、周圍邊緣區域 114 的上傾斜部 218 以及引腳 171 的上傾斜部 308c，用以提供足夠的保護來避免受到氧化、溼氣以及其他環境條件的影響以符合封裝需求。在本實施例中，晶片座 101 的下傾斜部 208a 與引腳 171 的下傾斜部 308a 至少部分從封裝膠體 108 的下表面 160 向外延伸。或者，晶片座 101 的下傾斜部 208a 或引腳 171 的下傾斜部 308a 至少部分從封裝膠體 108 的下表面 160 向外延伸。

側表面 208 的上傾斜部 208c、周圍邊緣區域 114 的上傾斜部 218 以及引腳 171 的上傾斜部 308c 可顯著地增加接觸面積，因此除了封裝膠體 108 與晶片座 101 之間的黏著力以及封裝膠體 108 與引腳 171 之間的黏著力會增加之外，還可以提高封裝膠體 108 與晶片座 101 及引腳 171 之間的結合力 (mold locking)，同時亦可延長溼氣擴散於封裝體 100 內的時間與路徑。

在本實施例中，側表面 208 的上傾斜部 208c 與引腳 171 的上傾斜部 308c 實質上具有凹陷的輪廓。在此所述之“實質上”一詞指的是側表面 208 的上傾斜部 208c 與引腳 171 的上傾斜部 308c 大體而言為凹面，例如朝著晶片座 101 的中心與引腳 171 向內環繞，但側表面 208 的上傾斜部

208c 與引腳 171 的上傾斜部 308c 可包括不規則的表面或崎嶇不平的小尖端，例如為一粗糙表面，以遠離晶片座 101 的中心與引腳 171 向外環繞。舉例而言，圖 3 中引腳 171 的上傾斜部 308c 具有一整體形狀，其中此整體形狀朝著引腳 171 的中心向內環繞。同時，引腳 171 的上傾斜部 308c 是具有許多粗糙的結構。這些粗糙結構於封裝時可吸引封裝膠體 108，因此可增加封裝膠體 108 內之引腳 171 的結合力。這些粗糙結構可以藉由精準地控制蝕刻速率或其他適合的製程來形成。同樣地，晶片座 101 的下傾斜部 208a 與引腳 171 的下傾斜部 308a 實質上具有凹陷的輪廓。在此所述之“實質上”一詞指的是晶片座 101 的下傾斜部 208a 與引腳 171 的下傾斜部 308a 大體而言為凹面，例如朝著晶片座 101 的中心與引腳 171 向內環繞。舉例而言，圖 2 中引腳 171 的下傾斜部 308a 具有一整體形狀，其中此整體形狀朝著引腳 171 的中心向內環繞。同理，周圍邊緣區域 114 的上傾斜部 218 實質上具有凹陷的輪廓。在此所述之“實質上”一詞指的是周圍邊緣區域 114 的上傾斜部 218 大體而言為凹面，例如朝著周圍邊緣區域 114 的中心向內環繞。舉例而言，圖 2 中周圍邊緣區域 114 的上傾斜部 218 具有一整體形狀，其中此整體形狀朝著周圍邊緣區域 114 的中心向內環繞。

在此必須了解的是，晶片座 101 可以有不同於上述實施例的描述。舉例來說，圖 2 中晶片座 101 包括一具有一上表面 212 與一下表面 153 的基部 202，突出部 213 具有

一上表面 151，且從基部 202 延伸向上延伸並配置鄰接於基部 202 的一周圍邊緣。一側表面 208 延伸於突出部 213 的上表面 151 與基部 202 的下表面 153 之間，且包括一尖端 208b。一側表面 218 延伸於突出部 213 的上表面 151 與基部 202 的上表面 212 之間。在本實施例中，基部 202 的上表面 212 包括一中心區域 212a，其中晶片 102 配置於中心區域 212a。基部 202 的上表面 212 可更包括一環繞中心區域 212a 的凹陷部 212b。中心區域 212a 例如大約位於基部 202 之上表面 212 的中央，但當凹陷部 212b 的寬度不一致時，中心區域 212a 亦可不位於基部 202 之上表面 212 的中央。凹陷部 212b 例如是完全地環繞中心區域 212a，但於其他實施例中，凹陷部 212b 亦可部分地環繞中心區域 212a。

在此也必須了解的是，封裝膠體 108 亦可以有不同於上述實施例的描述。舉例而言，請參考圖 1、圖 2 與圖 3，封裝膠體 108 形成於晶片 102、晶片座 101 與引腳 171 上，以使封裝膠體 108 實質上覆蓋基部 202 的上表面 212 與側表面 218。封裝膠體 108 也實質上覆蓋於尖端 208b 上方之至少一部分的側表面 208 與尖端 308b 上方之至少一部分的側表面 308。在此所述之“實質上”一詞，部分是意指封裝膠體 108 覆蓋於具有晶片 102 配置於其上表面 212 的基部 202，同時也意指封裝膠體 108 覆蓋晶片 102、焊線 104、基板 202 的上表面 212、側表面 218、尖端 208b 上方之部分側表面 208 與尖端 308b 上方之部分側表面 308，用以提

供足夠的保護來避免受到氧化、溼氣以及其他環境條件的影響以符合封裝需求。在本實施例中，尖端 208b 下方的至少部分側表面 208 從封裝膠體 108 的下表面 160 向外突出。同理，尖端 308b 上方的至少部分側表面 308 從封裝膠體 108 的下表面 160 向外突出。

請再參考圖 1，封裝體 100 更包括一配置於周圍邊緣區域 114 之上表面 151 的金屬鍍層 116，或者，金屬鍍層 116 亦可以配置於突出部 213 之上表面 151 上，請參考圖 2。封裝體 100 更包括一配置於晶片座 101 之下表面 153 的金屬鍍層 117，請參考圖 1，或者，金屬鍍層 117 亦可以配置於基部 202 之下表面 153 上，請參考圖 2。請再參考圖 1，封裝體 100 也可以更包括一配置於引腳 171 之上表面 155 的金屬鍍層 126 以及一配置於引腳 171 之下表面 157 的金屬鍍層 127。金屬鍍層 116、117、126、127 例如是利用有電電鍍 (electrolytic plating) 或無電電鍍 (electroless plating) 的方式所形成。由於晶片座 101 的表面與引腳 171 的表面貼附金屬鍍層 116、117、126、127，因此可於打線接合製程中有效提高焊線 104 的接合力，且亦可以保護晶片座 101 的下表面與引腳 171 的下表面，以避免受到氧化及其他環境條件的影響來以符合封裝需求。於較佳實施例中，金屬鍍層 116、117、126、127 可包括一連接於晶片座 101 之表面 151、153 以及引腳 171 之表面 155、157 的鎳層以及一覆蓋鎳層的金層或鈮層。或者，金屬鍍層 116、117、126、127 可包括一鎳合金以及一金層與一鈮層兩者

之一或其組合。

請再同時參考圖 1、圖 2 以及圖 3，一隔開距離 148 是指晶片座 101 之下傾斜部 208a 與/或引腳 171 之下傾斜部 308a 從封裝膠體 108 的下表面 160 向外延伸的距離，於其他實施例中，此隔開距離 148 可以包括或省略金屬鍍層 117、127 的厚度。或者，隔開距離 148 可以參考尖端 208b 下方之部分側表面 208 與/或尖端 308b 下方之部分側表面 308 從封裝膠體 108 的下表面 160 向外延伸的距離。晶片座 101 與/或引腳 171 從封裝膠體 108 之下表面 160 向外延伸之突出部可藉由晶片座 101 與/或引腳 171 所暴露出的其他區域貼附焊料來提高晶片座 101 與引腳 171 於一電路板上的焊接性 (solderability)。也就是說，可提高封裝體 100 藉由表面黏著技術而接合於電路板上的可靠度。在一實施例中，尖端 208b 相對於突出部 213 的上表面 151 較配置鄰接於基板 202 的下表面 153，尖端 308b 相對於引腳 171 的上表面 155 較配置鄰接於引腳 171 的下表面 157。

於其他實施例中，隔開距離 148 是介於晶片座 101 之厚度 142 與/或至少一引腳 171 的厚度 142 的大約 20% 與大約 50% 之間或介於大約 25% 與大約 45% 之間，但並不以此為限。於其他實施例中，隔開距離 148 亦可以介於厚度 142 的大約 5% 與大約 75% 之間。晶片座 101 的厚度 142 可以計算從周圍邊緣區域 114 之上表面 151 至晶片座 101 之下表面 153 之間的距離。如果金屬鍍層 116、117 配置於晶片座 101 的表面 151、153，厚度 142 可以計算從金屬鍍層 116

之上表面 150 至金屬鍍層 117 的下表面 152 之間的距離。同理，以引腳 171 來說，如果金屬鍍層 126、127 配置於引腳 171 的表面 155、157，厚度 142 可以計算從金屬鍍層 126 之上表面 154 至金屬鍍層 127 的下表面 156 之間的距離。在此必須說明的是，許多距離是以金屬鍍層 116、117、126、127 之表面作為計算的基準。然而，如果沒有金屬鍍層 116、117、126、127 的話，上述之這些距離可以以晶片座 101 的表面 151、153 或引腳 171 的表面 155、157 作為計算的基準來取得近似值。

在一實施例中，晶片座 101 包括金屬鍍層 116、117 的厚度 142 實質上等於至少一引腳 171 包括金屬鍍層 126、127 的厚度 142，此厚度 142 大約為 0.125 毫米。在此實施例中，晶片座 101 與至少一引腳 171 突出於封裝膠體 108 之下表面 160 的隔開距離 148 是介於大約 0.025 毫米與大約 0.0625 毫米之間或介於大約 0.03 毫米與大約 0.05 毫米之間。同樣地，晶片座 101 之側表面 208 的尖端 208b 實質上與引腳 171 之側表面 308 的尖端 308b 等高。於其他實施例中，晶片座 101 的厚度 142 與/或至少一引腳 171 的厚度 142 可以大於或小於 0.125 毫米。

當隔開距離 148 在厚度 142 範圍之大約 20%與大約 55%之間所佔的百分比越大時，晶片座 101 與/或引腳 171 與封裝膠體 108 的結合力會趨於減少，此時，封裝體 100 藉由表面黏著技術而接合於一印刷電路板的可靠度會趨於增加。同時，底側所需的蝕刻時間與蝕刻成本也會相對增

加，請參考圖 6。也就是說，隔開距離 148 的選擇如同一厚度 142 的一百分比，其可以做為上述這些因素之間取捨的交換程度。

一模蓋厚度 140 可以參考封裝膠體 108 之一上表面 164 至金屬鍍層 116 之上表面 150 之間的距離。同樣地，以引腳 171 而言，模蓋厚度 140 可以計算封裝膠體 108 之上表面 164 至金屬鍍層 126 之上表面 154 之間的距離。如果模蓋厚度 140 夠大，晶片 102 與焊線 104 是可以被封裝膠體 108 包覆於內。在一實施例中，模蓋厚度 140 是介於大約 0.4 毫米與大約 1 毫米之間，例如是 0.675 毫米，雖然模蓋厚度 140 在晶片 102 與焊線 104 仍然被封裝膠體 108 包覆於內的情況下還可以更小一點。晶片 102 可以配置於具有凹穴 111 之晶片座 101 的凹穴底部 112 之中心部 112a，請參考圖 1。或者，晶片 102 可以配置於基部 202 之上表面 212 的中心區域 212a，請參考圖 2。

在圖 1 與圖 2 中，距離 206 是測量中心部 112a (或中心區域 212a) 相對於金屬鍍層 116 之上表面 150 的一深度。距離 204 是測量凹陷部 112b (或凹陷部 212b) 相對於金屬鍍層 116 之上表面 150 的一深度。在其他實施例中，距離 206 是介於距離 204 的大約 55% 與大約 80% 之間，但並不以此為限。在一實施例中，距離 206 大約是 0.065 毫米，距離 204 大約是 0.095 毫米。距離 204 與距離 206 可以大於或小於這些值，只要距離 204 與距離 206 在一極限內仍然小於晶片座 101 的厚度 142，例如大約 0.01 毫米。

較佳地，中心部 112a（或中心區域 212a）與凹陷部 112b（或凹陷部 212b）是蝕刻後的結果（請參考圖 5），而不是利用電鍍來形成周圍邊緣區域 114（或中央突出部 213）。電鍍相對於後續的蝕刻製程可能需花費成本與消耗更多時間，請參考圖 5。

當晶片 102 配置於凹穴底部 112（或基部 202 的上表面 212）時，晶片 102 的上表面會相對於金屬鍍層 116 之上表面 150 下降距離 206，此時晶片 102 的上表面較鄰近金屬鍍層 116 的上表面 150，且金屬鍍層 116 的上表面 150 相對於晶片 102 的上表面較低，而每一引腳 171 之金屬鍍層 126 的上表面 154 也相對於晶片 102 的上表面較低。因此，模蓋厚度 140 可以減小，以使封裝體 100 具有較薄之封裝厚度。此外，晶片 102 的下表面是相對鄰近金屬鍍層 117 的下表面 152。因此，可以提高傳導晶片 102 所產生的熱能通過晶片座 101 之擴散效率。

請再同時參考圖 1、圖 2 與圖 3，一高度差 146 指的是通過中心部 112a（或中心區域 212a）之最高點的一平面 166 至封裝膠體 108 的下表面 160 之間的距離。封裝膠體 108 的下表面 160 至少大約對應於封裝膠體 108 於凹陷部 112b（或凹陷部 212b）內的下表面。在本發明之一實施例中，高度差 146 是介於大約 0.02 毫米與大約 0.04 毫米之間，但並不以此為限。在本發明之另一實施例，金屬鍍層 116 的上表面 150 可配置介於距離平面 116 上方大約 0.05 毫米與大約 0.08 毫米之間，但並不以此為限。晶片座 101

之側表面 208 的尖端 208b 與至少一引腳 171 之側表面 308 的尖端 308b 可配置於平面 116 的下方。高度差 146 與尖端 208b、308b 相對於平面 166 的位置可以藉由蝕刻來控制，例如經由一上側的蝕刻製程，請參考圖 5。

距離 144 指的是封裝膠體 108 的側表面 162 至任何引腳 171 的側表面 308 之最小距離。請參考圖 1，在圖 1 中所繪示的距離 144 如同從側表面 162 至最左側之外引腳 171A 之尖端 308b 的距離。在本發明之一實施例中，距離 144 是介於大約 0.1 毫米至大約 0.3 毫米之間，但本發明並不以此為限。部分的封裝膠體 108 在左邊最左側的外引腳 171A（與在右邊最右側的外引腳 171B 相同）可以避免於分離製程（singulation）（請參考圖 6）與使用封裝體 100 時外引腳 171A、171B 剝落（peeling）或分離的情形。

引腳間隔 145 指的是介於兩相鄰之引腳 171 中心的距離，也是指端子間距（terminal pitch）。在本發明之一實施例中，引腳間隔 145 是介於大約 0.35 毫米與 0.55 毫米之間，但並不以此為限。引腳間隔 145 可以藉由蝕刻來控制，例如經由一上側的蝕刻製程，請參考圖 5。

在圖 3 中，一保護層 310 實質上覆蓋至少這些引腳 171 之一的下傾斜部 308a。在此所述之“實質上”一詞是指保護層 310 覆蓋至少一引腳 171 的下傾斜部 308a 來保護下方的金屬以避免受到氧化、溼氣以及其他環境條件的影響以符合封裝需求。封裝膠體 108 實質上覆蓋引腳 171 的上傾斜部 308c（或於尖端 308b 上方的部分側表面 308），但是

不完全覆蓋引腳 171 的下傾斜部 308a (或於尖端 308b 下方的部分側表面 308) 或至少不覆蓋引腳 171 從封裝膠體 108 之下表面 160 向外延伸的下傾斜部 308a。因此，保護層 310 是除了引腳 171 之下表面 157 上之保護的金屬鍍層 127 之外，可用來防止或減少下方金屬的氧化與腐蝕作用，其中保護層 310 例如是一銅或一銅合金。類似的保護層也可以應用於晶片座 101 的下傾斜部 208a (或於尖端 208b 下方的部分側表面 208)。在圖 2 中，一保護層 210 實質上覆蓋晶片座 101 的下傾斜部 208a。保護層 210 與晶片座 101 之側表面 153 上保護的金屬鍍層 117 一同保護晶片座 101 下方的金屬，以符合封裝需求。

在一實施例中，保護層 210、310 可以包括一金屬鍍層。此金屬鍍層可以包括至少一錫層、一鎳層與一金層。或者，金屬鍍層可以包括一層二個或多個上述這些金屬的合金。金屬鍍層例如是利用浸沒法 (immersion)、有電電鍍法 (electrolytic plating)、無電電鍍法 (electroless plating) 或其他適合的方法而貼附於下傾斜部 208a、308a。

在其他實施例中，保護層 210、310 可以包括一焊接材料。焊接材料可以包括一焊料膏。當保護的金屬鍍層 117、127 (無焊料膏) 實質上覆蓋於晶片座 101 的下表面 153 與至少一引腳 171 的下表面 157 時，焊料膏可以有選擇地配置於下傾斜部 208a、308a。在此所述之“實質上”一詞是指保護的金屬鍍層 117、127 覆蓋下表面 153、157 來保護在下方的金屬以避免受到氧化、溼氣以及其他環境

條件的影響以符合封裝需求。保護的金屬鍍層 117、127 也可以於蝕刻時保護下方的金屬，請參考圖 5。或者，焊料膏可以同時配置於下傾斜部 208a、308a 與下表面 153、157 上。然後，烘乾或硬化焊料膏。或者，焊料膏可以經由迴焊而硬化成一焊料凸塊。

在其他實施例中，保護層 210、310 可以包括一有機保焊層（organic solderability preservative layer, OSP layer）。有機保焊層可藉由浸沒法、一以有機材料為主之溶劑的漂洗法或其他適合的方法來貼附於下傾斜部 208a、308a。有機材料可以是一以咪唑（imidazole）為主的材料。有機保焊層可以有選擇地配置於下傾斜部 208a、308a 或配置於下傾斜部 208a、308a 二者擇一、晶片座 101 的下表面 153 以及至少一引腳 171 的下表面 157。如果有機保焊層配置於下表面 153、157 上，則去除有機保焊層之另外的處理程序也許可以被省去。詳細而言，因為當焊接晶片座 101 與至少一引腳 171 於一印刷電路板時，焊接時的溫度會蒸發有機保焊層。

使用一焊接材料與/或一有機材料作為保護層 210、310 的一部分，至少有以下兩個原因。第一，一般的焊接材料與有機材料相較於金屬材料較為便宜，其中金屬材料例如是鎳、金與錫。第二，焊接材料與有機材料可無須使用有電電鍍法或無電電鍍法即可以被應用於晶片座 101 與至少一引腳 171 上，可簡化保護層 210、310 的製作。

圖 4 為本發明之一實施例之一種金屬承載板之一部分

的上視圖。請參考圖 4，在本實施例中，金屬承載板 400 的形成方式如圖 5 所描述。金屬承載板 400 包括一基部 402，其中基部 402 具有一從基部 402 向上延伸的中心突出部 404。在此所述之“中心”一詞是指突出部 404 是大約位於部分金屬承載板 400 的中心內，請參考圖 4。當然，圖 4 中的部分金屬承載板 400 可位於金屬承載板 400 的任何位置，包括金屬承載板 400 的接界邊緣。於圖 4 中，雖然中心突出部 404 是完全地延伸環繞基部 402 的一周長，但於其他實施例中，中心突出部 404 可以只有部分地延伸環繞基部 402。多個周圍突出部 406 環繞基部 402 配置。於圖 4 中，雖然周圍突出部 406 實質上完全地環繞基部 402，但於其他實施例中，周圍突出部 406 可以只有部分地延伸環繞基部 402。一角落周圍突出部 408 位於部分金屬承載板 400 之一角落，且角落周圍突出部 408 可以有不同於周圍突出部 408 的外形與/或尺寸。在一封裝體進行表面黏著製程時，此角落周圍突出部 408 可以作為一公認標記來幫助定位。

金屬承載板 400 中畫斜線的部分 (404、406 與 408) 是沒有被蝕刻，也就是說，突出於金屬承載板 400 的其他部分 (包括 402) 是於上側蝕刻 (請參考圖 5) 時被蝕刻。在一實施例中，周圍突出部 406 配置至少三行在基部 402 的至少一側。在下側蝕刻 (請參考圖 6) 之後，基部 402 與周圍突出部 406 彼此分開且形成晶片座 101 與引腳 171，如同前述圖 1 至圖 3 所述。由於周圍突出部 406 不需

要連接至一導線架的一可拋棄部，意即周圍突出部 406 如同一四方扁平無引腳封裝 (QFN) 導線架的框，因此相對於習之四方扁平無引腳封裝 (QFN) 的製作程序而言，利用圖 5 與圖 6 之製作程序可有效達成二行或多行之引腳 171 之設計。

在一實施例中，於下側蝕刻 (請參考圖 6) 之後，中心突出部 404 可包括一接地段，其中一晶片 (例如晶片 102) 藉由焊線 (例如焊線 104) 電性連接至接地段。接地段可以是一包括完整中心突出部 404 的接地環。於其他實施例中，接地段可以是中心突出部 404 的一第一部分 404a，一電源段可以是中心突出部 404 的一第二部分 404b。在本實施例中，連接至接地段 404a 之基部 402 的一第一部分與連接至電源段 404b 之基部 402 的一第二部分是電性絕緣。藉由蝕刻法、分離法或其他適合的方式，例如沿著虛線 410，來結構性地分開基部 402 的第一部分與基部 402 的第二部分，以達成電性絕緣。

在此必須了解的是，於圖 4 所示之部分金屬承載板 400 亦可以有以下之描述法。舉例而言，金屬層載板 400 包括一有一周圍邊緣區域 404 的一晶片放置區 402。多個周圍凸塊 406 環繞晶片放置區 402。

圖 5 繪示本發明之一實施例之一種金屬承載板的製程。一第一光阻層 506 形成於一銅板 501 的一上表面 502 上，一第二光阻層 508 形成銅板 501 的一下表面 504 上。第一光阻層 506 與第二光阻層 508 是利用塗佈法、電鍍法

或其他適合的方法所形成。預先決定或選擇部分的第一光阻層 506 與第二光阻層 508 來進行曝光與顯影製程，以於銅板 501 上形成一第一曝光部 510 與一第二曝光部 512。第一光阻層 506 與第二光阻層 508 於曝光後所產生光化學反應，可定義為一光罩。

接著，一第一金屬鍍層 514 形成於第一曝光部 510，一第二金屬鍍層 516 形成於第二曝光部 512。第一金屬鍍層 514 與第二金屬鍍層 516 與前述所述之金屬鍍層 116、117、126、127 具有相同的特性，在此不再贅述。接著，掀離第一光阻層 506 與第二光阻層 508。之後，銅板 501 之上表面 502 沒有第一金屬鍍層 514 保護的區域 518 會被蝕刻，以形成金屬承載板 500。此金屬承載板 500 包括前述所述之中心區域 212a、中心突出部 213 與周圍突出部 406。或者，蝕刻後可以形成如前述之部分金屬承載板 500 的晶片放置區 402 與周圍凸塊 406。此種蝕刻操作方式指的是上側蝕刻。

金屬承載板 500 包括多個內連接部，例如內連接部 500a、500b。每一內連接部 500a（或 500b）包括前述所述之中心區域 212a、中心突出部 213 與周圍突出部 406。

圖 6 繪示本發明之一實施例之一種半導體封裝的製程。請參考圖 6，一晶片 102 貼附於一金屬承載板 500 之一部分之一中心區域 212a（或晶片放置區 402），例如內連接部 500a、500b，其中每一晶片 102 是利用如同前述所說明之一黏著層（未繪示）來貼附。接著，每一晶片 102

藉由焊線 104 電性連接至周圍突出部 406（或周圍凸塊 406）。接著，一封裝膠體 108 形成於每一晶片 102 與每一周圍突出部 406 上。封裝膠體 108 材料例如是由人造樹脂（synthetic resin）之所組成，且藉由注模成形法所形成，其中注模成形法例如是移轉注模成形法（transfer molding）。接著，蝕刻金屬承載板 500 之下表面沒有保護之金屬鍍層 516 的區域 620 來分離周圍突出部 406 與中心突出部 213，以形成前述所述之引腳 171 與晶片座 101。此種蝕刻操作方式指的是下側蝕刻。引腳 171 與晶片座 101 形成於共用封裝膠體 108 之多個連接封裝體中之一，例如連接封裝體 600a、600b。連接封裝體 600a、600b 可透過分離製程來彼此分離成封裝體 100a、100b。分離製程可藉由例如鋸切處理來形成具有垂直側表面的封裝體 100a、100b，請參考圖 6。

圖 7 繪示本發明之一實施例之一種具有多堆疊晶片之半導體封裝的製程。一第一晶片 102a 貼附於一金屬承載板 500 之一部分之一中心區域 212a（或晶片放置區 402），例如內連接部 500a、500b，其中每一第一晶片 102a 是利用如同前述所說明之一黏著層（未繪示）來貼附。然後，每一第一晶片 102a 藉由焊線 104a 電性連接至中心突出部 213（或周圍邊緣區域 114）至少一部分。在其他實施例中，每一第一晶片 102a 可以電性連接至一或多個周圍突出部 406。

接著，一連接層 700 配置於每一第一晶片 102a 的上

表面。接著，一第二晶片 102b 藉由連接層 700 接合至每一第一晶片 102a 的上表面。每一第二晶片 102b 可藉由焊線 104b 電性連接至周圍突出部 406。於其他實施例中，每一第二晶片 102b 可以電性連接至中心突出部 213 的至少一部分。第二晶片 102b 所連接之任何周圍突出部 406 或部分中心突出部 213 是與對應之第一晶片 102b 所連接之周圍突出部 406 或部分中心突出部 213 電性絕緣。

接著，封裝膠體 108 形成於每一堆疊之第一晶片 102a 與第二晶片 102b 以及周圍突出部 406 上。接著，蝕刻金屬承載板 500 之下表面沒有保護之金屬鍍層 516 的區域 620 來分離周圍突出部 406 與中心突出部 213，以形成前述所述之引腳 171 與晶片座 101。引腳 171 與晶片座 101 形成於共用封裝膠體 108 之多個連接封裝體中之一，例如連接封裝體 600a、600b。連接封裝體 600a、600b 可透過分離製程來彼此分離成封裝體 100a、100b。

在一實施例中，連接層 700 包括一黏著層。黏著層的材質例如是導電黏著材料或非導電黏著材料，其中非導電黏著材料例如是非導電環氧樹脂 (epoxy)。黏著層可以是液體型態的黏著層或薄膜型態的黏著層，例如是一雙面膠。黏著層亦可以是一焊線上薄膜 (film-on-wire) 型黏著層，此焊線上薄膜型黏著層的特性與薄膜型態黏著層的特性相似，但其厚度比薄膜型態黏著層的厚度較厚。

在一實施例中，第二晶片 102b 延伸超過第一晶片 102a 的周圍。焊線上薄膜型黏著層的優點在於黏著層的厚度較

厚，因此當第二晶片 102b 貼附於此黏著層時，仍然有間隙可以讓焊線 104a 焊接至第一晶片 102a。如果不是使用此焊線上薄膜型黏著層，連接層 700 除了液體型態的黏著層與/或薄膜型態的黏著層之外還必需包括一間隙。此間隙的目的在於隔開第一晶片 102a 與第二晶片 102b，以使焊線 104a 可焊接至第一晶片 102a。

隨著上述製程之描述，可藉由將晶片 102 配置於凹穴底部 112 (或基部 202 的上表面 212)，而使所形成之封裝體 100 具有較薄之厚度。以圖 7 中之一具有堆疊晶片的封裝體 100 來說，藉由凹穴 111 來提供放置的空間而使得封裝體 100 具有較薄之厚度。此外，堆疊的順序也是很重要的。舉例來說，於圖 7 中，第二晶片 102b 延伸超過凹穴 111 且部分覆蓋於晶片座 101 的周圍邊緣區域 114 上，所以第二晶片 102b 不能放置於凹穴底部 112。然而，第一晶片 102a 是按一定尺寸製作，所以第一晶片 102a 可於配置於凹穴底部 112。在此實施例中，如果第一晶片 102a 的高度加上連接層 700 的高度夠大且足夠提供間隙於配置在周圍邊緣區域 114 上之金屬鍍層 116 的上表面 150 上方與焊線 104a 上方時，第二晶片 102b 可以堆疊於第一晶片 102a 的上表面。

圖 8 繪示本發明之一實施例之一種半導體封裝進行表面黏著製程的流程示意圖。隨著上述製程之描述，引腳 171 與晶片座 101 形成於共用封裝膠體 108 之多個連接封裝體中之一，例如連接封裝體 600a、600b。在本實施例中，一

焊料膏 802 實質上覆蓋至少一引腳 171 之一傾斜蝕刻區域 308a，且一金屬鍍層 127 的一下表面 156 配置於此引腳 171 的下表面 157 上。接著，固化焊料膏 802 來定義一焊接介面 802，以作為後序表面黏著製程之用。焊料膏 802 也可以實質上覆蓋晶片座 101 之一傾斜蝕刻區域 208a 與晶片座 101 之一金屬鍍層 117 的一下表面 152。連接封裝體 600a、600b 可透過分離製程來彼此分離成封裝體 100a、100b。

就表面黏著型封裝體 100a 而言，焊接介面 800、802 可以藉由迴焊製程而形成液化焊料塊 804、806。接著，一印刷電路板 808 與液化焊料塊 804、806 相連接，之後，固化液化焊料塊 804、806。焊接介面 800、802 於迴焊焊料進行表面黏著製程時具有足夠的焊料，因此焊料對所對應覆蓋之傾斜蝕刻區域 208a 與 308a 而言，如同一保護層。

除了利用焊料作為一保護層之外，圖 8 之表面黏著製程的其他優點在於：可以藉由迴焊焊接介面 800、802 來使封裝體 100a 進行表面黏著製程。焊接介面 800、802 經由迴焊會產生液態的焊料，此液態的焊料會移動於印刷電路板 808 上來作為封裝體 100a 進行表面黏著製程之用。

圖 9 繪示本發明之另一實施例之一種半導體封裝進行表面黏著製程的流程示意圖。在此實施例中，首先，提供一無焊接介面 800、802 的封裝體 100 來作為表面黏著製程之用。一晶片座 101 之一傾斜蝕刻區域 208a 與至少一引腳 171 之一傾斜蝕刻區域 308a 可覆蓋一保護層，例如是一有機保焊層，此有機保焊層如同前述所述。接著，焊料膏 900

配置於一準備用來給封裝體 100 進行表面黏著製程的印刷電路板 908 上。在封裝體 100 與印刷電路板 908 相互接近後，先迴焊焊料膏 900 後固化形成焊料塊 902，以使封裝體 100 貼附於印刷電路板 908 上。

隨著上述製程之描述，印刷電板 908 上具有足夠的焊料膏 900，以便於迴焊焊料膏 900 進行表面黏著製程時具有足夠的焊料，而焊料對所對應覆蓋之傾斜蝕刻區域 208a 與 308a 而言，如同一保護層。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 為本發明之一實施例之一種半導體封裝的剖面示意圖。

圖 2 為本發明之一實施例之一種晶片座的放大剖面示意圖。

圖 3 為本發明之一實施例之一種引腳的放大剖面示意圖。

圖 4 為本發明之一實施例之一種金屬承載板之一部分的上視圖。

圖 5 繪示本發明之一實施例之一種金屬承載板的製程。

圖 6 繪示本發明之一實施例之一種半導體封裝的製程。

圖 7 繪示本發明之一實施例之一種具有多堆疊晶片之半導體封裝的製程。

圖 8 繪示本發明之一實施例之一種半導體封裝進行表面黏著製程的流程示意圖。

圖 9 繪示本發明之另一實施例之一種半導體封裝進行表面製程的流程示意圖。

【主要元件符號說明】

- 100、100a、100b：封裝體
- 101：晶片座
- 102：晶片
- 102a：第一晶片
- 102b：第二晶片
- 104、104a、104b：焊線
- 106：焊墊
- 108：封裝膠體
- 111：凹穴
- 112：凹穴底部
- 112a：中心部
- 112b：凹陷部
- 114：周圍邊緣區域
- 116、117、126、127：金屬鍍層

- 140：模蓋厚度
- 142：厚度
- 144：距離
- 145：引腳間隔
- 146：高度差
- 148：隔開距離
- 150、151、154、155、164：上表面
- 152、153、156、157、160：下表面
- 162：側表面
- 166：平面
- 171：引腳
- 171A、171B：外引腳
- 202：基部
- 204、206：距離
- 208：側表面
- 208a：下傾斜部
- 208b：尖端
- 208c：上傾斜部
- 210：保護層
- 212：上表面
- 212a：中心區域
- 212b：凹陷部
- 213：突出部
- 218：上傾斜部

- 308：側表面
- 308a：下傾斜部
- 308b：尖端
- 308c：上傾斜部
- 310：保護層
- 400：金屬承載板
- 402：基部（晶片放置區）
- 404：中心突出部（周圍邊緣區域）
- 404a：接地段
- 404b：電源段
- 406：周圍突出部（周圍凸塊）
- 408：角落周圍突出部
- 410：虛線
- 500：金屬承載板
- 500a、500b：內連接部
- 501：銅板
- 502：上表面
- 504：下表面
- 506、508：光阻層
- 510：第一曝光部
- 512：第二曝光部
- 514：第一金屬鍍層
- 516：第二金屬鍍層
- 518、620：區域

600a、600b：連接封裝體

700：連接層

800、802：焊接介面

804、806：液化焊料塊

808：印刷電路板

900：焊料

902：焊料塊

908：印刷電路板

七、申請專利範圍：

1. 一種半導體封裝，包括：

一晶片座，包括：

一周圍邊緣區域，具有一上表面，且以一凹穴底部定義出一凹穴；

一上傾斜部，配置鄰接於該周圍邊緣區域的該上表面，且面向遠離該凹穴；

一下傾斜部，配置鄰接於該上傾斜部，且面向遠離該凹穴；

多個引腳，圍繞該晶片座，其中各該引腳包括：

一上表面；

一下表面；

一上傾斜部，配置鄰接於各該引腳的該上表面；

一下傾斜部，配置鄰接於各該引腳的該下表面；

一第一半導體晶片，配置於該凹穴底部且電性連接至該些引腳；

一封裝膠體，形成於該第一半導體晶片與該些引腳上，以實質上填充於該凹穴且實質上覆蓋該晶片座的該上傾斜部與該些引腳的該些上傾斜部，該晶片座的該下傾斜部與該些引腳的該些下傾斜部至少部分從該封裝膠體的一下表面向外延伸；以及

一保護層，實質上覆蓋至少該些引腳之一的該下傾斜部與該下表面。

2. 如申請專利範圍第 1 項所述之半導體封裝，其中該

保護層實質上覆蓋該晶片座的該下傾斜部與一下表面。

3. 如申請專利範圍第 2 項所述之半導體封裝，其中該保護層包括一焊接材料。

4. 如申請專利範圍第 2 項所述之半導體封裝，其中該保護層包括一焊料凸塊。

5. 如申請專利範圍第 2 項所述之半導體封裝，其中該保護層包括一有機保焊層。

6. 如申請專利範圍第 2 項所述之半導體封裝，其中該保護層包括一金屬鍍層，實質上覆蓋該晶片座的該下傾斜部與該些引腳的該些下傾斜部，且實質上覆蓋該晶片座的該下表面與該些引腳的該些下表面。

7. 如申請專利範圍第 6 項所述之半導體封裝，其中該金屬鍍層包括至少一錫層、一鎳層與一金層。

8. 如申請專利範圍第 1 項所述之半導體封裝，其中該晶片座包括一下表面，該周圍邊緣區域的該上表面至該晶片座的該下表面之間的一距離相當於該晶片座的厚度，該晶片座從該封裝膠體的該下表面向外延伸的一隔開距離介於該晶片座厚度的 20% 至 50% 之間。

9. 如申請專利範圍第 1 項所述之半導體封裝，其中至少該些引腳之一從該封裝膠體的該下表面向外延伸的一隔開距離介於 0.025 毫米至 0.0625 毫米之間。

10. 如申請專利範圍第 1 項所述之半導體封裝，其中該凹穴底部包括一中心部與一環繞該中心部的凹陷部。

11. 如申請專利範圍第 10 項所述之半導體封裝，其中

該中心部相對於該周圍邊緣區域之該上表面的一深度是介於該凹陷部相對於該周圍邊緣區域之該上表面的一深度的55%至80%之間。

12. 如申請專利範圍第1項所述之半導體封裝，其中該晶片座的該上傾斜部與該下傾斜部與該些引腳的該些上傾斜部與該些下傾斜部實質上皆具有凹陷的輪廓。

13. 如申請專利範圍第1項所述之半導體封裝，其中該晶片座的該上傾斜部與該些引腳的該些上傾斜部包括粗糙表面。

14. 如申請專利範圍第1項所述之半導體封裝，更包括一連接層與一第二半導體晶片，該第二半導體晶片透過該連接層接合至該第一半導體晶片的一上表面，其中該第二半導體晶片延伸至該第一半導體晶片的一周圍邊緣之外。

15. 一種半導體封裝製程，包括：

提供一金屬承載板，該金屬承載板包括：

一下表面；

一上表面，具有一晶片放置區；

多個周圍凸塊，各該周圍凸塊具有一上表面且環繞該晶片放置區；

一第一金屬鍍層，形成於該些周圍凸塊的該些上表面上；

一第二金屬鍍層，形成於對應該晶片放置區下方與該些周圍凸塊下方之該金屬承載板的該下表面上；

貼附一第一半導體晶片於該晶片放置區；
電性連接該第一半導體晶片至該些周圍凸塊；
形成一封裝膠體於該第一半導體晶片與該些周圍凸塊上；

蝕刻該第二金屬鍍層之外的該金屬承載板之該下表面的區域，以使該些周圍凸塊與該晶片放置區分離而形成多個引腳與一晶片座，其中各該引腳具有一配置鄰接各該引腳之一下表面的傾斜蝕刻區，該晶片座具有一配置鄰接該晶片座之一下表面的傾斜蝕刻區，該晶片座的該傾斜蝕刻區與各該引腳的該傾斜蝕刻區至少部分從該封裝膠體的一下表面向外延伸；以及

實質上覆蓋一焊料膏於至少該些引腳之一的該傾斜蝕刻區與該下表面。

16. 如申請專利範圍第 15 項所述之半導體封裝製程，更包括實質上覆蓋該焊料膏於該晶片座的該傾斜蝕刻區與該下表面。

17. 如申請專利範圍第 16 項所述之半導體封裝製程，更包括固化該焊料膏以定義一介面，以作為後續該半導體封裝進行表面黏著製程。

18. 如申請專利範圍第 17 項所述之半導體封裝製程，其中至少該些引腳之一突出於該封裝膠體之該下表面的一隔開距離介於至少該些引腳之一厚度的 20% 至 50% 之間。

19. 如申請專利範圍第 17 項所述之半導體封裝製

程，其中該晶片座之該下表面突出於該封裝膠體之該下表面的一隔開距離介於 0.025 毫米至 0.0625 毫米之間。

20. 如申請專利範圍第 17 項所述之半導體封裝製程，其中形成該金屬承載板的步驟，包括：

提供一銅板，該銅板具有一上表面與一下表面；

塗佈一第一光阻層於該銅板的該上表面上以及一第二光阻層與該銅板的該下表面上；

對該第一光阻層與該第二光阻層進行曝光與顯影，以於該銅板之該上表面形成一第一曝光部以及於該銅板之該下表面形成一第二曝光部；

形成一第一金屬鍍層於該第一曝光部以及一第二金屬鍍層於該第二曝光部；

移除該第一光阻層；

蝕刻該第一金屬鍍層之外的該銅層之該上表面，以形成該晶片放置區與該些周圍凸塊；以及

移除該第二光阻層。

21. 如申請專利範圍第 18 項所述之半導體封裝製程，其中該晶片放置區具有一以一凹穴底部定義一凹穴的周圍邊緣區，且該凹穴底部具有該晶片放置區。

22. 一種表面黏著型半導體封裝，包括：

一晶片座，包括：

一基部，具有一上表面與一下表面；

一突出部，從該基部向上延伸且配置鄰接於該基部的一周圍邊緣，其中該突出部具有一上表面；

多個引腳，環繞該晶片座，至少該些引腳之一具有一第一尖端的一第一側表面；

一第一半導體晶片，配置於該基部的該上表面，且電性連接至該些引腳；

一封裝膠體，形成於該第一半導體晶片與該些引腳上，以實質上覆蓋該基部的該上表面與該第一尖端上方之該第一側表面的至少一上部分，而該第一尖端下方之該第一側表面的至少一下部分突出於該封裝膠體的一下表面；

一印刷電路板；以及

一第一焊料凸塊，實質上覆蓋該第一尖端下方之該第一側表面的該下部分，其中該第一焊料凸塊用以將該第一尖端下方之該第一側表面的該下部分貼附於該印刷電路板上；

其中該第一側表面的該下部分突出於該封裝膠體之該下表面的一隔開距離介於至少該些引腳之一厚度的 20% 至 50% 之間。

23. 如申請專利範圍第 22 項所述之表面黏著型半導體封裝，其中該晶片座具有一延伸於該突出部之該上表面與該基部之該下表面的第二側表面，該第二側表面具有一相較於該突出部之該上表面較配置鄰近該基部之該下表面的第二尖端，該封裝膠體實質上覆蓋該第二尖端上方之該第二側表面的至少一上部分，該第二尖端下方之該第二側表面的至少一下部分突出於該封裝膠體的該下表面。

24. 如申請專利範圍第 23 項所述之表面黏著型半導

體封裝，更包括：

一第二焊料凸塊，實質上覆蓋該第二側表面的該下部分，其中該第二焊料凸塊用以將該第二側表面的該下部分貼附於該印刷電路板，且該第二側表面的該下部分突出於該封裝膠體之該下表面的一隔開距離介於 0.025 毫米至 0.0625 毫米之間。

25. 如申請專利範圍第 24 項所述之表面黏著型半導體封裝，其中該基板之該上表面包括：

一中心區域，該第一半導體晶片配置於該中心區域；
以及

一凹陷部，環繞該中心區域。

26. 如申請專利範圍第 25 項所述之表面黏著型半導體封裝，其中該中心區域定義為一平面，且該第一尖端配置於該平面的下方。

27. 如申請專利範圍第 26 項所述之表面黏著型半導體封裝，其中該突出部的該上表面配置於該平面上方介於 0.05 毫米至 0.08 毫米之間。

28. 如申請專利範圍第 24 項所述之表面黏著型半導體封裝，其中該第一尖端的高度實質上與該第二尖端的高度相同。

29. 如申請專利範圍第 24 項所述之表面黏著型半導體封裝，更包括一連接層與一第二半導體晶片，該第二半導體晶片透過該連接層接合至該第一半導體晶片的一上表面，其中該第二半導體晶片延伸至該第一半導體晶片的一周圍邊緣之外。

八、圖式：

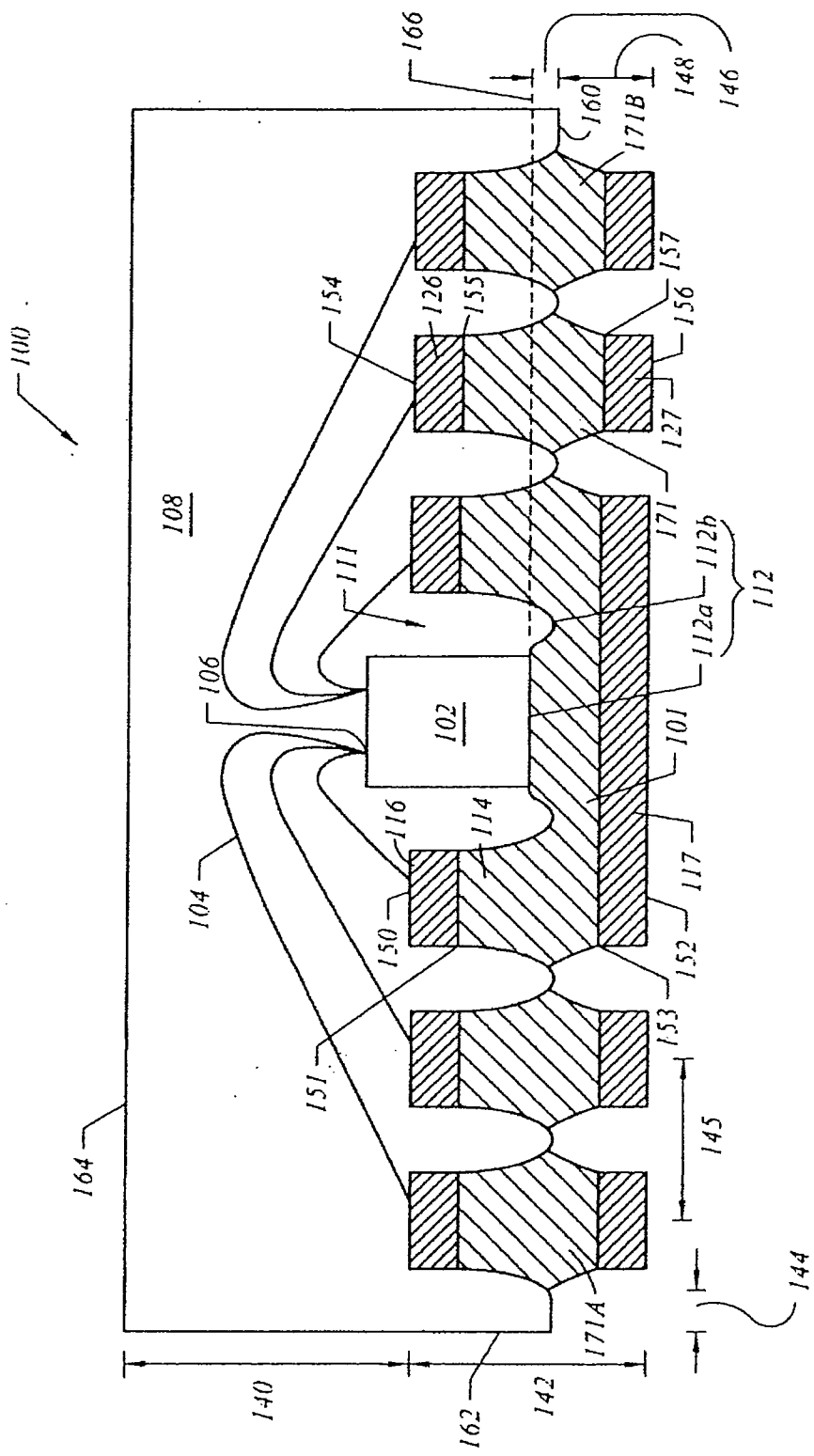


圖 1

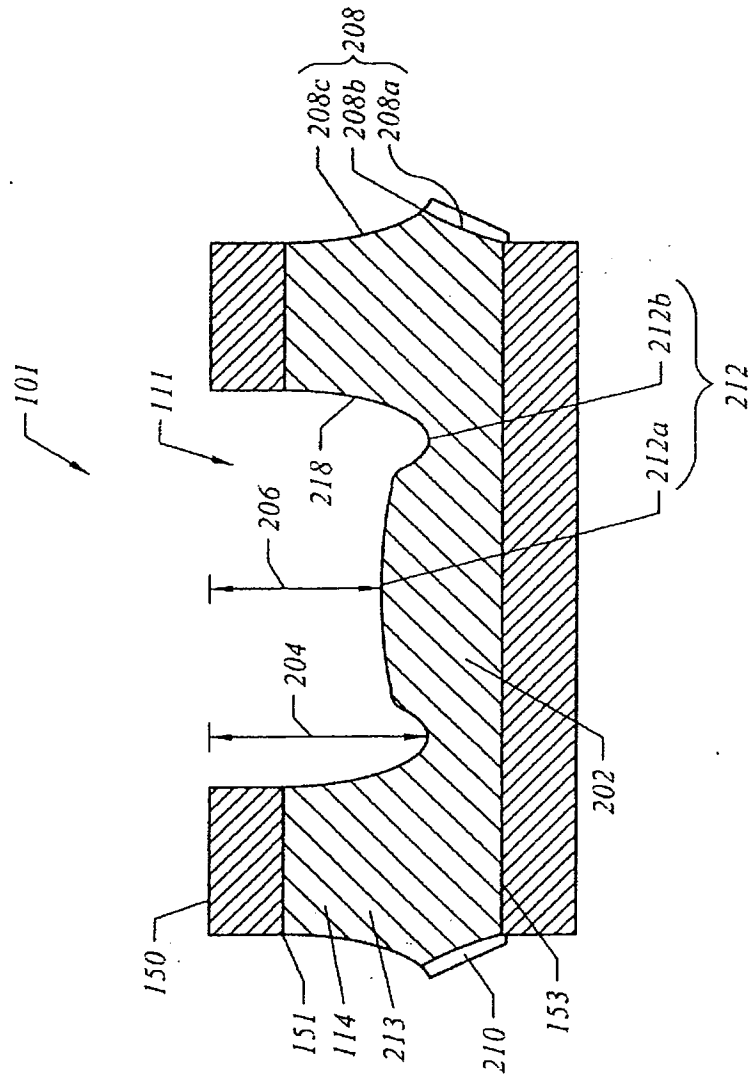


圖 2

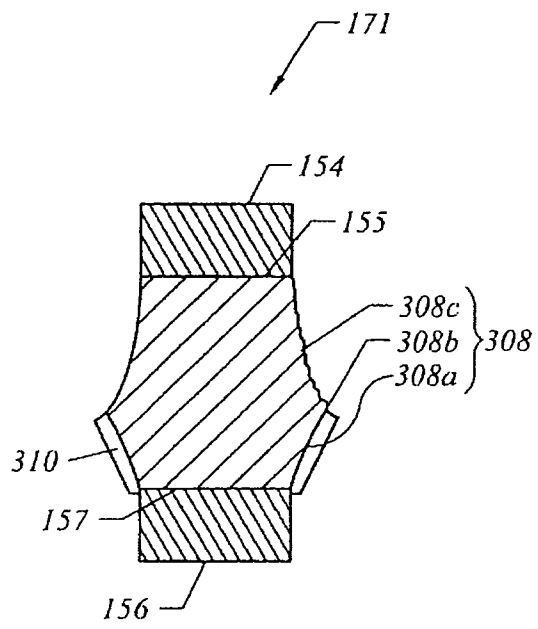


圖 3

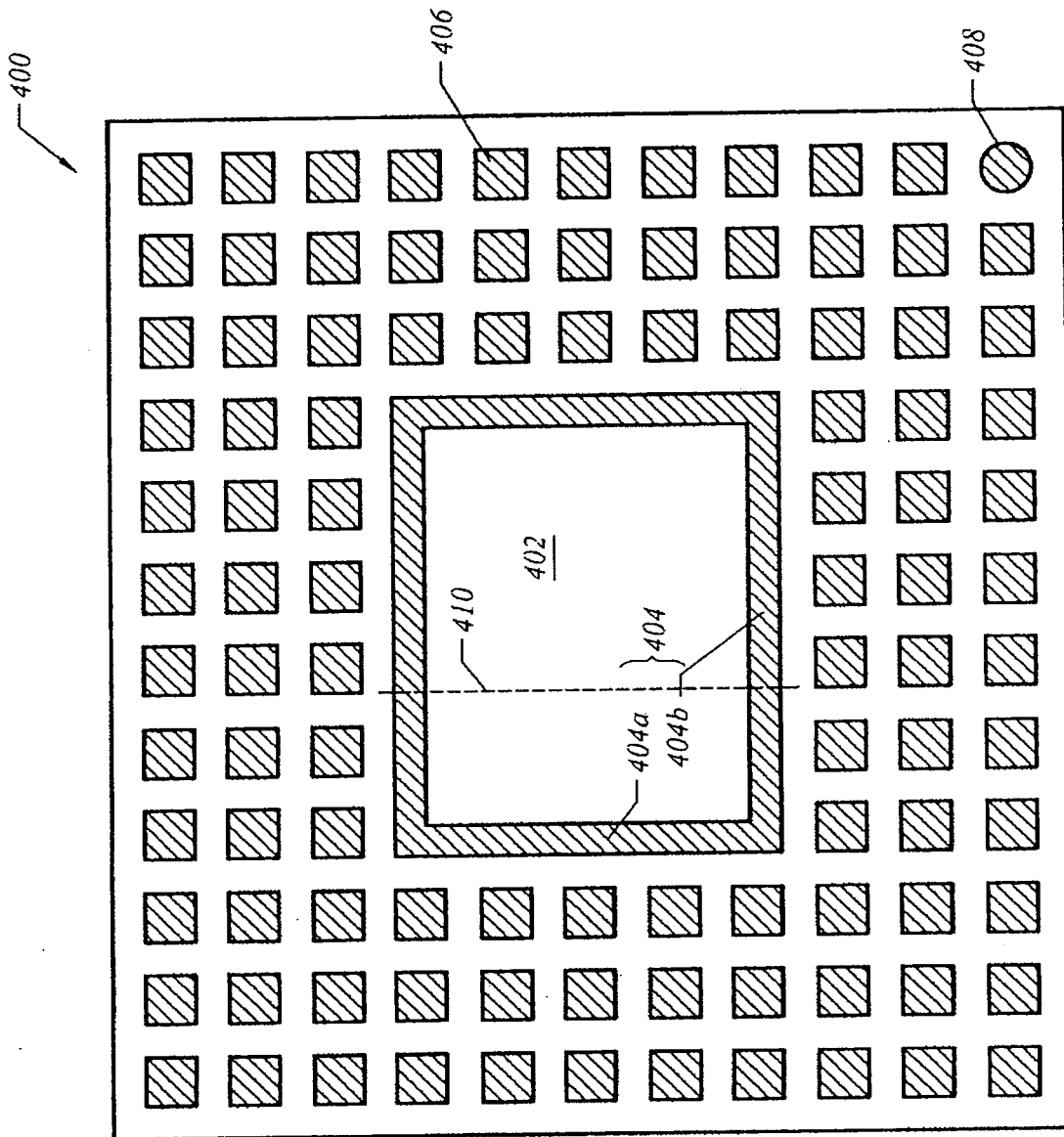


圖 4

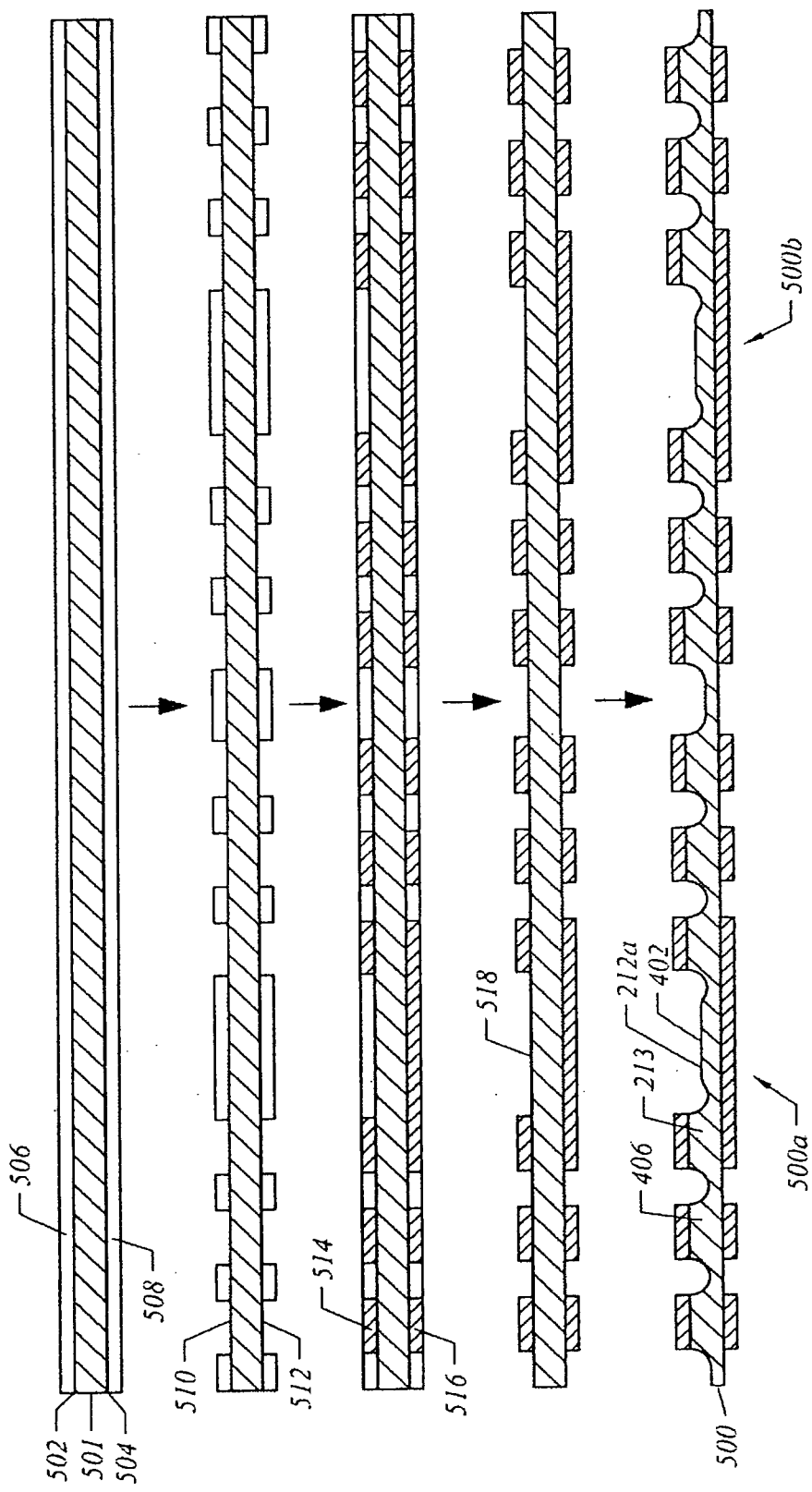


圖 5

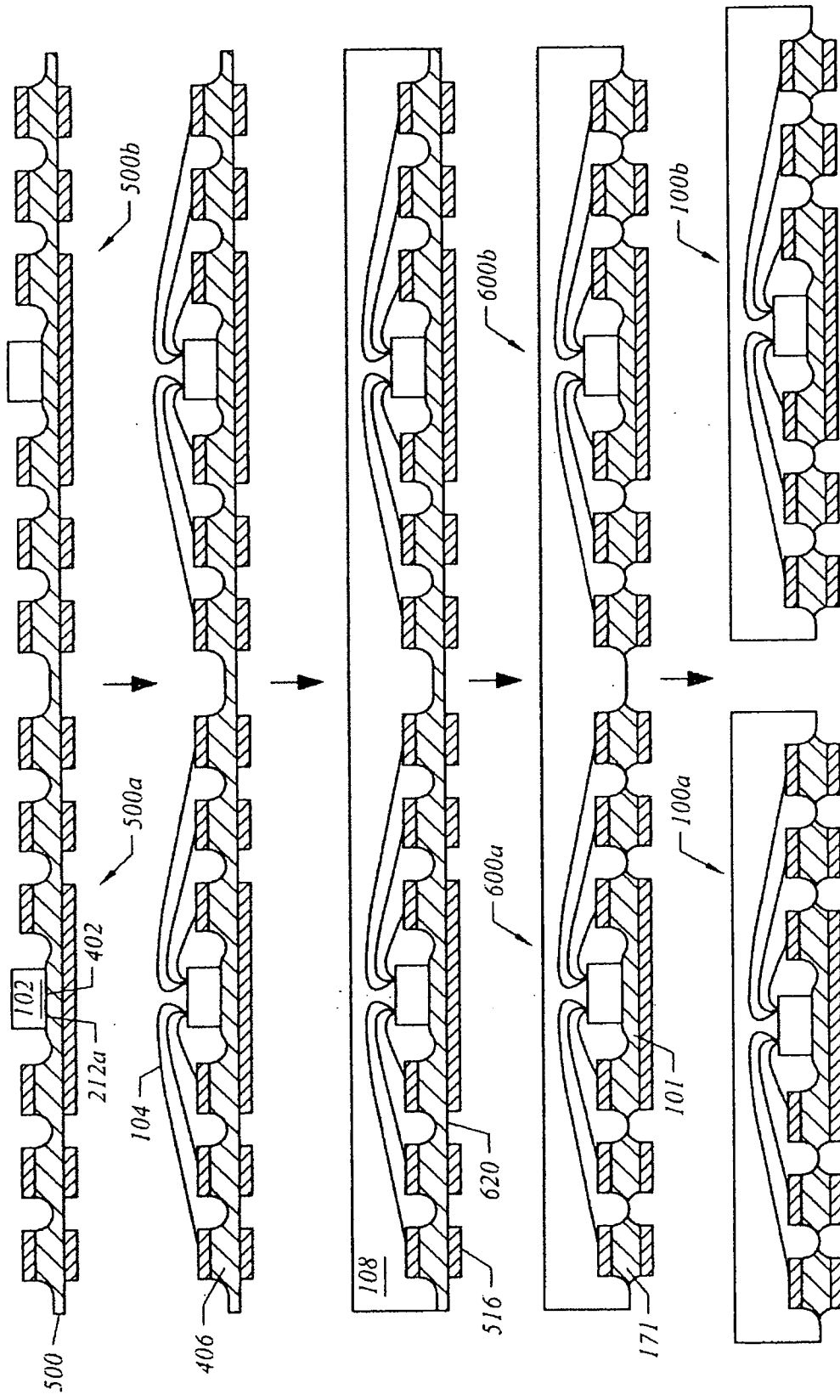


圖 6

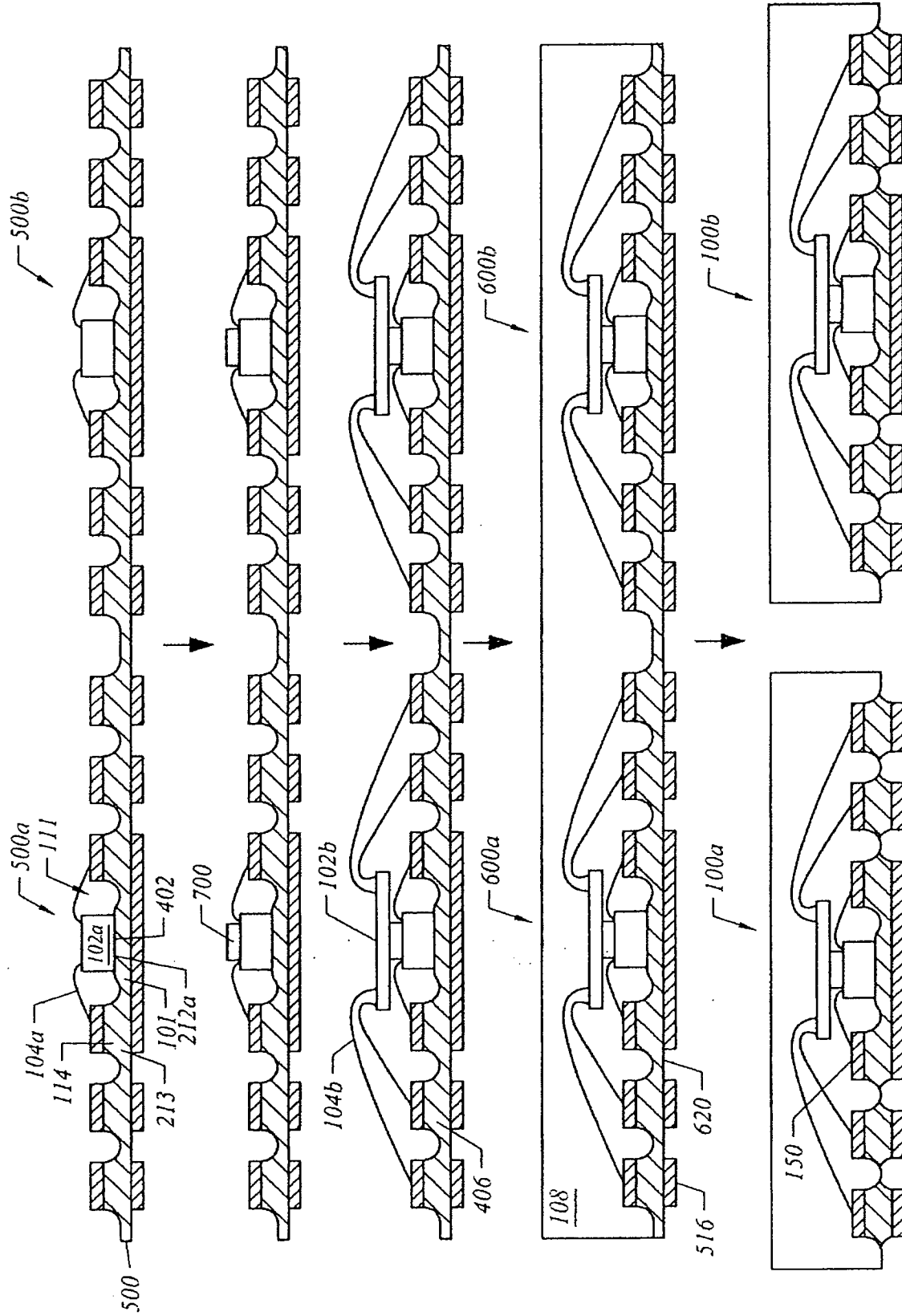


圖 7

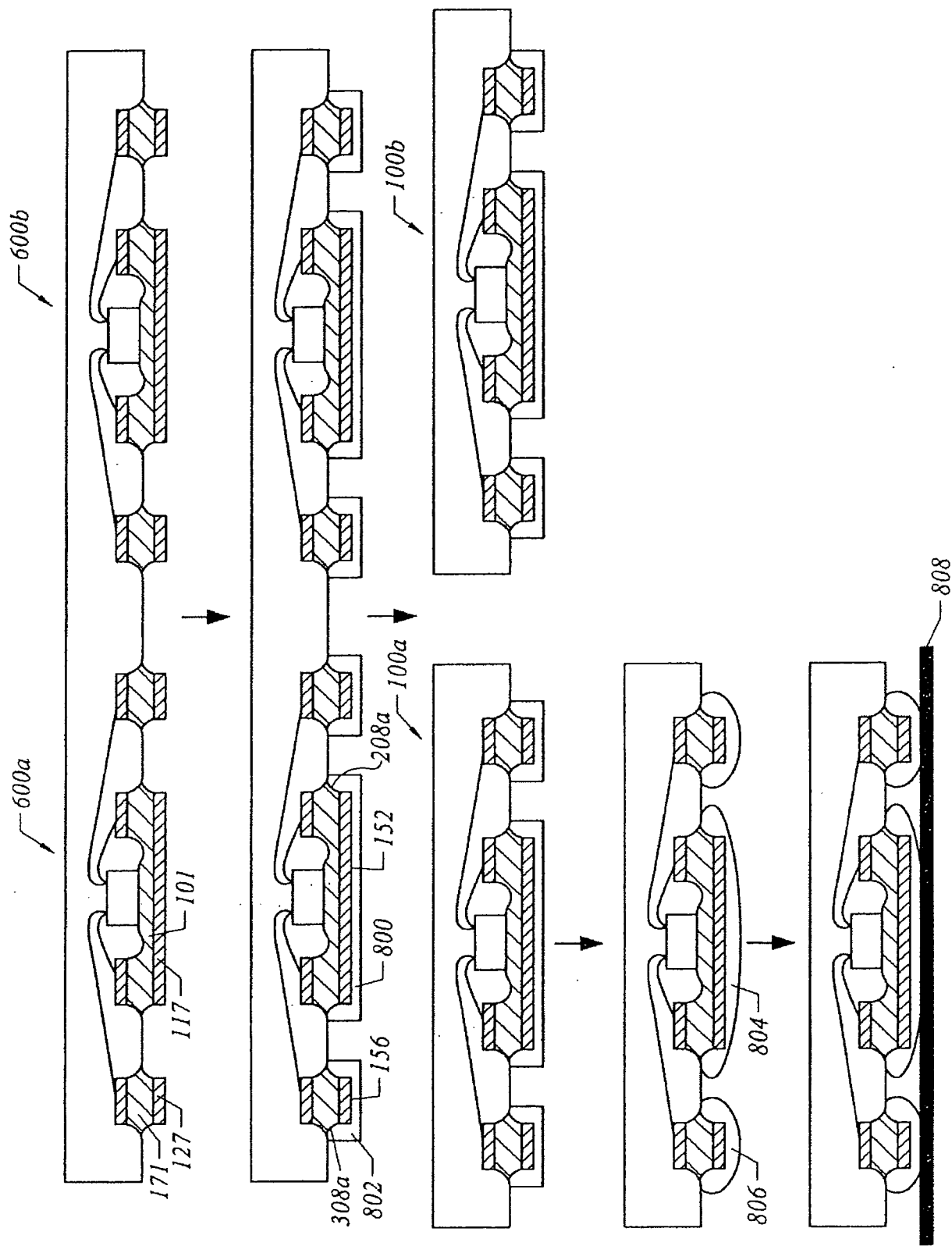


圖 8

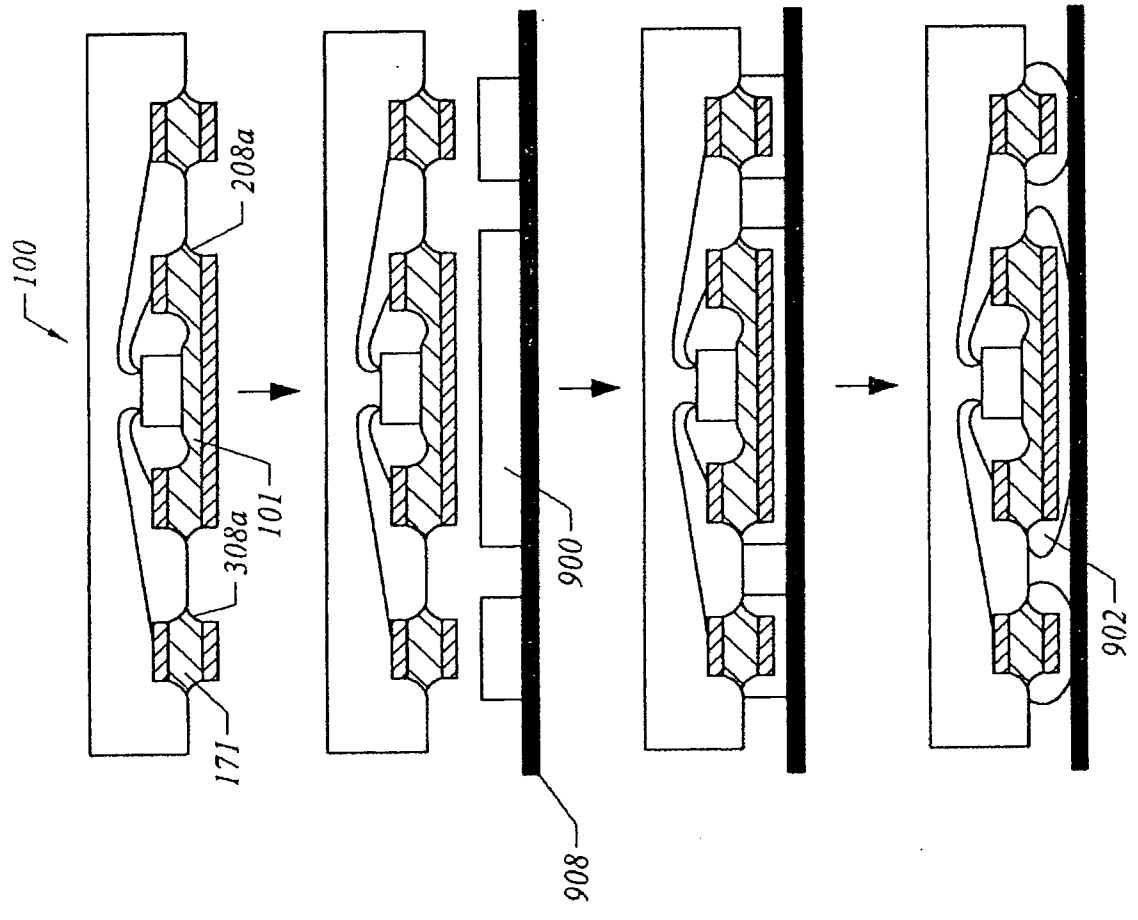


圖9