



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년11월29일
(11) 등록번호 10-0780539
(24) 등록일자 2007년11월22일

(51) Int. Cl.
H01L 27/04 (2006.01)
(21) 출원번호 10-2002-0075232
(22) 출원일자 2002년11월29일
심사청구일자 2007년01월22일
(65) 공개번호 10-2003-0044865
공개일자 2003년06월09일
(30) 우선권주장
JP-P-2001-00367068 2001년11월30일 일본(JP)
(56) 선행기술조사문헌
JP53068991 A
US2001/0041432 A1

(73) 특허권자
후지쯔 가부시끼가이샤
일본국 가나가와켄 가와사키시 나카하라꾸 가미고
다나카 4초메 1-1
(72) 발명자
삼본스기야스히로
일본가나가와켄가와사키시나카하라꾸가미꼬다나카
4초메1-1후지쯔가부시끼가이샤내
오따히로유키
일본가나가와켄가와사키시나카하라꾸가미꼬다나카
4초메1-1후지쯔가부시끼가이샤내
(뒷면에 계속)
(74) 대리인
구영창, 주성민

전체 청구항 수 : 총 10 항

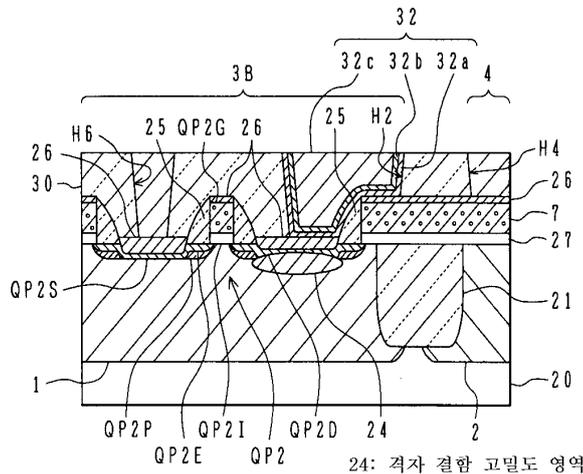
심사관 : 배진용

(54) 반도체 장치 및 그 제조 방법

(57) 요약

셀의 면적을 크게 하지 않고, 또한 동작의 안정성이 우수한 반도체 장치를 제공한다. 반도체 기판의 표층부 중 일부 영역에 제1 도전형의 제1 웰이 형성되어 있다. 제1 웰 내에 MOS형 트랜지스터가 형성되어 있다. MOS형 트랜지스터는 게이트 절연막, 게이트 전극, 및 게이트 전극의 양측의 제2 도전형의 제1 및 제2 불순물 확산 영역을 포함한다. 제1 불순물 확산 영역과 상기 제1 웰에 역방향 바이어스를 인가했을 때의 누설 전류 밀도가 제2 불순물 확산 영역과 제1 웰에 동일 전압의 역방향 바이어스를 인가했을 때의 누설 전류 밀도보다도 커지는 고누설 전류 구조가 형성되어 있다.

대표도 - 도3b



(72) 발명자

스가따니신지

일본가나가와켄가와사끼시나카하라꾸가미꼬다나까
4쵸메1-1후지쓰가부시끼가이샤내

모미야마요이찌

일본가나가와켄가와사끼시나카하라꾸가미꼬다나까
4쵸메1-1후지쓰가부시끼가이샤내

특허청구의 범위

청구항 1

반도체 기관의 표층부 중 일부 영역에 형성된 제1 도전형의 제1 웰과,

상기 제1 웰의 표면의 일부 영역 상에 형성된 게이트 절연막, 해당 게이트 절연막 위에 배치된 게이트 전극, 및 해당 게이트 전극의 양측의 상기 제1 웰의 표층부에 각각 형성된 제2 도전형의 제1 및 제2 불순물 확산 영역을 포함하는 MOS형 트랜지스터와,

상기 MOS형 트랜지스터의 제1 불순물 확산 영역과 상기 제1 웰에 역방향 바이어스를 인가했을 때의 누설 전류 밀도가, 상기 제2 불순물 확산 영역과 해당 제1 웰에 동일 전압의 역방향 바이어스를 인가했을 때의 누설 전류 밀도보다도 커지는 고누설 전류 구조

를 포함하는 반도체 장치.

청구항 2

반도체 기관의 표층부의 일부에 형성된 제1 도전형의 제1 웰과,

상기 반도체 기관의 표층부의 일부에 형성되고, 상기 제1 도전형과는 반대인 제2 도전형의 제2 웰과,

상기 제1 웰 내에 배치된 제1 및 제2 트랜지스터로서, 해당 제1 및 제2 트랜지스터의 각각이, 게이트 절연막, 게이트 전극, 해당 게이트 전극의 양측의 상기 제1 웰의 표층부에 각각 형성된 제2 도전형의 소스 영역 및 드레인 영역을 포함하는 상기 제1 및 제2 트랜지스터와,

상기 제2 웰 내에 배치된 제3 및 제4 트랜지스터로서, 해당 제1 및 제2 트랜지스터의 각각이, 게이트 절연막, 게이트 전극, 해당 게이트 전극의 양측의 상기 제2 웰의 표층부에 각각 형성된 제1 도전형의 소스 영역 및 드레인 영역을 포함하는 상기 제3 및 제4 트랜지스터와,

상기 제1 트랜지스터의 게이트 전극과 상기 제2 트랜지스터의 게이트 전극을 접속하는 워드선과,

상기 제3 트랜지스터의 게이트 전극, 상기 제1 트랜지스터의 드레인 영역, 및 상기 제4 트랜지스터의 드레인 영역을 접속하는 제1 접속 부재와,

상기 제4 트랜지스터의 게이트 전극, 상기 제2 트랜지스터의 드레인 영역, 및 상기 제3 트랜지스터의 드레인 영역을 접속하는 제2 접속 부재와,

상기 제1 및 제2 트랜지스터의 각각의 드레인 영역과 상기 제1 웰에 역방향 바이어스를 인가했을 때의 누설 전류 밀도가, 해당 제1 및 제2 트랜지스터의 각각의 소스 영역과 해당 제1 웰에 동일 전압의 역방향 바이어스를 인가했을 때의 누설 전류 밀도보다도 커지는 고누설 전류 구조

를 포함하는 반도체 장치.

청구항 3

반도체 기관의 표층부의 일부에 형성되고, 제1 및 제2 활성 영역의 외주를 한정하는 소자 분리 절연막과,

상기 제1 활성 영역의 표층부에 형성된 불순물 확산 영역과,

상기 제2 활성 영역 상에서, 상기 제1 활성 영역에 인접하는 소자 분리 절연막 상까지 연장되고, 도전 재료로 형성된 제1 접속 부재와,

상기 불순물 확산 영역 및 상기 제1 접속 부재를 덮는 층간 절연막과,

상기 층간 절연막을 관통하는 비아홀로서, 상기 반도체 기관의 표면의 법선에 평행한 시선으로 보았을 때, 상기 불순물 확산 영역의 일부 및 상기 제1 접속 부재의 일부와 중첩되는 상기 비아홀과,

상기 비아홀 내의 상기 반도체 기관측 공간에 매립되고, 상기 불순물 확산 영역과 상기 제1 접속 부재를 전기적으로 접속하는 제2 접속 부재와,

상기 비아홀 내의 상기 반도체 기관과는 반대측 공간에 매립되고, 상기 제2 접속 부재의 저항율보다도 높은 저

항을 갖고, 해당 제2 접속 부재에 접속된 제3 접속 부재와,
 상기 층간 절연막 위에 형성되고, 상기 제3 접속 부재에 접속된 배선
 을 포함하는 반도체 장치.

청구항 4

반도체 기관의 표층부의 일부에 형성된 제1 도전형의 제1 웰과,
 상기 반도체 기관의 표층부의 일부에 형성되고, 상기 제1 도전형과는 반대인 제2 도전형의 제2 웰과,
 반도체 기관의 표층부의 일부 영역에 형성되고, 상기 제1 웰 내에 제1 및 제2 활성 영역을 한정하고, 상기 제2
 웰 내에 제3 및 제4 활성 영역을 한정하는 소자 분리 절연막과,
 상기 제1 활성 영역 내에 형성되고, 게이트 절연막, 게이트 전극, 해당 게이트 전극의 양측의 상기 제1 웰의 표
 층부에 각각 형성된 소스 영역 및 드레인 영역을 포함하는 제1 트랜지스터와,
 상기 제2 활성 영역 내에 형성되고, 게이트 절연막, 게이트 전극, 해당 게이트 전극의 양측의 상기 제1 웰의 표
 층부에 각각 형성된 소스 영역 및 드레인 영역을 포함하는 제2 트랜지스터와,
 상기 제3 활성 영역 내에 형성되고, 게이트 절연막, 게이트 전극, 해당 게이트 전극의 양측의 상기 제2 웰의 표
 층부에 각각 형성된 소스 영역 및 드레인 영역을 포함하는 제3 트랜지스터와,
 상기 제4 활성 영역 내에 형성되고, 게이트 절연막, 게이트 전극, 해당 게이트 전극의 양측의 상기 제2 웰의 표
 층부에 각각 형성된 소스 영역 및 드레인 영역을 포함하는 제4 트랜지스터와,
 상기 제1 트랜지스터의 게이트 전극과 상기 제2 트랜지스터의 게이트 전극을 접속하는 워드선과,
 상기 제3 트랜지스터의 게이트 전극과 상기 제4 트랜지스터의 드레인 영역을 접속하고, 상기 제1 트랜지스터의
 드레인 영역에 인접하는 소자 분리 절연막 위까지 도달되는 제1 접속 부재와,
 상기 제4 트랜지스터의 게이트 전극과 상기 제3 트랜지스터의 드레인 영역을 접속하고, 상기 제2 트랜지스터의
 드레인 영역에 인접하는 소자 분리 절연막 위까지 도달되는 제2 접속 부재와,
 상기 제1~제4 트랜지스터를 덮도록 상기 반도체 기관 위에 형성된 층간 절연막과,
 상기 층간 절연막을 관통하는 제1 비아홀로서, 상기 반도체 기관의 표면의 법선에 평행한 시선으로 보았을 때,
 상기 제1 트랜지스터의 드레인 영역 중 적어도 일부 및 상기 제1 접속 부재의 일부와 중첩되는 상기 제1 비아홀
 과,
 상기 층간 절연막을 관통하는 제2 비아홀로서, 상기 반도체 기관의 표면의 법선에 평행한 시선으로 보았을 때,
 상기 제2 트랜지스터의 드레인 영역 중 적어도 일부 및 상기 제2 접속 부재의 일부와 중첩되는 상기 제2 비아홀
 과,
 상기 제1 비아홀 내의, 상기 반도체 기관측 공간에 매립되고, 상기 제1 트랜지스터의 드레인 영역과 상기 제1
 접속 부재를 전기적으로 접속하는 제3 접속 부재와,
 상기 제1 비아홀 내의, 상기 반도체 기관과는 반대측 공간에 매립되고, 상기 제3 접속 부재의 저항율보다도 높
 은 저항율을 갖고, 해당 제3 접속 부재에 접속된 제4 접속 부재와,
 상기 제2 비아홀 내의, 상기 반도체 기관측 공간에 매립되고, 상기 제2 트랜지스터의 드레인 영역과 상기 제2
 접속 부재를 전기적으로 접속하는 제5 접속 부재와,
 상기 제2 비아홀 내의, 상기 반도체 기관과는 반대측 공간에 매립되고, 상기 제5의 접속 부재의 저항율보다도
 높은 저항율을 갖고, 해당 제5 접속 부재에 접속된 제6 접속 부재와,
 상기 층간 절연막 위에 형성되고, 상기 제4 접속 부재 및 제6 접속 부재에 접속된 배선
 을 포함하는 반도체 장치.

청구항 5

반도체 기관의 표층부의 일부에 형성되고, 제1 및 제2 활성 영역의 외주를 한정하는 소자 분리 절연막과,

상기 제1 활성 영역의 표층부에 형성된 불순물 확산 영역과,
 상기 제2 활성 영역 상에서, 상기 소자 분리 절연막 위를 경유하여, 상기 제1 활성 영역 위까지 도달되고, 도전 재료로 형성된 제1 접속 부재와,
 상기 제1 접속 부재의 상면에서, 측면을 경유하여, 상기 불순물 확산 영역의 상면까지 도달되며, 해당 제1 접속 부재와 해당 불순물 확산 영역을 서로 전기적으로 접속하는 도전막과,
 상기 불순물 확산 영역 및 상기 제1 접속 부재를 덮는 층간 절연막과,
 상기 층간 절연막을 관통하는 비아홀로서, 상기 반도체 기판의 표면에 법선에 평행한 시선으로 보았을 때, 상기 도전막의 일부와 중첩되는 상기 비아홀과,
 상기 비아홀 내에 매립되고, 상기 도전막의 저항율보다도 높은 저항율을 갖는 재료로 형성된 제2 접속 부재와,
 상기 층간 절연막 위에 형성되고, 상기 제2 접속 부재에 접속된 배선을 포함하는 반도체 장치.

청구항 6

반도체 기판의 표층부의 일부에 형성된 제1 도전형의 제1 웰과,
 상기 반도체 기판의 표층부의 일부에 형성되고, 상기 제1 도전형과는 반대인 제2 도전형의 제2 웰과,
 반도체 기판의 표층부의 일부 영역에 형성되고, 상기 제1 웰 내에 제1 및 제2 활성 영역을 한정하고, 상기 제2 웰 내에 제3 및 제4 활성 영역을 한정하는 소자 분리 절연막과,
 상기 제1 활성 영역 내에 형성되고, 게이트 절연막, 게이트 전극, 해당 게이트 전극의 양측의 상기 제1 웰의 표층부에 각각 형성된 소스 영역 및 드레인 영역을 포함하는 제1 트랜지스터와,
 상기 제2 활성 영역 내에 형성되고, 게이트 절연막, 게이트 전극, 해당 게이트 전극의 양측의 상기 제1 웰의 표층부에 각각 형성된 소스 영역 및 드레인 영역을 포함하는 제2 트랜지스터와,
 상기 제3 활성 영역 내에 형성되고, 게이트 절연막, 게이트 전극, 해당 게이트 전극의 양측의 상기 제2 웰의 표층부에 각각 형성된 소스 영역 및 드레인 영역을 포함하는 제3 트랜지스터와,
 상기 제4 활성 영역 내에 형성되고, 게이트 절연막, 게이트 전극, 해당 게이트 전극의 양측의 상기 제2 웰의 표층부에 각각 형성된 소스 영역 및 드레인 영역을 포함하는 제4 트랜지스터와,
 상기 제1 트랜지스터의 게이트 전극과 상기 제2 트랜지스터의 게이트 전극을 접속하는 워드선과,
 상기 제3 트랜지스터의 게이트 전극과 상기 제4 트랜지스터의 드레인 영역을 접속하고, 상기 제1 트랜지스터의 드레인 영역 위까지 도달되는 제1 접속 부재와,
 상기 제1 접속 부재의 상면에서, 측면을 경유하여, 상기 제1 트랜지스터의 드레인 영역의 상면까지 도달되고, 해당 제1 접속 부재와 해당 제1 트랜지스터의 드레인 영역을 전기적으로 접속하는 제1 도전막과,
 상기 제4 트랜지스터의 게이트 전극과 상기 제3 트랜지스터의 드레인 영역을 접속하고, 상기 제2 트랜지스터의 드레인 영역 위까지 도달되는 제2 접속 부재와,
 상기 제2 접속 부재의 상면에서, 측면을 경유하여, 상기 제2 트랜지스터의 드레인 영역의 상면까지 도달되고, 해당 제2 접속 부재와 해당 제2 트랜지스터의 드레인 영역을 전기적으로 접속하는 제2 도전막과,
 상기 제1 ~ 제4 트랜지스터를 덮도록 상기 반도체 기판 위에 형성된 층간 절연막과,
 상기 층간 절연막을 관통하는 제1 비아홀로서, 상기 반도체 기판의 표면에 법선에 평행한 시선으로 보았을 때, 상기 제1 도전막의 일부와 중첩되는 상기 제1 비아홀과,
 상기 층간 절연막을 관통하는 제2 비아홀로서, 상기 반도체 기판의 표면에 법선에 평행한 시선으로 보았을 때, 상기 제2 도전막의 일부와 중첩되는 상기 제2 비아홀과,
 상기 제1 비아홀 내에 매립되어 상기 제1 도전막에 전기적으로 접속되고, 상기 제1 도전막보다도 저항율이 높은 재료로 형성된 제3 접속 부재와,

상기 제2 비아홀 내에 매립되어 상기 제2 도전막에 전기적으로 접속되고, 상기 제2 도전막보다도 저항율이 높은 재료로 형성된 제4 접속 부재와,

상기 층간 절연막 위에 형성되고, 상기 제3 접속 부재 및 제4 접속 부재에 접속된 배선을 포함하는 반도체 장치.

청구항 7

반도체 기판의 제1 도전형의 표층부에, 해당 제1 도전형과는 반대인 제2 도전형의 제1 불순물을 주입하여, 불순물 확산 영역을 형성하는 공정과,

상기 불순물 확산 영역 내에서의 상기 제1 불순물의 깊이 방향의 농도 분포가 최대를 나타내는 위치보다도 깊은 위치에서, 농도 분포가 최대를 나타내는 조건으로, 상기 제1 불순물보다도 질량수가 큰 원자를 주입하는 공정을 포함하는 반도체 장치의 제조 방법.

청구항 8

반도체 기판의 제1 도전형의 표층부에, 해당 제1 도전형과는 반대인 제2 도전형의 제1 불순물을 주입하여, 불순물 확산 영역을 형성하는 공정과,

상기 불순물 확산 영역의 저면을 따라서, 상기 제1 도전형의 표층부의 불순물 농도보다도 고농도인 제1 도전형의 고농도 영역이 형성되도록, 제1 도전형의 불순물을 주입하는 공정

을 포함하는 반도체 장치의 제조 방법.

청구항 9

제1 도전형의 실리콘으로 이루어지는 표층부를 갖는 반도체 기판의 표면의 일부 영역 상에, 게이트 절연막 및 게이트 전극이 이 순서대로 적층된 적층 구조를 형성하는 공정과,

상기 적층 구조를 마스크로 하여, 상기 게이트 전극의 양측의 반도체 기판의 표층부에, 상기 제1 도전형과는 반대인 제2 도전형의 불순물을 주입하여, 제2 도전형의 제1 불순물 확산 영역을 형성하는 공정과,

상기 적층 구조의 측면 상에 측벽 스페이서를 형성하는 공정과,

상기 적층 구조의 양측의 제1 불순물 확산 영역 중 한쪽을 레지스트막으로 덮는 공정과,

상기 적층 구조, 상기 측벽 스페이서, 및 상기 레지스트막을 마스크로 하여, 상기 반도체 기판의 표층부에 상기 제1 불순물 확산 영역의 깊이 방향의 불순물 농도 분포가 최대치를 나타내는 위치보다도 깊은 위치에서, 불순물 농도 분포가 최대치를 나타내는 조건으로, 제2 도전형의 불순물을 주입하여, 상기 적층 구조의 한쪽에만 제2 불순물 확산 영역을 형성하는 공정과,

상기 적층 구조의 양측의 반도체 기판의 표면 상에 실리콘과 실리사이드 반응하는 금속으로 이루어지는 금속막을 피착시키는 공정과,

상기 금속막과 상기 반도체 기판의 표층부의 실리콘을 반응시켜, 금속 실리사이드막을 형성하는 공정을 포함하는 반도체 장치의 제조 방법.

청구항 10

제9항에 있어서,

상기 금속 실리사이드막이 상기 제1 불순물 확산 영역을 두께 방향으로 관통하여, 제1 도전형의 영역까지 도달하는 반도체 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <41> 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 반도체 기판의 표층부에 형성된 불순물 확산 영역에 부하 저항이 접속된 등가 회로를 갖는 반도체 장치 및 그 제조 방법에 관한 것이다.
- <42> 종래, 4개의 금속/산화물/반도체형 전계 효과 트랜지스터(MOSFET)와 2개의 부하 저항 소자로 하나의 스테틱 랜덤 액세스 메모리(SRAM) 셀을 구성하는 SRAM에서, 부하 저항 소자로서 고저항의 다결정 실리콘이 이용되고 있었다. 다결정 실리콘으로 이루어지는 부하 저항 소자를 형성하면, 셀 면적이 커지게 된다. 또한, 상층의 배선층에 다결정 실리콘으로 이루어지는 부하 저항 소자를 배치하면 제조 공정이 복잡하게 된다.
- <43> 일본 특개소 53-68991호 공보에 부하 저항 소자를 흐르는 전류를 대신하여, 메모리 셀을 구성하는 MOSFET의 소스 또는 드레인 영역과 웰과의 pn 접합을 흐르는 누설 전류를 이용하는 반도체 장치가 개시되어 있다. 이 방법으로는 부하 저항 소자를 형성할 필요가 없기 때문에, 셀 면적을 작게 할 수 있다.
- <44> 노다(Noda) 등에 의한 「A 1.9- μm^2 Loadless CMOS Four-Transistor SRAM Cell in a 0.18- μm Logic Technology」(1998년, IEDM의 발표 논문)에, SRAM의 전송 트랜지스터로서 이용하고 있는 PMOSFET의 오프 누설 전류를 이용하여 데이터를 보유하는 기술이 개시되어 있다.

발명이 이루고자 하는 기술적 과제

- <45> 일본 특개소 53-68991호 공보에 개시된 발명에 있어서는, 부하 저항 소자를 배치하는 전용의 영역을 확보할 필요는 없지만, 원하는 크기의 누설 전류를 얻기 위해서 pn 접합의 면적을 크게하거나 웰에 백 바이어스를 인가하거나 할 필요가 있다. 특히, 최근의 반도체 집적 회로 장치의 미세화 및 저전압화에 따라, pn 접합을 흐르는 누설 전류가 적어지기 때문에, 원하는 크기의 누설 전류를 확보하는 것이 곤란하다.
- <46> SRAM의 전송 트랜지스터의 오프 누설 전류를 이용하는 방법으로는, 게이트 절연막의 박막화에 의한 게이트 누설 전류의 증가에 따라, 전송 트랜지스터의 오프 누설 전류를 크게 해야 한다. 전송 트랜지스터의 오프 누설 전류가 커지면, 데이터의 기입 시에 선택되어 있지 않은 셀에도 데이터가 기입되어 버리는 위험성이 커진다. 이에 따라, 데이터 파괴가 생긴다.
- <47> 본 발명의 목적은 셀의 면적을 크게 하지 않고, 또한 동작의 안정성이 우수한 반도체 장치를 제공하는 것이다.
- <48> 본 발명의 다른 목적은, 상기 반도체 장치를 제조하는 방법을 제공하는 것이다.

발명의 구성 및 작용

- <49> 본 발명의 일 양태에 따르면, 반도체 기판의 표층부 중 일부 영역에 형성된 제1 도전형의 제1 웰과, 상기 제1 웰의 표면의 일부 영역 상에 형성된 게이트 절연막, 상기 게이트 절연막 상에 배치된 게이트 전극, 및 상기 게이트 전극의 양측의 상기 제1 웰의 표층부에 각각 형성된 제2 도전형의 제1 및 제2 불순물 확산 영역을 포함하는 MOS형 트랜지스터와, 상기 MOS형 트랜지스터의 제1 불순물 확산 영역과 상기 제1 웰에 역방향 바이어스를 인가했을 때의 누설 전류 밀도가 상기 제2 불순물 확산 영역과 상기 제1 웰에 동일 전압의 역방향 바이어스를 인가했을 때의 누설 전류 밀도보다도 커지는 고누설 전류 구조를 갖는 반도체 장치가 제공된다.
- <50> 고누설 전류 구조를 통해 제1 불순물 확산 영역에 전류를 공급할 수 있다. 전류 공급을 위한 저항 소자를 배치하는 영역을 확보할 필요가 없기 때문에 고집적화를 도모하는 것이 가능하게 된다.
- <51> 본 발명의 다른 양태에 따르면, 반도체 기판의 표층부의 일부에 형성되고, 제1 및 제2 활성 영역의 외주를 한정하는 소자 분리 절연막과, 상기 제1 활성 영역의 표층부에 형성된 불순물 확산 영역과, 상기 제2 활성 영역 상에서 상기 제1 활성 영역에 인접하는 소자 분리 절연막 상까지 연장되고, 도전 재료로 형성된 제1 접속 부재와, 상기 불순물 확산 영역 및 상기 제1 접속 부재를 덮는 층간 절연막과, 상기 층간 절연막을 관통하며, 상기 반도체 기판의 표면의 법선에 평행한 시선으로 보았을 때, 상기 불순물 확산 영역의 일부 및 상기 제1 접속 부재의 일부와 중첩되는 상기 비아홀과, 비아홀 내의, 상기 반도체 기판층의 공간에 매립되어 상기 불순물 확산 영역과 상기 제1 접속 부재를 전기적으로 접속하는 제2 접속 부재와, 상기 비아홀 내의 상기 반도체 기판과는 반대측의 공간에 매립되고, 상기 제2 접속 부재의 저항율 보다도 높은 저항율을 갖고, 상기 제2 접속 부재에 접속된 제3 접속 부재와, 상기 층간 절연막 상에 형성되고, 상기 제3 접속 부재에 접속된 배선을 갖는 반도체 장치가 제공

된다.

- <52> 배선으로부터 제3 접속 부재 및 제2 접속 부재를 통해 불순물 확산 영역에 전류가 공급된다. 제3 접속 부재가 저항 소자로서 작용하기 때문에, 저항 소자를 배치하기 위한 전용의 영역을 확보할 필요가 없다. 이 때문에, 장치의 고집적화를 도모하는 것이 가능하게 된다. 제2 접속 부재를 통해, 제1 접속 부재와 불순물 확산 영역이 서로 접속된다. 제2 접속 부재는 저저항이기 때문에, 제1 접속 부재와 불순물 확산 영역 사이의 저항은 낮게 유지된다.
- <53> 본 발명의 다른 양태에 따르면, 반도체 기관의 표층부의 일부에 형성되고, 제1 및 제2 활성 영역의 외주를 한정하는 소자 분리 절연막과, 상기 제1 활성 영역의 표층부에 형성된 불순물 확산 영역과, 상기 제2 활성 영역 상에서 상기 소자 분리 절연막 위를 경유하여, 상기 제1 활성 영역 위까지 연장되며, 도전 재료로 형성된 제1 접속 부재와, 상기 제1 접속 부재의 상면에서 측면을 경유하여, 상기 불순물 확산 영역의 상면까지 도연장되며, 상기 제1 접속 부재와 상기 불순물 확산 영역을 서로 전기적으로 접속하는 도전막과, 상기 불순물 확산 영역 및 상기 제1 접속 부재를 덮는 층간 절연막과, 상기 층간 절연막을 관통하며, 상기 반도체 기관의 표면의 법선에 평행한 시선으로 보았을 때, 상기 도전막의 일부와 중첩되는 비아홀과, 상기 비아홀 내에 매립되고 상기 도전막의 저항율보다도 높은 저항율을 갖는 재료로 형성된 제2 접속 부재와, 상기 층간 절연막 위에 형성되고 상기 제2 접속 부재에 접속된 배선을 갖는 반도체 장치가 제공된다.
- <54> 배선으로부터 제2 접속 부재를 통해서 불순물 확산 영역에 전류가 공급된다. 제2 접속 부재가 저항 소자로서 작용하기 때문에, 저항 소자를 배치하기 위한 전용의 영역을 확보할 필요가 없다. 이 때문에, 장치의 고집적화를 도모하는 것이 가능하게 된다. 도전막을 통해, 제1 접속 부재와 불순물 확산 영역이 서로 접속된다. 이 때문에, 제2 접속 부재가 고저항이어도 제1 접속 부재와 불순물 확산 영역 사이의 저항은 낮게 유지된다.
- <55> <발명의 실시예>
- <56> 도 1에 본 발명의 제1 실시예에 따른 SRAM 셀의 등가 회로도를 나타낸다. 저항 소자 R1과 NMOS 트랜지스터 QN1이 직렬 접속되어, 인버터를 구성하고 있다. 저항 소자 R2와 NMOS 트랜지스터 QN2가 직렬 접속되어 다른 인버터를 구성하고 있다.
- <57> 저항 소자 R1과 NMOS 트랜지스터 QN1과의 상호 접속점(NMOS 트랜지스터 QN1의 드레인 단자)이 NMOS 트랜지스터 QN2의 게이트 전극에 접속되고, 저항 소자 R2와 NMOS 트랜지스터 QN2와의 상호 접속점(NMOS 트랜지스터 QN2의 드레인 단자)이, NMOS 트랜지스터 QN1의 게이트 전극에 접속되어 있다. 저항 소자 R1 및 R2의 타단에 전원 전압 Vdd가 인가되고, NMOS 트랜지스터 QN1 및 QN2의 소스 단자는 접지되어 있다.
- <58> 저항 소자 R1과 NMOS 트랜지스터 QN1과의 상호 접속점이 PMOS 트랜지스터 QP1을 통해 비트선 BL에 접속되고, 저항 소자 R2와 NMOS 트랜지스터 QN2와의 상호 접속점이 PMOS 트랜지스터 QP2를 통해 반전 비트선 /BL에 접속되어 있다. 여기서, 「/BL」은 BL의 오버 바를 의미한다. PMOS 트랜지스터 QP1 및 QP2의 게이트 전극이 워드선 WL에 접속되어 있다.
- <59> 도 2에 제1 실시예에 따른 SRAM의 반도체 기관 표면으로부터 게이트 전극이 배치되어 있는 층까지의 평면도를 나타낸다. 실리콘으로 이루어진 반도체 기관의 표층부에, 도 2의 행 방향(가로 방향)으로 연장되는 n형 웰(1) 및 p형 웰(2)이 형성되어 있다. n형 웰(1)과 p형 웰(2)은 그림의 열 방향(세로 방향)으로 교대로 배치되어 있다.
- <60> n형 웰(1) 내에 활성 영역(3)이 행 방향으로 규칙적으로 배열되어 있다. 활성 영역(3)의 각각은 열 방향으로 긴 형상을 갖는다. p형 웰(2) 내에 활성 영역(4)이 행 방향으로 규칙적으로 배열되어 있다. 활성 영역(4)의 각각은 행 방향으로 긴 형상을 갖고, 그 길이는 행 방향으로 배열된 활성 영역(3)의 4개분에 상당한다. 또한, p형 웰(2) 내에 활성 영역(5)이 행 방향으로 규칙적으로 배열되어 있다. 활성 영역(4)이 배치된 행은 활성 영역(5)이 배치된 행과 n형 웰(1) 사이에 위치한다. 또한, 활성 영역(5) 각각은 행 방향으로 긴 형상을 갖고, 그 길이는 활성 영역(4)의 길이와 거의 같고, 행 방향에 대하여 활성 영역(4)을 반 피치분 변이시킨 위치에 배치되어 있다.
- <61> 접속 부재(6)는, 활성 영역(5)의 단부로부터 n형 웰(1)을 향하여 열 방향으로 연장되고, 대응하는 활성 영역(4)과 교차하여 활성 영역(3)의 단부까지 달한다. 접속 부재(7)는 활성 영역(4)의 단부로부터 상 방향 및 하 방향으로 연장된다. 상 방향으로 연장된 부분은 대응하는 활성 영역(5)과 교차하고, 하 방향으로 연장된 부분은 대응하는 활성 영역(3)의 단부까지 이른다.

- <62> 활성 영역(3)의 1 행분에 대응하여 2개의 워드선 WL이 배치되어 있다. 워드선 WL의 각각은 활성 영역(3)과 교차한다.
- <63> 서로 인접하는 접속 부재(6)와 접속 부재(7), 이들과 부분적으로 중첩되는 활성 영역(4)의 반의 영역, 활성 영역(5)의 반의 영역 및 2개의 활성 영역(3)의 반의 영역이, 하나의 메모리 셀(10)에 대응한다. 메모리 셀(10)은 행 방향 및 열 방향으로 규칙적으로 배치되어 있다.
- <64> 메모리 셀(10)의 복수 열, 예를 들면 8 열마다 하나의 연결부(11)가 배치되어 있다. 연결부(11) 내에 n형 웰(1)에 오믹 접촉하는 n형 웰 탭 영역(12), p형 웰(2)에 오믹 접촉하는 p형 웰 탭 영역(13)이 배치되어 있다. n형 웰 탭 영역(12)에, 배선(14)을 통해 전원 전압 Vdd가 인가된다. p형 웰 탭 영역(13)에 배선(15)을 통해 접지 전압 Vss가 인가된다.
- <65> 또한, 연결부(11) 내에, 워드선 WL과 상층의 주 워드선을 접속하기 위한 워드 콘택트홀(16)이 배치된다.
- <66> 도 3a에 하나의 메모리 셀(10)의 평면도를 나타낸다. 도 3a의 세로 방향으로 연장하는 활성 영역(3A, 3B)이 n형 웰(1) 내에 배치되고, 도 3a의 가로 방향으로 연장하는 활성 영역(4, 5)이 p형 웰(2) 내에 배치되어 있다. 행 방향으로 연장하는 워드선 WL이 2개의 활성 영역(3A, 3B)과 교차하고 있다.
- <67> 활성 영역(3A)과 워드선 WL과의 교차 지점에 PMOS 트랜지스터 QP1이 배치되고, 활성 영역(3B)과 워드선 WL과의 교차 지점에 또하나의 PMOS 트랜지스터 QP2가 배치된다. 워드선 WL은 PMOS 트랜지스터 QP1 및 QP2의 게이트 전극을 겸한다. 활성 영역(3A) 중 워드선 WL의 양측의 영역이, 각각 소스 영역 QP1S 및 드레인 영역 QP1D가 된다. 마찬가지로, 활성 영역(3B) 중 워드선 WL의 양측의 영역이, 각각 소스 영역 QP2S 및 드레인 영역 QP2D가 된다.
- <68> 접속 부재(6)가 활성 영역(4)과 교차하고, 접속 부재(7)가 활성 영역(5)과 교차한다. 접속 부재(6)와 활성 영역(4)과의 교차 지점에 NMOS 트랜지스터 QN2가 배치되고, 접속 부재(7)와 활성 영역(5)과의 교차 지점에 NMOS 트랜지스터 QN1이 배치된다. 활성 영역(4) 중 접속 부재(6)의 양측의 영역이 각각 소스 영역 QN2S 및 드레인 영역 QN2D가 된다. 마찬가지로, 활성 영역(5) 중 접속 부재(7)의 양측의 영역이, 각각 소스 영역 QN1S 및 드레인 영역 QN1D가 된다. 접속 부재(6, 7)의 일부가 각각 NMOS 트랜지스터 QN2 및 QN1의 게이트 전극을 겸한다.
- <69> 접속 부재(6)의 일단이 드레인 영역 QP1D와 중첩되고, 타단이 드레인 영역 QN1D와 중첩된다. 접속 부재(6)와 드레인 영역 QP1D는 비아홀 H1 내에 매립된 도전 플러그에 의해 서로 접속된다. 접속 부재(6)와 드레인 영역 QN1D는, 비아홀 H3 내에 매립된 도전 플러그에 의해 서로 접속된다.
- <70> 접속 부재(7)의 일단이 드레인 영역 QP2D와 중첩되고, 중앙부가 드레인 영역 QN2D와 중첩된다. 접속 부재(7)와 드레인 영역 QP2D는, 비아홀 H2 내에 매립된 도전 플러그에 의해 서로 접속된다. 접속 부재(7)와 드레인 영역 QN2D는, 비아홀 H4 내에 매립된 도전 플러그에 의해 서로 접속된다.
- <71> 소스 영역 QN1S 및 QN2S는 각각 비아홀 H7 및 H8 내에 매립된 도전 플러그를 통해 상층의 접지 배선에 접속되어 있다. 소스 영역 QP1S는 비아홀 H5 내에 매립된 도전 플러그를 통해, 상층의 비트선 BL에 접속되어 있다. 소스 영역 QP2S는 비아홀 H6 내에 매립된 도전 플러그를 통해, 상층의 반전 비트선 /BL에 접속되어 있다.
- <72> 도 3b에 도 3a의 일점쇄선 B3-B3에서의 단면도를 도시한다. 실리콘으로 이루어지는 반도체 기판(20)의 표층부에 n형 웰(1) 및 p형 웰(2)이 형성되어 있다. n형 웰(1)과 p형 웰(2)의 경계 부분에 소자 분리 절연막(21)이 형성되어 있고, n형 웰(1) 내에 활성 영역(3B)가 한정되고, p형 웰(2) 내에 활성 영역(4)이 한정되어 있다. n형 웰(1)은 가속 에너지 600keV, 도우즈량 $3 \times 10^{13} \text{cm}^{-2}$ 의 조건으로 인 이온을 주입함으로써 형성된다. p형 웰(2)은 가속 에너지 300keV, 도우즈량 $3 \times 10^{13} \text{cm}^{-2}$ 의 조건으로 붕소 이온을 주입함으로써 형성된다.
- <73> 활성 영역(3)의 표면 상에 PMOS 트랜지스터 QP2가 배치되어 있다. PMOS 트랜지스터 QP2는 게이트 절연막 QP2I, 게이트 전극 QP2G, p형의 소스 영역 QP2S, 및 p형의 드레인 영역 QP2D를 포함하여 구성된다. 게이트 전극 QP2G의 측면 상에 측벽 스페이서(25)가 형성되어 있다. 게이트 전극 QP2G는 도 3a에 도시한 워드선 WL의 일부이다.
- <74> 소스 영역 QP2S 및 드레인 영역 QP2D는 저농도 드레인(LDD) 구조를 갖는다. 저농도의 익스텐션부 QP2E는 가속 에너지 0.5keV, 도우즈량 $8 \times 10^{14} \text{cm}^{-2}$ 의 조건으로 붕소(B) 이온을 주입함으로써 형성된다. 고농도의 영역은 가

속 에너지 3keV, 도우즈량 $2 \times 10^{15} \text{ cm}^{-2}$ 의 조건으로 B 이온을 주입함으로써 형성된다.

- <75> 엑스텐션부보다 약간 깊은 위치에, 엑스텐션부에 접하는 n형의 포켓 영역 QP2P이 형성되어 있다. 포켓 영역 QP2P는 가속 에너지 60keV, 도우즈량 $4 \times 10^{14} \text{ cm}^{-2}$ 의 조건으로 비소(As) 이온을 주입함으로써 형성된다.
- <76> 드레인 영역 QP2D와 n형 웰(1)과의 경계 부분에 격자 결함 밀도가 높은 격자 결함 고밀도 영역(24)이 형성되어 있다. 격자 결함 고밀도 영역(24)은 소스 영역 및 드레인 영역의 불순물보다도 질량수가 큰 원자, 예를 들면 게르마늄(Ge), 인듐(In), 안티몬(Sb) 등을 가속 에너지 100keV, 도우즈량 $1 \times 10^{14} \text{ cm}^{-2}$ 의 조건으로 이온 주입함으로써 형성된다. 소스 영역 QP2S, 드레인 영역 QP2D, 게이트 전극 QP2G의 상면에, 코발트 실리사이드(CoSi_2)막(26)이 형성되어 있다. 소스 영역 QP2S와 n형 웰(1)과의 경계 부분에는 격자 결함 밀도가 높은 영역이 형성되어 있다.
- <77> 접속 부재(7)는 드레인 영역 QP2D의 일부 영역 상에서 소자 분리 절연막(21)상을 경유하여, 활성 영역(4)의 상면까지 달한다. 접속 부재(7)는 게이트 전극 QP2G와 동시에 형성된다. 이 때문에, 접속 부재(7)의 저면에 게이트 절연막 QP2I와 동시에 형성된 절연막(27)이 배치되고, 접속 부재(7)의 상면에 CoSi_2 막(26)이 배치되고, 접속 부재(7)의 측면 상에 측벽 스페이서(25)가 형성되어 있다.
- <78> PMOS 트랜지스터 QP2 및 접속 부재(7)를 덮도록 산화 실리콘으로 이루어지는 층간 절연막(30)이 형성되어 있다. 비아홀 H2이 층간 절연막(30)을 관통한다. 반도체 기판(20)의 표면의 법선에 평행한 시선으로 보았을 때, 비아홀 H2는 드레인 영역 QP2D의 일부 및 접속 부재(7)의 일부와 중첩되는 위치에 배치되어 있다.
- <79> 비아홀 H2 내에 도전 플러그(32)가 매립되어 있다. 도전 플러그(32)는 비아홀 H2의 저면 및 내주면을 덮는 티탄(Ti)막(32a)과 질화 티탄(TiN)막(32b)과의 적층, 및 비아홀 H2 내를 매립하는 텅스텐(W) 부재(32c)로 구성되어 있다. 도전 플러그(32)는 접속 부재(7) 상의 CoSi_2 막(26) 및 드레인 영역 QP2D 상의 CoSi_2 막(26)의 쌍방에 접한다. 즉, 도전 플러그(32)는 접속 부재(7)와 드레인 영역 QP2D를 서로 전기적으로 접속한다.
- <80> 도 3a에 도시한 PMOS 트랜지스터 QP1도, PMOS 트랜지스터 QP2와 마찬가지로의 구조이다. 또한, 비아홀 H1, H3 및 H4가 배치된 부분의 단면 구조는 도 3b에 도시한 비아홀 H2의 단면 구조와 마찬가지로이다.
- <81> n형 웰(1)에, 도 2에 도시한 n형 웰 텀 영역(12)을 경유하여, 전원 전압 Vdd가 인가되어 있다. 이 때문에, 드레인 영역 QP2D는 격자 결함 고밀도 영역(24) 및 n형 웰(1)을 통해 전원 전압 Vdd에 접속된다. pn 접합부의 격자 결함 밀도가 높은 경우에는 많은 접합 누설 전류가 흐른다. 이 접합 누설 전류는 도 1에 도시한 저항 소자 R2를 흐르는 전류에 상당한다. 즉, 격자 결함 고밀도 영역(24)이 저항 소자 R2의 기능을 갖는다.
- <82> pn 접합부의 격자 결함 밀도를 높게 하기 때문에, 격자 결함 밀도를 높게 하고 있지 않은 경우에 비하여 많은 접합 누설 전류를 흘릴 수 있다. 이 때문에, 드레인 영역 QP2D가 차지하는 면적을 크게 하지 않고, 원하는 크기의 접합 누설 전류를 흘릴 수 있다.
- <83> 다음에, 도 4~도 6을 참조하여, 상기 제1 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명한다. 도 4~도 6의 각각은 좌측에 NMOS 트랜지스터 QN1이 배치되는 활성 영역(5)을 나타내고, 우측에 PMOS 트랜지스터 QP1이 배치되는 활성 영역(3A)을 나타낸다. NMOS 트랜지스터 QN2 및 PMOS 트랜지스터 QP2는 각각 NMOS 트랜지스터 QN1 및 PMOS 트랜지스터 QP1과 동일한 공정으로 형성된다.
- <84> 도 4a에 도시한 바와 같이, 실리콘으로 이루어지는 기판(20)의 표층부에, 주지의 얇은 트랜치 분리(STI) 기술을 이용하여 산화 실리콘으로 이루어지는 소자 분리 절연막(21)을 형성한다. 소자 분리 절연막(21)에 의해 활성 영역(3A, 5)이 한정된다. NMOS 트랜지스터를 형성해야 할 영역에 p형 웰(2)을 형성하고, PMOS 트랜지스터를 형성해야 할 영역에 n형 웰(1)을 형성한다.
- <85> 기판(20)의 표면 상에, 두께 1.2nm의 산 질화 실리콘(SiON)막을 형성한다. SiON 막은 기판(20)의 표면을 열 산화하여 산화 실리콘막을 형성한 후, 질소 분위기속에서 산화 실리콘막을 어닐링함으로써 형성된다. 이 SiON 막 위에, 두께 110nm의 비도핑의 다결정 실리콘막을, 화학 기상 성장(CVD)에 의해 형성한다.
- <86> 다결정 실리콘막의 표면을 레지스트 패턴으로 덮고, 다결정 실리콘막을 에칭한다. p형 웰(2)의 표면 상에, 다결정 실리콘으로 이루어지는 게이트 전극 QN1G이 남고, n형 웰(1)의 표면 상에, 다결정 실리콘으로 이루어지는 게이트 전극 QP1G이 남는다. 다결정 실리콘막의 에칭은, HBr와 O_2 를 이용한 반응성 이온 에칭에 의해 행할 수

있다. 게이트 길이는, 예를 들면 40~100 nm이다.

- <87> 게이트 전극 QN1G 및 QP1G를 형성한 후, 레지스트 패턴을 제거한다. 이 때, 게이트 전극 QN1G 및 QP1G로 덮여 있지 않은 SiON 막이 제거된다.
- <88> 도 4b에 도시한 바와 같이, n형 웰(1)이 형성되어 있는 영역을 레지스트 패턴(33)으로 덮는다. 게이트 전극 QN1G를 마스크로 하여, p형 웰(2)의 표층부에 가속 에너지 5keV, 도우즈량 $1 \times 10^{15} \text{ cm}^{-2}$ 의 조건으로 비소(As) 이온을 주입한다. 이온 빔은 기판 법선 방향에서 게이트 길이 방향(캐리어의 이동 방향)으로 기울어져 있고, 그 입사각은 $0 \sim 7^\circ$ 이다. 비소의 이온 주입에 의해, n형의 소스 및 드레인 영역의 익스텐션부 QN1E가 형성된다.
- <89> 다음에, 게이트 전극 QN1G를 마스크로 하여, p형 웰(2)의 표층부에, 가속 에너지 9keV, 도우즈량 $4 \times 10^{14} \text{ cm}^{-2}$ 의 조건으로 붕소(B) 이온을 주입한다. 이온 빔은 기판 법선 방향으로부터 게이트 길이 방향으로 기울어져 있고, 그 입사각은 $15 \sim 30^\circ$ 이다. 붕소의 이온 주입에 의해, p형의 포켓 영역 QN1P가 익스텐션부 QN1E보다도 깊은 위치에 형성된다. 이온 주입 후, 레지스트 패턴(33)을 제거한다.
- <90> 도 4c에 도시한 바와 같이, p형 웰(2)이 형성되어 있는 영역을 레지스트 패턴(34)으로 덮는다. 게이트 전극 QP1G를 마스크로 하여, n형 웰(1)의 표층부에 가속 에너지 0.5keV, 도우즈량 $8 \times 10^{14} \text{ cm}^{-2}$ 의 조건으로 B 이온을 주입한다. 이온 빔은 기판 법선 방향에서 게이트 길이 방향으로 기울어져 있고, 그 입사각은 $0 \sim 7^\circ$ 이다. B 이온 주입에 의해, p형의 소스 및 드레인 영역의 익스텐션부 QP1E가 형성된다.
- <91> 다음에, 게이트 전극 QP1G를 마스크로 하여, n형 웰(1)의 표층부에, 가속 에너지 60keV, 도우즈량 $4 \times 10^{14} \text{ cm}^{-2}$ 의 조건으로 As 이온을 주입한다.
- <92> 이온 빔은, 기판 법선 방향에서 게이트 길이 방향으로 기울어져 있고, 그 입사각은 $15 \sim 30^\circ$ 이다. As의 이온 주입에 의해, n형의 포켓 영역 QP1P가 형성된다. 이온 주입 후, 레지스트 패턴(34)을 제거한다. As의 이온 주입 후, 레지스트 패턴(34)을 제거한다.
- <93> 도 5a에 도시한 바와 같이, 게이트 전극 QN1G 및 QP1G의 측면 상에 산화 실리콘으로 이루어지는 측벽 스페이서(25)를 형성한다. 측벽 스페이서(25)는 두께 80nm의 산화 실리콘막을 CVD에 의해 형성한 후, 이 산화 실리콘막을 이방성 에칭함으로써 형성된다.
- <94> 도 5b에 도시한 바와 같이, n형 웰(1)이 형성되어 있는 영역을 레지스트 패턴(35)으로 덮는다. 게이트 전극 QN1G 및 그 측면 상에 형성되어 있는 측벽 스페이서(25)를 마스크로 하여, p형 웰(2)의 표층부에 가속 에너지 8keV, 도우즈량 $2 \times 10^{15} \text{ cm}^{-2}$ 의 조건으로, P 이온을 주입한다. P 이온의 주입에 의해, 소스 영역 QN1S 및 드레인 영역 QN1D의 고농도부가 형성된다. 이 때, 게이트 전극 QN1G에도 P 이온이 주입된다. P 이온의 주입 후, 레지스트 패턴(35)을 제거한다.
- <95> 도 5c에 도시한 바와 같이, p형 웰(2)이 형성된 영역을 레지스트 패턴(36)으로 덮는다. 게이트 전극 QP1G 및 그 측면 상에 형성된 측벽 스페이서(25)를 마스크로 하여, n형 웰(1)의 표층부에 가속 에너지 3keV, 도우즈량 $2 \times 10^{15} \text{ cm}^{-2}$ 의 조건으로, B 이온을 주입한다. B 이온의 주입에 의해, 소스 영역 QP1S 및 드레인 영역 QP1D의 고농도부가 형성된다. 이 때, 게이트 전극 QP1G에도 B 이온이 주입된다. B 이온의 주입 후, 레지스트 패턴(36)을 제거한다.
- <96> 도 6a에 도시한 바와 같이, PMOS 트랜지스터 QP1의 드레인 영역 QP1D의 위치에 개구(38)를 갖는 레지스트 패턴(37)을 형성한다. 반도체 기판(20)의 표면의 법선에 평행한 시선으로 보았을 때, 개구(38)는 드레인 영역 QP1D의 고농도부에 내포된다.
- <97> 레지스트 패턴(37)을 마스크로 하여, B보다도 질량수가 큰 원소의 이온, 예를 들면 Ge, In, Sb 등의 이온을, 가속 에너지 100keV, 도우즈량 $1 \times 10^{14} \text{ cm}^{-2}$ 의 조건으로 주입한다. 이 이온 주입에 의해 드레인 영역 QP1D의 고농도부와 n형 웰(1)과의 경계 부분에, 격자 결함 밀도가 높은 격자 결함 고밀도 영역(24)이 형성된다. 격자 결함 고밀도 영역(24)을 형성한 후, 레지스트 패턴(37)을 제거한다. 1050°C 에서 3초간의 열 처리를 행하여, 이온 주입된 불순물을 활성화시킨다.
- <98> 도 6b에 도시한 바와 같이, 소스 영역 QN1S, QP1S, 드레인 영역 QN1D, QP1D, 및 게이트 전극 QN1G, QP1G가 노

출된 상면 상에 CoSi_2 막(26)을 형성한다.

- <99> 이하, CoSi_2 막(26)의 형성 방법을 설명한다. 게이트 전극 QN1G, QP1G, 측벽 스페이서(25), 및 기판(20)의 표면에 코발트(Co) 막을 형성한다. 열 처리를 행함으로써, Co막과 실리콘과의 실리사이드 반응을 생기게 한다. 이 실리사이드 반응에 의해, CoSi_2 막(26)이 형성된다. 실리사이드 반응 후, 미반응의 Co막을 제거한다.
- <100> 도 3b에 도시한 층간 절연막(30) 및 도전 플러그(32)는 주지의 CVD, 포토리소그래피, CMP 기술을 이용하여 형성할 수 있다.
- <101> 상기 실시예에서는, 도 6a에 도시한 격자 결함 고밀도 영역(24)을 형성하기 위한 이온 주입 시의 가속 에너지를 100keV로 하였지만, 그 밖의 가속 에너지로 하여도 된다. 단, 드레인 영역 QP1D와 n형 웰(1)과의 pn 접합 계면의 격자 결함 밀도가 효율적으로 증가하는 조건으로 하는 것이 바람직하다. 예를 들면, 격자 결함 고밀도 영역(24)을 형성하기 위해서 주입된 질량수가 큰 원자의 깊이 방향의 농도가, 드레인 영역 QP1D의 고농도부의 저면의 근방에서 최대가 되는 조건으로, 질량수가 큰 원자를 주입하면 된다. 또한, 질량수가 큰 원자의 깊이 방향의 농도 분포가 최대치를 나타내는 위치가, 드레인 영역 QP1D 내의 B의 깊이 방향의 농도 분포가 최대치를 나타내는 위치보다도 깊게 되는 조건으로, 질량수가 큰 원자를 주입하면 된다.
- <102> 도 7에 제2 실시예에 따른 반도체 장치의 단면도를 도시한다. 제2 실시예에 따른 반도체 장치의 평면도, 및 이하에 설명하는 제3~제6 실시예에 따른 반도체 장치의 평면도는, 도 2 및 도 3a에 도시한 제1 실시예에 따른 반도체 장치의 평면도와 마찬가지로다. 이하, 제1 실시예에 따른 반도체 장치의 구성과 다른 점에 주목하여, 제2~제6 실시예에 대하여 설명한다.
- <103> 제2 실시예에서는, 도 3b에 도시한 격자 결함 고밀도 영역(24)의 위치에, n형 고농도 영역(40)이 형성되어 있다. n형 고농도 영역(40)은, 제1 실시예의 격자 결함 고밀도 영역(24)을 형성하기 위한 질량수가 큰 원자의 주입을 대신해서, n형 불순물을 주입함으로써 형성된다. 예를 들면, 가속 에너지 160keV, 도우즈량 $2 \times 10^{15} \text{cm}^{-2}$ 의 조건으로 비소 이온을 주입함으로써, n형 고농도 영역(40)을 형성할 수 있다.
- <104> 드레인 영역 QP2D의 고농도부와 n형 고농도 영역(40)과의 계면에, 급격한 pn 접합이 형성된다. 이 때문에, 드레인 영역 QP2D와 n형 웰(1)이 직접 접하는 경우에 비교하여, 누설 전류가 많아진다.
- <105> 도 8에 제3 실시예에 따른 반도체 장치의 단면도를 도시한다. 제3 실시예에서는, 도 3b의 드레인 영역 QP2D가 익스텐션부만으로 구성되어 있고, 드레인 영역 QP2D가 고농도부를 갖지 않는다. 또한, 도 3b의 격자 결함 고밀도 영역(24)도 형성되어 있지 않다. 이러한 구성은 제1 실시예의 도 5c에 도시한 이온 주입 공정에서 드레인 영역 QP1D를 레지스트 패턴(36)으로 마스크함으로써 형성할 수 있다.
- <106> 드레인 영역 QP2D 측에 형성된 CoSi_2 막(26)이 드레인 영역 QP2D를 깊이 방향으로 관통하여, 포켓 영역 QP2P까지 연장되어 있다. 포켓 영역 QP2P의 불순물 농도는, 소스 및 드레인 영역의 불순물 농도보다도 낮기 때문에, CoSi_2 막(26)과 포켓 영역 QP2P와의 계면에 쇼트키 접합이 얻어진다. 또, CoSi_2 막(26)이 포켓 영역 QP2P도 관통하여, n형 웰(1)에 접촉하는 구조로 해도 된다. 이 경우, CoSi_2 막(26)과 n형 웰(1)과의 계면에 쇼트키 접합이 얻어진다.
- <107> 반도체 장치의 동작 시에는 이 쇼트키 접합에 역 바이어스 전압이 인가되어, 역 바이어스 전류가 흐른다. 이 때문에, 쇼트키 접합이, 도 1의 저항 소자 R2로서 기능한다.
- <108> 도 9에 제4 실시예에 따른 반도체 장치의 단면도를 도시한다. 제4 실시예에 있어서는, 드레인 영역 QP2D의 고농도부에, 그 드레인 영역의 도전형과는 반대인 n형의 불순물이 주입되어, 보상 영역(42)이 형성되어 있다. n형 불순물의 주입에 의해, 드레인 영역 QP2D의 고농도의 p형 불순물이 보상되기 때문에, 실질적인 불순물 농도가 저하한다. 이 때문에, CoSi_2 막(26)과 보상 영역(42)과의 계면에, 쇼트키 접합이 얻어진다. 제3 실시예의 경우와 같이, 이 쇼트키 접합이 도 1의 저항 소자 R2로서 기능한다.
- <109> 보상 영역(42)은 도 5c에 도시한 소스 및 드레인 영역 형성을 위한 이온 주입 후에, 드레인 영역 QP1D 및 QP2D의 위치에 개구를 갖는 레지스트 패턴을 형성하고, n형 불순물을 주입함으로써 형성된다.
- <110> n형 불순물의 주입 조건은, CoSi_2 막(26)과 보상 영역(42)과의 계면이 쇼트키 접합이 되도록 설정된다. CoSi_2 막(26)에 접촉하는 영역이 실질적인 불순물 농도가 $1 \times 10^{19} \text{cm}^{-3}$ 이하이면, 쇼트키 접합이 얻어질 것이다. 예를 들

면, 가속 에너지는 깊이 방향의 농도 분포가 드레인 영역 QP1D 및 QP2D의 p형 불순물의 그것과 거의 같게 되는 조건으로 한다. n형 불순물의 도우즈량은, p형 불순물의 도우즈량과 거의 같게 된다.

- <111> 도 10에 제5 실시예에 따른 반도체 장치의 단면도를 도시한다. 제5 실시예에서는, 도 3b에 도시한 격자 결함 고밀도 영역(24)이 형성되어 있지 않다. 그 대신에, 비아홀 H2 내에 매립된 도전 플러그(32)가 저항 소자로서 기능한다.
- <112> 비아홀 H2의 저면 및 내주면을 Ti막(32a)이 덮고, 그 위에 TiN막(32b)이 형성되어 있다. 비아홀 H2 내의 기관층의 일부에 저저항 부재(32c)가 매립되고, 남은 상부의 공간에 저저항 부재(32c)보다도 저항율이 높은 고저항 부재(32d)가 매립되어 있다. 접속 부재(7)와 드레인 영역 QP2D는 저저항 부재(32c)에 의해 서로 전기적으로 접속된다. 도 10에서는 접속 부재(7)의 단부가 활성 영역(3B)과 중첩되어 있지만, 반드시 양자를 중첩하여 배치시킬 필요는 없다. 접속 부재(7)가 활성 영역(3B)에 인접하는 소자 분리 절연막(21)의 위까지 연장되어 있으면, 저저항 부재(32c)를 통해 드레인 영역 QP2D와 접속 부재(7)를 서로 접속할 수 있다.
- <113> 비아홀 H4 및 H6 내에는 고저항 부재가 매립되어 있지 않고, Ti층(32a), TiN층(32b), 및 저저항 부재(32c)로 모두 매립되어 있다.
- <114> 층간 절연막(30) 상에 전원 전압 Vdd를 공급하기 위한 전원 배선(45)이 형성되어 있다. 전원 배선(45)은 고저항 부재(32d)에 접속되어 있다. 드레인 영역 QP2D는 저저항 부재(32c) 및 고저항 부재(32d)를 통해 전원 배선(45)에 접속되어 있다. 따라서, 고저항 부재(32d)가 도 1에 도시한 저항 소자 R2로서 기능한다. 비아홀 H2 내에 매립된 도전 플러그의 일부를 고저항 영역으로 하고 있기 때문에, 저항 소자 전용의 영역을 확보할 필요가 없다. 이 때문에, 셀 면적을 작게 할 수 있다.
- <115> 저저항 부재(32c)는, 예를 들면 텅스텐으로 형성된다. 고저항 부재(32d)는 비아홀 H2에 매립된 텅스텐을 질화 또는 산화함으로써 형성할 수 있다. 즉, 고저항 부재(32d)는 텅스텐의 질화물 또는 산화물로 형성된다. 텅스텐의 질화 또는 산화는, 비아홀 H2의 위치에 개구를 갖는 레지스트 패턴으로 층간 절연막(30)의 표면을 덮고, 텅스텐에 질소 이온 또는 산소 이온을 주입하거나, 또는 텅스텐 표면을 질소 플라즈마 또는 산소 플라즈마에 노출시킴으로써 행해진다.
- <116> 고저항 부재(32d)를 CoSi₂막(26)보다도 저항율이 높은 재료, 예를 들면 다결정 실리콘으로 형성해도 된다. 이 경우, 고저항 부재(32d)는 비아홀 H2 내에 매립된 텅스텐의 상층부를 에치백하고, 에치백된 부분에 다결정 실리콘을 매립함으로써 형성된다.
- <117> 또한, 고저항 부재(32d)를 얇은 산화 실리콘막이나 질화 실리콘막으로 구성하는 것도 가능하다. SRAM 셀에 기억되어 있는 데이터를 보유하기 위해서 필요한 전류를 확보하기 위해서, 이 산화 실리콘막이나 질화 실리콘막을 얇게 할 필요가 있다. 도 1의 NMOS 트랜지스터 QN2가 비도통 상태일 때에, 고저항 부재(32d)를 구성하는 얇은 산화 실리콘막이나 질화 실리콘막을 흐르는 전류가 NMOS 트랜지스터 QN2의 게이트 누설 전류보다도 커지도록 산화 실리콘막 또는 질화 실리콘막을 얇게 하는 것이 바람직하다.
- <118> 도 11에 제6 실시예에 따른 반도체 장치의 단면도를 도시한다. 제6 실시예에서는, 접속 부재(7)의 측면 상의 측면 스페이서가 제거되어 있다. 이 때문에, 접속 부재(7)의 측면 상에도 CoSi₂막(26)이 형성되어, 드레인 영역 QP2D와 접속 부재(7)가 CoSi₂막(26)을 통해 서로 접속된다. 비아홀 H2의 저면 및 내주면을, Ti막(32a) 및 TiN막(32b)이 덮고, 비아홀 H2 내부가 고저항 부재(32d)로 매립되어 있다. 그 밖의 구조는 도 10에 도시한 제5 실시예에 따른 반도체 장치의 구조와 마찬가지로이다.
- <119> 제6 실시예에서는 비아홀 H2 내에 매립된 고저항 부재(32d)가 도 1에 도시한 저항 소자 R2로서 기능한다.
- <120> 제6 실시예의 경우에는 CoSi₂막(26)이 드레인 영역 QP2D와 접속 부재(7)를 서로 접속하기 때문에, 도 10에 도시한 제5 실시예의 비아홀 H2 내의 저저항 부재(32c)는 불필요하다. 단, 제5 실시예의 경우와 같이, 비아홀 H2 내의 기관층의 일부의 공간에, 저저항 부재(32c)를 배치해도 된다.
- <121> 이상 실시예에 따라서 본 발명을 설명하였지만, 본 발명은 이들에 제한되는 것이 아니다. 예를 들면, 여러가지의 변경, 개량, 조합 등이 가능한 것은 당업자에게 자명할 것이다.
- <122> 상기 실시예로부터 이하의 부기에 설명한 발명이 도출된다.
- <123> (부기 1) 반도체 기관의 표층부 중 일부 영역에 형성된 제1 도전형의 제1 웰과,

- <124> 상기 제1 웰의 표면의 일부 영역 상에 형성된 게이트 절연막, 상기 게이트 절연막 상에 배치된 게이트 전극, 및 상기 게이트 전극의 양측의 상기 제1 웰의 표층부에 각각 형성된 제2 도전형의 제1 및 제2 불순물 확산 영역을 포함하는 MOS형 트랜지스터를 포함하며,
- <125> 상기 MOS형 트랜지스터의 제1 불순물 확산 영역과 상기 제1 웰에 역방향 바이어스를 인가했을 때의 누설 전류 밀도가 상기 제2 불순물 확산 영역과 상기 제1 웰에 동일 전압의 역방향 바이어스를 인가했을 때의 누설 전류 밀도보다도 커지는 고누설 전류 구조를 갖는 반도체 장치.
- <126> (부기 2) 상기 고누설 전류 구조는, 상기 제1 불순물 확산 영역과 상기 제1 웰과의 계면에 배치되고, 상기 제2 불순물 확산 영역과 상기 제1 웰과의 계면의 격자 결함 밀도보다도 높은 격자 결함 밀도를 갖는 격자 결함 고밀도 영역을 포함하는 부기 1에 기재된 반도체 장치.
- <127> (부기 3) 상기 고누설 전류 구조는, 상기 제1 불순물 확산 영역과 상기 제1 웰과의 계면에 배치되고, 제1 도전형의 불순물이 첨가되어 있고, 불순물 농도가 상기 제1 웰의 불순물 농도보다도 높은 고농도 영역을 포함하는 부기 1에 기재된 반도체 장치.
- <128> (부기 4) 상기 제2 불순물 확산 영역은, 상기 게이트 전극의 모서리로부터 떨어져 배치된 제1 영역과, 상기 제1 영역과 게이트 전극의 모서리 사이에 배치되어, 상기 제1 영역보다도 얇은 익스텐션 영역을 포함하고,
- <129> 상기 제1 불순물 확산 영역은, 상기 제1 영역보다도 얇고,
- <130> 상기 고누설 전류 구조는 상기 제1 불순물 확산 영역 내에 형성되고, 상기 제1 불순물 확산 영역을 두께 방향에 관통하여, 상기 제1 웰의 제1 도전형의 영역까지 연장되어 있는 금속 실리사이드 영역을 포함하는 부기 1에 기재된 반도체 장치.
- <131> (부기 5) 상기 제1 불순물 확산 영역의 일부에, 제1 도전형의 불순물이 주입된 제3 불순물 확산 영역이 형성되어 있고,
- <132> 상기 고누설 전류 구조는, 상기 제3 불순물 확산 영역의 표층부에 형성된 금속 실리사이드막을 포함하고, 상기 금속 실리사이드막과 상기 제3 불순물 확산 영역과의 계면이 쇼트키 접합으로 되어 있는 부기 1에 기재된 반도체 장치.
- <133> (부기 6) 반도체 기관의 표층부의 일부에 형성된 제1 도전형의 제1 웰과,
- <134> 상기 반도체 기관의 표층부의 일부에 형성되고, 상기 제1 도전형과는 반대인 제2 도전형의 제2 웰과,
- <135> 상기 제1 웰 내에 배치되며, 각각이 게이트 절연막, 게이트 전극, 상기 게이트 전극의 양측의 상기 제1 웰의 표층부에 각각 형성된 제2 도전형의 소스 영역 및 드레인 영역을 포함하는 제1 및 제2 트랜지스터와,
- <136> 상기 제2 웰 내에 배치되며, 각각이, 게이트 절연막, 게이트 전극, 상기 게이트 전극의 양측의 상기 제2 웰의 표층부에 각각 형성된 제1 도전형의 소스 영역 및 드레인 영역을 포함하는 제3 및 제4 트랜지스터와,
- <137> 상기 제1 트랜지스터의 게이트 전극과 상기 제2 트랜지스터의 게이트 전극을 접속하는 워드선과,
- <138> 상기 제3 트랜지스터의 게이트 전극, 상기 제1 트랜지스터의 드레인 영역, 및 상기 제4 트랜지스터의 드레인 영역을 접속하는 제1 접속 부재와,
- <139> 상기 제4 트랜지스터의 게이트 전극, 상기 제2 트랜지스터의 드레인 영역, 및 상기 제3 트랜지스터의 드레인 영역을 접속하는 제2 접속 부재를 포함하며,
- <140> 상기 제1 및 제2 트랜지스터의 각각의 드레인 영역과 상기 제1 웰에 역방향 바이어스를 인가했을 때의 누설 전류 밀도가, 상기 제1 및 제2 트랜지스터의 각각의 소스 영역과 상기 제1 웰에 동일 전압의 역방향 바이어스를 인가했을 때의 누설 전류 밀도보다도 커지는 고누설 전류 구조를 갖는 반도체 장치.
- <141> (부기 7) 상기 제1 접속 부재에 접속된 제1 전원 배선과, 상기 제1 웰에 접속된 제2 전원 배선을 더 포함하고,
- <142> 상기 제1 전원 배선 및 제2 전원 배선에 인가되는 전원 전압의 방향이, 상기 제1 및 제2 트랜지스터의 드레인 영역과 상기 제1 웰에 대하여 역방향 바이어스가 되는 방향인 부기 6에 기재된 반도체 장치.
- <143> (부기 8) 반도체 기관의 표층부의 일부에 형성되고, 제1 및 제2 활성 영역의 외주를 한정하는 소자 분리 절연막과,

- <144> 상기 제1 활성 영역의 표층부에 형성된 불순물 확산 영역과,
- <145> 상기 제2 활성 영역 상에서, 상기 제1 활성 영역에 인접하는 소자 분리 절연막 상까지 연장되고, 도전 재료로 형성된 제1 접속 부재와,
- <146> 상기 불순물 확산 영역 및 상기 제1 접속 부재를 덮는 층간 절연막과,
- <147> 상기 층간 절연막을 관통하며, 상기 반도체 기관의 표면의 법선에 평행한 시선으로 보았을 때, 상기 불순물 확산 영역의 일부 및 상기 제1 접속 부재의 일부와 중첩되는 비아홀과,
- <148> 상기 비아홀 내의 상기 반도체 기관측의 공간에 매립되어, 상기 불순물 확산 영역과 상기 제1 접속 부재를 전기적으로 접속하는 제2 접속 부재와,
- <149> 상기 비아홀 내의 상기 반도체 기관과는 반대측의 공간에 매립되고, 상기 제2 접속 부재의 저항율보다도 높은 저항율을 갖고, 상기 제2 접속 부재에 접속된 제3 접속 부재와,
- <150> 상기 층간 절연막 위에 형성되고, 상기 제3 접속 부재에 접속된 배선을 갖는 반도체 장치.
- <151> (부기 9) 상기 제2 접속 부재는 금속 재료로 형성되고, 상기 제3 접속 부재는 상기 제2 접속 부재를 구성하는 금속 재료의 산화물 또는 질화물로 형성되어 있는 부기 8에 기재된 반도체 장치.
- <152> (부기 10) 반도체 기관의 표층부의 일부에 형성된 제1 도전형의 제1 웰과,
- <153> 상기 반도체 기관의 표층부의 일부에 형성되고, 상기 제1 도전형과는 반대인 제2 도전형의 제2 웰과,
- <154> 반도체 기관의 표층부의 일부 영역에 형성되고, 상기 제1 웰 내에 제1 및 제2 활성 영역을 한정하고, 상기 제2 웰 내에 제3 및 제4 활성 영역을 한정하는 소자 분리 절연막과,
- <155> 상기 제1 활성 영역 내에 형성되고, 게이트 절연막, 게이트 전극, 상기 게이트 전극의 양측의 상기 제1 웰의 표층부에 각각 형성된 소스 영역 및 드레인 영역을 갖는 제1 트랜지스터와,
- <156> 상기 제2 활성 영역 내에 형성되고, 게이트 절연막, 게이트 전극, 상기 게이트 전극의 양측의 상기 제1 웰의 표층부에 각각 형성된 소스 영역 및 드레인 영역을 갖는 제2 트랜지스터와,
- <157> 상기 제3 활성 영역 내에 형성되고, 게이트 절연막, 게이트 전극, 상기 게이트 전극의 양측의 상기 제2 웰의 표층부에 각각 형성된 소스 영역 및 드레인 영역을 갖는 제3 트랜지스터와,
- <158> 상기 제4 활성 영역 내에 형성되고, 게이트 절연막, 게이트 전극, 상기 게이트 전극의 양측의 상기 제2 웰의 표층부에 각각 형성된 소스 영역 및 드레인 영역을 포함하는 제4 트랜지스터와,
- <159> 상기 제1 트랜지스터의 게이트 전극과 상기 제2 트랜지스터의 게이트 전극을 접속하는 워드선과,
- <160> 상기 제3 트랜지스터의 게이트 전극과 상기 제4 트랜지스터의 드레인 영역을 접속하고, 상기 제1 트랜지스터의 드레인 영역에 인접하는 소자 분리 절연막 위까지 도달되는 제1 접속 부재와,
- <161> 상기 제4 트랜지스터의 게이트 전극과 상기 제3 트랜지스터의 드레인 영역을 접속하고, 상기 제2 트랜지스터의 드레인 영역에 인접하는 소자 분리 절연막 위까지 도달되는 제2 접속 부재와,
- <162> 상기 제1~제4 트랜지스터를 덮도록 상기 반도체 기관 위에 형성된 층간 절연막과,
- <163> 상기 층간 절연막을 관통하며, 상기 반도체 기관의 표면의 법선에 평행한 시선으로 보았을 때, 상기 제1 트랜지스터의 드레인 영역 중 적어도 일부 및 상기 제1 접속 부재의 일부와 중첩되는 제1 비아홀과,
- <164> 상기 층간 절연막을 관통하며, 상기 반도체 기관의 표면의 법선에 평행한 시선으로 보았을 때, 상기 제2 트랜지스터의 드레인 영역 중 적어도 일부 및 상기 제2 접속 부재의 일부와 중첩되는 제2 비아홀과,
- <165> 상기 제1 비아홀 내의 상기 반도체 기관측의 공간에 매립되고, 상기 제1 트랜지스터의 드레인 영역과 상기 제1 접속 부재를 전기적으로 접속하는 제3 접속 부재와,
- <166> 상기 제1 비아홀 내의 상기 반도체 기관과는 반대측 공간에 매립되고, 상기 제3 접속 부재의 저항율보다도 높은 저항율을 갖고, 상기 제3 접속 부재에 접속된 제4 접속 부재와,
- <167> 상기 제2 비아홀 내의 상기 반도체 기관측 공간에 매립되고, 상기 제2 트랜지스터의 드레인 영역과 상기 제2 접속 부재를 전기적으로 접속하는 제5 접속 부재와,

- <168> 상기 제2 비아홀 내의 상기 반도체 기판과는 반대측 공간에 매립되고, 상기 제5의 접속 부재의 저항율보다도 높은 저항율을 갖고, 상기 제5 접속 부재에 접속된 제6 접속 부재와,
- <169> 상기 층간 절연막 위에 형성되고, 상기 제4 접속 부재 및 제6 접속 부재에 접속된 배선을 갖는 반도체 장치.
- <170> (부기 11) 상기 제4 접속 부재는, 산화 실리콘, 질화 실리콘 또는 산 질화 실리콘으로 이루어지는 절연 박막을 포함하고,
- <171> 상기 제1 트랜지스터가 비도통 상태일 때, 상기 제4 접속 부재를 통해서 상기 배선으로부터 상기 제1 접속 부재에 흐르는 전류가 상기 제1 트랜지스터의 게이트 누설 전류와 드레인 영역의 접합 누설 전류와의 합보다도 커지도록, 상기 절연 박막의 막 두께가 설정되어 있는 부기 10에 기재된 반도체 장치.
- <172> (부기 12) 반도체 기판의 표층부의 일부에 형성되고, 제1 및 제2 활성 영역의 외주를 한정하는 소자 분리 절연막과,
- <173> 상기 제1 활성 영역의 표층부에 형성된 불순물 확산 영역과,
- <174> 상기 제2 활성 영역 상에서 상기 소자 분리 절연막 위를 경유하여, 상기 제1 활성 영역 위까지 연장되며, 도전 재료로 형성된 제1 접속 부재와,
- <175> 상기 제1 접속 부재의 상면으로부터 측면을 경유하여 상기 불순물 확산 영역의 상면까지 도달되고, 상기 제1 접속 부재와 상기 불순물 확산 영역을 서로 전기적으로 접속하는 도전막과,
- <176> 상기 불순물 확산 영역 및 상기 제1 접속 부재를 덮는 층간 절연막과,
- <177> 상기 층간 절연막을 관통하며, 상기 반도체 기판의 표면의 법선에 평행한 시선으로 보았을 때, 상기 도전막의 일부와 중첩되는 비아홀과,
- <178> 상기 비아홀 내에 매립되고, 상기 도전막의 저항율보다도 높은 저항율을 갖는 재료로 형성된 제2 접속 부재와,
- <179> 상기 층간 절연막 위에 형성되고, 상기 제2 접속 부재에 접속된 배선을 갖는 반도체 장치.
- <180> (부기 13) 상기 반도체 기판 및 상기 제1 접속 부재는, 주성분으로서 실리콘을 포함하고, 상기 도전막은, 금속 실리사이드로 형성되어 있는 부기 12에 기재된 반도체 장치.
- <181> (부기 14) 반도체 기판의 표층부의 일부에 형성된 제1 도전형의 제1 웰과,
- <182> 상기 반도체 기판의 표층부의 일부에 형성되고, 상기 제1 도전형과는 반대인 제2 도전형의 제2 웰과,
- <183> 반도체 기판의 표층부의 일부 영역에 형성되고, 상기 제1 웰 내에 제1 및 제2 활성 영역을 한정하고, 상기 제2 웰 내에 제3 및 제4 활성 영역을 한정하는 소자 분리 절연막과,
- <184> 상기 제1 활성 영역 내에 형성되고, 게이트 절연막, 게이트 전극, 상기 게이트 전극의 양측의 상기 제1 웰의 표층부에 각각 형성된 소스 영역 및 드레인 영역을 갖는 제1 트랜지스터와,
- <185> 상기 제2 활성 영역 내에 형성되고, 게이트 절연막, 게이트 전극, 상기 게이트 전극의 양측의 상기 제1 웰의 표층부에 각각 형성된 소스 영역 및 드레인 영역을 갖는 제2 트랜지스터와,
- <186> 상기 제3 활성 영역 내에 형성되고, 게이트 절연막, 게이트 전극, 상기 게이트 전극의 양측의 상기 제2 웰의 표층부에 각각 형성된 소스 영역 및 드레인 영역을 갖는 제3 트랜지스터와,
- <187> 상기 제4 활성 영역 내에 형성되고, 게이트 절연막, 게이트 전극, 상기 게이트 전극의 양측의 상기 제2 웰의 표층부에 각각 형성된 소스 영역 및 드레인 영역을 갖는 제4 트랜지스터와,
- <188> 상기 제1 트랜지스터의 게이트 전극과 상기 제2 트랜지스터의 게이트 전극을 접속하는 워드선과,
- <189> 상기 제3 트랜지스터의 게이트 전극과 상기 제4 트랜지스터의 드레인 영역을 접속하고, 상기 제1 트랜지스터의 드레인 영역 위까지 도달되는 제1 접속 부재와,
- <190> 상기 제1 접속 부재의 상면에서, 측면을 경유하여, 상기 제1 트랜지스터의 드레인 영역의 상면까지 도달되고, 상기 제1 접속 부재와 상기 제1 트랜지스터의 드레인 영역을 전기적으로 접속하는 제1 도전막과,
- <191> 상기 제4 트랜지스터의 게이트 전극과 상기 제3 트랜지스터의 드레인 영역을 접속하고, 상기 제2 트랜지스터의 드레인 영역 위까지 도달되는 제2 접속 부재와,

- <192> 상기 제2 접속 부재의 상면에서, 측면을 경유하여, 상기 제2 트랜지스터의 드레인 영역의 상면까지 도달되고, 상기 제2 접속 부재와 상기 제2 트랜지스터의 드레인 영역을 전기적으로 접속하는 제2 도전막과,
- <193> 상기 제1~제4 트랜지스터를 덮도록 상기 반도체 기판 위에 형성된 층간 절연막과,
- <194> 상기 층간 절연막을 관통하며, 상기 반도체 기판의 표면의 법선에 평행한 시선으로 보았을 때, 상기 제1 도전막의 일부와 중첩되는 제1 비아홀과,
- <195> 상기 층간 절연막을 관통하며, 상기 반도체 기판의 표면의 법선에 평행한 시선으로 보았을 때, 상기 제2 도전막의 일부와 중첩되는 제2 비아홀과,
- <196> 상기 제1 비아홀 내에 매립되어 상기 제1 도전막에 전기적으로 접속되고, 상기 제1 도전막보다도 저항율이 높은 재료로 형성된 제3 접속 부재와,
- <197> 상기 제2 비아홀 내에 매립되어 상기 제2 도전막에 전기적으로 접속되고, 상기 제2 도전막보다도 저항율이 높은 재료로 형성된 제4 접속 부재와,
- <198> 상기 층간 절연막 위에 형성되고 상기 제3 접속 부재 및 제4 접속 부재에 접속된 배선을 갖는 반도체 장치.
- <199> (부기 15) 반도체 기판의 제1 도전형의 표층부에, 상기 제1 도전형과는 반대인 제2 도전형의 제1 불순물을 주입하여 불순물 확산 영역을 형성하는 공정과,
- <200> 상기 불순물 확산 영역 내에서의 상기 제1 불순물의 깊이 방향의 농도 분포가 최대를 나타내는 위치보다도 깊은 위치에서, 농도 분포가 최대를 나타내는 조건으로, 상기 제1 불순물보다도 질량수가 큰 원자를 주입하는 공정을 갖는 반도체 장치의 제조 방법.
- <201> (부기 16) 반도체 기판의 제1 도전형의 표층부에, 상기 제1 도전형과는 반대인 제2 도전형의 제1 불순물을 주입하여, 불순물 확산 영역을 형성하는 공정과,
- <202> 상기 불순물 확산 영역의 저면을 따라서, 상기 제1 도전형의 표층부의 불순물 농도보다도 고농도의 제1 도전형의 고농도 영역이 형성되도록, 제1 도전형의 불순물을 주입하는 공정을 갖는 반도체 장치의 제조 방법.
- <203> (부기 17) 제1 도전형의 실리콘으로 이루어지는 표층부를 갖는 반도체 기판 표면의 일부 영역 상에, 게이트 절연막 및 게이트 전극이 이 순서대로 적층된 적층 구조를 형성하는 공정과,
- <204> 상기 적층 구조를 마스크로 하여, 상기 게이트 전극의 양측의 반도체 기판의 표층부에, 상기 제1 도전형과는 반대인 제2 도전형의 불순물을 주입하여, 제2 도전형의 제1 불순물 확산 영역을 형성하는 공정과,
- <205> 상기 적층 구조의 측면 상에 측벽 스페이서를 형성하는 공정과,
- <206> 상기 적층 구조의 양측의 제1 불순물 확산 영역중 한쪽을 레지스트막으로 덮는 공정과,
- <207> 상기 적층 구조, 상기 측벽 스페이서, 및 상기 레지스트막을 마스크로 하여, 상기 반도체 기판의 표층부에, 상기 제1 불순물 확산 영역의 깊이 방향의 불순물 농도 분포가 최대치를 나타내는 위치보다도 깊은 위치에서, 불순물 농도 분포가 최대치를 나타내는 조건으로, 제2 도전형의 불순물을 주입하여, 상기 적층 구조의 한쪽 측에만 제2 불순물 확산 영역을 형성하는 공정과,
- <208> 상기 적층 구조의 양측의 반도체 기판의 표면 상에, 실리콘과 실리사이드 반응하는 금속으로 이루어지는 금속막을 피착시키는 공정과,
- <209> 상기 금속막과, 상기 반도체 기판의 표층부의 실리콘을 반응시켜, 금속 실리사이드막을 형성하는 공정을 갖는 반도체 장치의 제조 방법.
- <210> (부기 18) 상기 금속 실리사이드막은, 상기 제1 불순물 확산 영역을 두께 방향에 관통하여, 제1 도전형의 영역까지 달하는 부기 17에 기재된 반도체 장치의 제조 방법.
- <211> (부기 19) 제1 도전형의 실리콘으로 이루어지는 표층부를 갖는 반도체 기판의 표면의 일부 영역 상에, 게이트 절연막 및 게이트 전극이 이 순서대로 적층된 적층 구조를 형성하는 공정과,
- <212> 상기 적층 구조를 마스크로 하여, 상기 게이트 전극의 양측의 반도체 기판의 표층부에, 상기 제1 도전형과는 반대인 제2 도전형의 불순물을 주입하여, 제2 도전형의 익스텐션 영역을 형성하는 공정과,
- <213> 상기 적층 구조의 측면 상에 측벽 스페이서를 형성하는 공정과,

- <214> 상기 적층 구조와 상기 측벽 스페이서를 마스크로 하여, 상기 반도체 기판의 표층부에 제2 도전형의 불순물을, 상기 익스텐션 영역의 불순물보다도 깊은 위치까지 주입하여, 제2 도전형의 제1 영역을 형성하는 공정과,
- <215> 상기 적층 구조의 양측의 불순물 확산 영역중 한쪽을 레지스트막으로 덮는 공정과, 상기 적층 구조, 상기 측벽 스페이서, 및 상기 레지스트막을 마스크로 하여, 상기 반도체 기판의 표층부에, 제1 도전형의 불순물을 주입하는 공정과,
- <216> 상기 적층 구조의 양측의 반도체 기판의 표면 상에, 실리콘과 실리사이드 반응하는 금속으로 이루어지는 금속막을 피착시키는 공정과,
- <217> 상기 금속막과 상기 반도체 기판의 표층부의 실리콘을 반응시켜 금속 실리사이드막을 형성하는 공정을 갖는 반도체 장치의 제조 방법.
- <218> (부기 20) 상기 불순물 확산 영역 중, 제1 도전형의 불순물이 주입된 영역에서, 상기 금속 실리사이드막과 상기 불순물 확산 영역과의 계면에 쇼트키 접합이 형성되는 부기 19에 기재된 반도체 장치의 제조 방법.
- <219> (부기 21) 반도체 기판의 표면의 일부 영역에 절연 재료로 이루어지는 소자 분리 절연막을 형성하여 제1 및 제2 활성 영역을 한정하는 공정과,
- <220> 상기 제1 활성 영역의 표층부에 불순물을 주입하여 불순물 확산 영역을 형성하는 공정과,
- <221> 상기 제2 활성 영역 상에서, 상기 제1 활성 영역에 인접하는 소자 분리 절연막 상까지 연장하는 도전 재료로 이루어지는 제1 접속 부재를 형성하는 공정과,
- <222> 상기 제1 접속 부재를 덮도록 상기 반도체 기판 위에 절연 재료로 이루어지는 층간 절연막을 형성하는 공정과,
- <223> 상기 반도체 기판의 표면의 법선에 평행한 시선으로 보았을 때, 상기 불순물 확산 영역의 일부 및 상기 제1 접속 부재의 일부와 중첩되는 위치에, 상기 층간 절연막을 관통하는 비아홀을 형성하는 공정과,
- <224> 상기 비아홀 내에 금속 재료를 매립하는 공정과,
- <225> 상기 비아홀 내에 매립된 금속 재료의 상층의 일부분을 산화 또는 질화하여 고저항화하는 공정을 갖는 반도체 장치의 제조 방법.
- <226> (부기 22) 실리콘으로 이루어지는 표층부를 갖는 반도체 기판의 표면의 일부 영역에, 절연 재료로 이루어지는 소자 분리 절연막을 형성하여, 제1 및 제2 활성 영역을 한정하는 공정과,
- <227> 상기 제1 활성 영역의 표층부에 불순물을 주입하여 불순물 확산 영역을 형성하는 공정과,
- <228> 상기 제2 활성 영역 상에서 상기 소자 분리 절연막 상을 경유하여, 제1 활성 영역 상까지 도달되는 실리콘으로 이루어지는 제1 접속 부재를 형성하는 공정과,
- <229> 상기 제1 접속 부재 및 상기 불순물 확산 영역을, 실리콘과 실리사이드 반응하는 금속으로 이루어지는 금속막으로 덮는 공정과,
- <230> 상기 불순물 확산 영역과 상기 금속막과의 계면, 및 상기 제1 접속 부재와 상기 금속막과의 계면에서 실리사이드 반응을 생기게하여, 상기 제1 접속 부재의 표면에서 상기 불순물 확산 영역의 표면까지를 연속적으로 덮는 금속 실리사이드막을 형성하는 공정과,
- <231> 미반응의 상기 금속막을 제거하는 공정과,
- <232> 상기 금속 실리사이드막을 덮도록, 상기 반도체 기판 위에 절연 재료로 이루어지는 층간 절연막을 형성하는 공정과,
- <233> 상기 반도체 기판의 표면의 법선에 평행한 시선으로 보았을 때, 상기 금속 실리사이드막의 일부와 중첩되는 위치에, 상기 층간 절연막을 관통하는 비아홀을 형성하는 공정과,
- <234> 상기 비아홀 내에, 상기 금속 실리사이드막보다도 저항율이 높은 재료로 이루어지는 도전 재료를 매립하는 공정을 포함하는 반도체 장치의 제조 방법.

발명의 효과

- <235> 이상 설명한 바와 같이, 본 발명에 따르면, 저항 소자 전용의 영역을 확보하지 않고, 전원 배선으로부터 저항을

경유하여, 반도체 기판의 표층부에 형성된 불순물 확산 영역에 전류를 공급할 수 있다. 이 구조를 SRAM에 적용하면, 셀 면적을 크게 하지 않고, 데이터 보유에 필요한 전류를 확보할 수 있다.

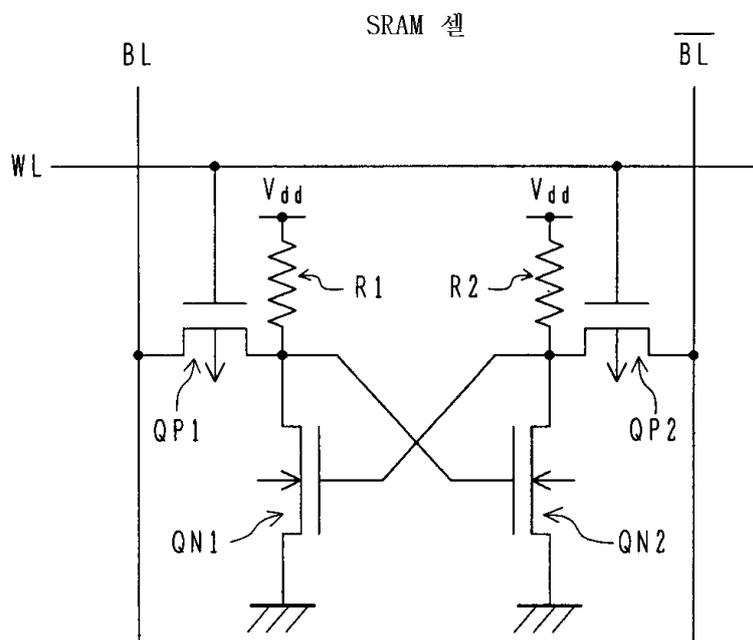
도면의 간단한 설명

- <1> 도 1은 SRAM 셀의 등가 회로도.
- <2> 도 2는 제1 실시예에 따른 반도체 장치의 활성 영역 및 게이트 전극층의 평면도.
- <3> 도 3은 제1 실시예에 따른 반도체 장치의 하나의 셀의 평면도 및 일부분의 단면도.
- <4> 도 4는 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 기판의 단면도(그 1).
- <5> 도 5는 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 기판의 단면도(그 2).
- <6> 도 6은 제1 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 기판의 단면도(그 3).
- <7> 도 7은 제2 실시예에 따른 반도체 장치의 단면도.
- <8> 도 8은 제3 실시예에 따른 반도체 장치의 단면도.
- <9> 도 9는 제4 실시예에 따른 반도체 장치의 단면도.
- <10> 도 10은 제5 실시예에 따른 반도체 장치의 단면도.
- <11> 도 11은 제6 실시예에 따른 반도체 장치의 단면도.
- <12> <도면의 주요 부분에 대한 부호의 설명>
- <13> BL : 비트선
- <14> /BL : 반전 비트선
- <15> H1~H8 : 비아홀
- <16> QN1, QN2 : NMOS 트랜지스터
- <17> QP1, QP2 : PMOS 트랜지스터
- <18> R1, R2 : 저항 소자
- <19> WL : 워드선
- <20> 1 : n형 웰
- <21> 2 : p형 웰
- <22> 3, 3A, 3B, 4, 5 : 활성 영역
- <23> 6, 7 : 접속 부재
- <24> 10 : SRAM 셀
- <25> 11 : 연결부
- <26> 12 : n형 웰 패드
- <27> 13 : p형 웰 패드
- <28> 14, 15 : 배선
- <29> 16 : 워드 콘택트홀
- <30> 20 : 반도체 기판
- <31> 21 : 소자 분리 절연막
- <32> 24 : 격자 결함 고밀도 영역
- <33> 25 : 측벽 스페이서

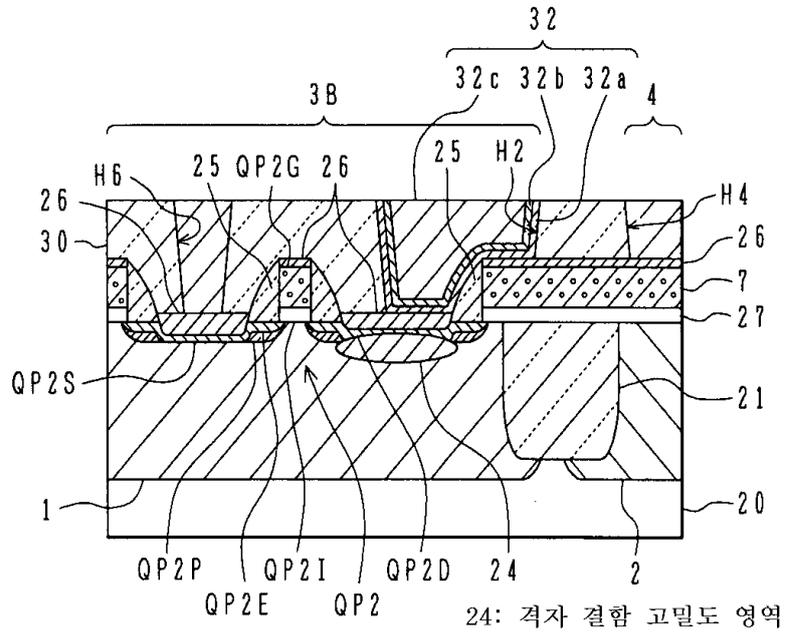
- <34> 26 : 코발트 실리사이드막
- <35> 30 : 층간 절연막
- <36> 32 : 도전 플러그
- <37> 33, 34, 35, 36, 37 : 레지스트 패턴
- <38> 40 : n형 고농도 영역
- <39> 42 : 보상 영역
- <40> 45 : 전원 배선

도면

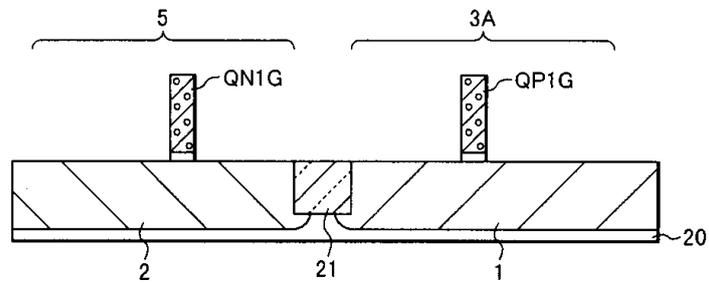
도면1



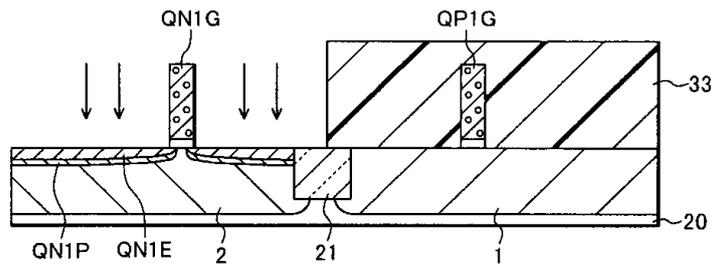
도면3b



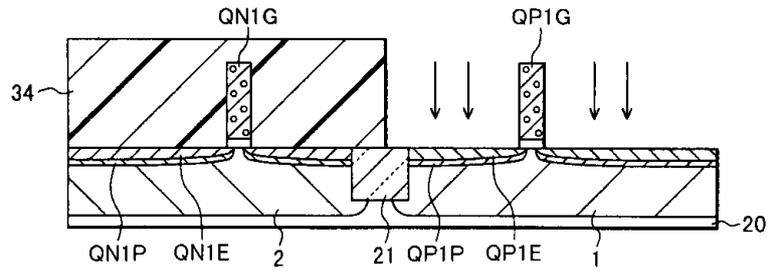
도면4a



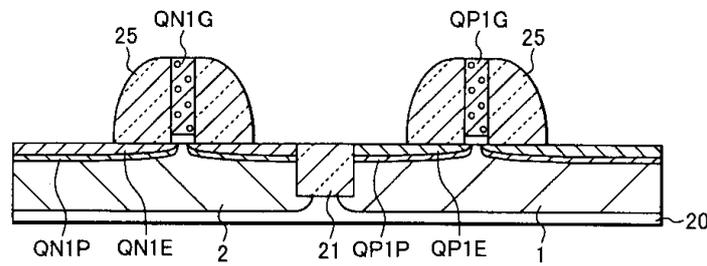
도면4b



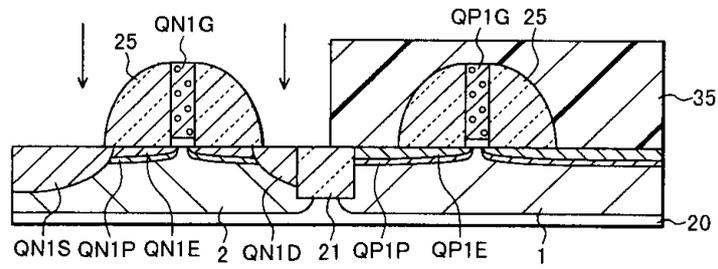
도면4c



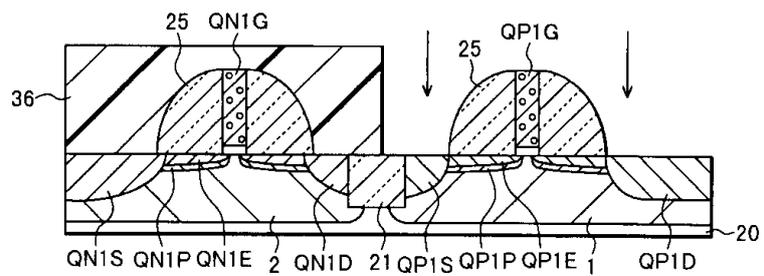
도면5a



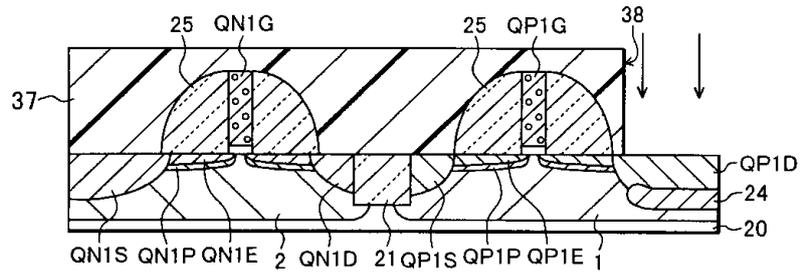
도면5b



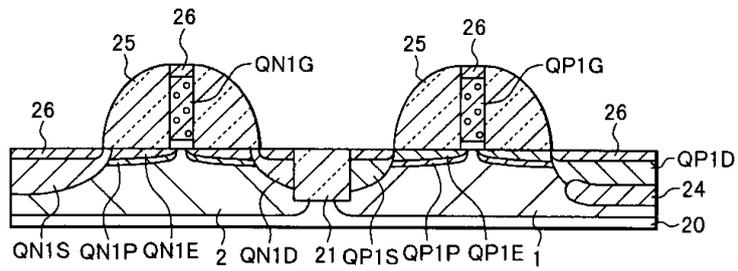
도면5c



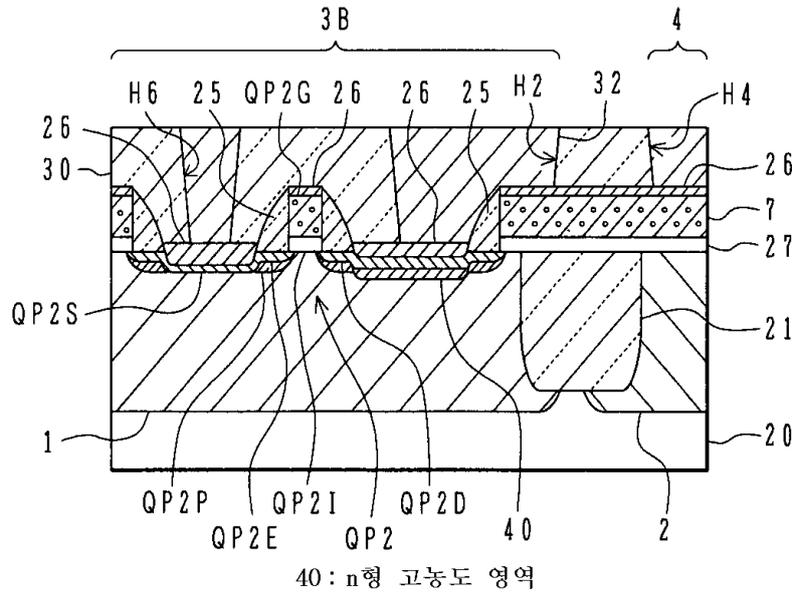
도면6a



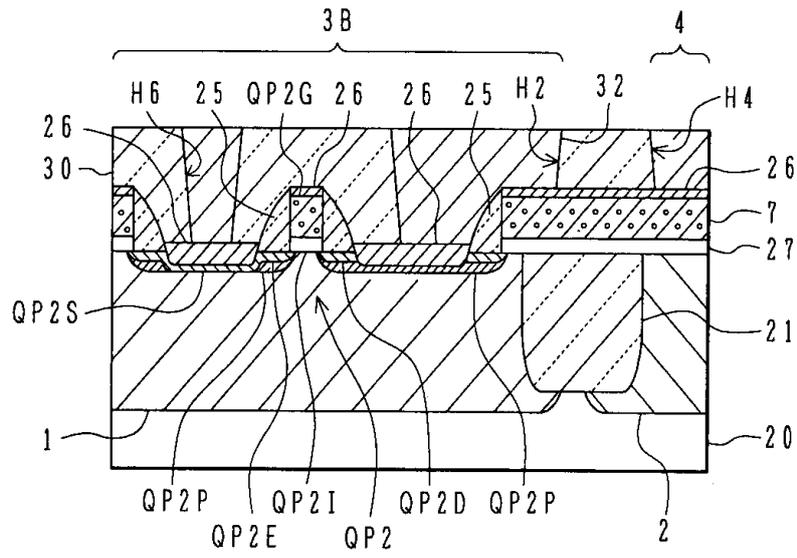
도면6b



도면7



도면8



도면9

