



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I434380 B

(45) 公告日：中華民國 103 (2014) 年 04 月 11 日

(21) 申請案號：100106829

(22) 申請日：中華民國 100 (2011) 年 03 月 02 日

(51) Int. Cl. : H01L23/34 (2006.01)

H01L21/58 (2006.01)

(71) 申請人：矽品精密工業股份有限公司 (中華民國) SILICONWARE PRECISION INDUSTRIES CO., LTD. (TW)

臺中市潭子區大豐路 3 段 123 號

(72) 發明人：黃惠暖 HUANG, HUEI NUAN (TW)；黃品誠 HUANG, PIN CHENG (TW)；盧俊宏 LU, CHUN HUNG (TW)；趙俊杰 CHAO, CHUN CHIEH (TW)；邱啟新 CHIU, CHI HSIN (TW)

(74) 代理人：陳昭誠

(56) 參考文獻：

US 7112472B2

US 7504453B2

US 7538422B2

審查人員：張添智

申請專利範圍項數：26 項 圖式數：16 共 0 頁

(54) 名稱

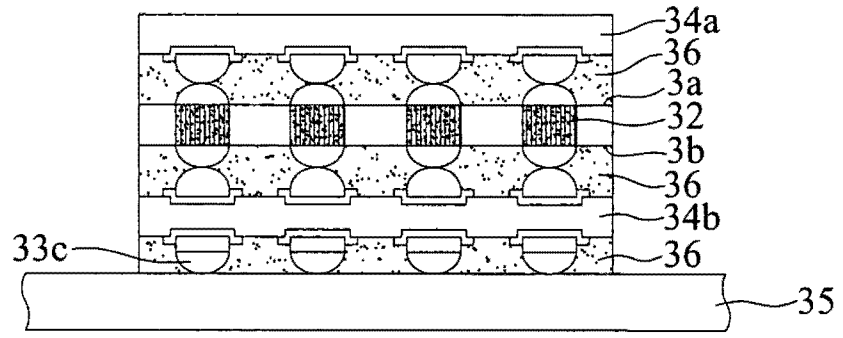
內層散熱板結構暨具內層散熱之多晶片堆疊封裝結構及其製法

INNER LAYER HEAT-DISSIPATING BOARD AND MULTI-CHIP STACK PACKAGE STRUCTURE HAVING INNER LAYER HEAT-DISSIPATING BOARD AND FABRICATION METHOD THEREOF

(57) 摘要

一種內層散熱板結構及具有該內層散熱板之多晶片堆疊封裝結構，該內層散熱板結構係包括：金屬板體及貫穿該金屬板體之複數導電通孔，各該導電通孔係包括具有複數奈米孔洞之氧化塊及填入該奈米孔洞中之奈米線。該多晶片堆疊封裝結構復包括分別接置於該內層散熱板的第一晶片及電子元件，俾藉由該內層散熱板於多晶片堆疊結構內層提供散熱途徑及增加整體結構之剛性。本發明復提供一種具內層散熱之堆疊晶片之封裝結構之製法。

The invention provides an inner-layer heat-dissipating board and a multi-chip stack package structure having the inner-layer heat-dissipating board. The inner-layer heat-dissipating board includes a metal board body formed with a plurality of penetrating conductive via holes each comprising an oxidative block having nano apertures and a nano wire filling into each of the nano apertures. The multi-chip stack package structure includes a first chip and an electronic component respectively disposed on the inner-layer heat-dissipating board to thereby facilitate heat dissipation in the multi-chip stack structure as well as increase the overall package rigidity. The invention further provides a method for fabricating the multi-chip stack structure as described above.



- 3a . . . 第一表面
- 3b . . . 第二表面
- 32 . . . 導電通孔
- 33c . . . 第三凸塊
- 34a . . . 第一晶片
- 34b . . . 第二晶片
- 35 . . . 電路板
- 36 . . . 底膠材料

第3I圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：10010689

※申請日：100.3.02

※IPC分類：

H01L 21/34 (2006.01)

H01L 21/58 (2006.01)

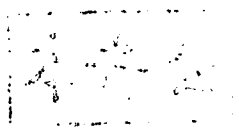
一、發明名稱：(中文/英文)

內層散熱板結構暨具內層散熱之多晶片堆疊封裝結構及其製法

INNER LAYER HEAT-DISSIPATING BOARD AND MULTI-CHIP STACK PACKAGE STRUCTURE HAVING INNER LAYER HEAT-DISSIPATING BOARD AND FABRICATION METHOD THEREOF

二、中文發明摘要：

一種內層散熱板結構及具有該內層散熱板之多晶片堆疊封裝結構，該內層散熱板結構係包括：金屬板體及貫穿該金屬板體之複數導電通孔，各該導電通孔係包括具有複數奈米孔洞之氧化塊及填入該奈米孔洞中之奈米線。該多晶片堆疊封裝結構復包括分別接置於該內層散熱板的第一晶片及電子元件，俾藉由該內層散熱板於多晶片堆疊結構內層提供散熱途徑及增加整體結構之剛性。本發明復提供一種具內層散熱之堆疊晶片之封裝結構之製法。



三、英文發明摘要：

The invention provides an inner-layer heat-dissipating board and a multi-chip stack package structure having the inner-layer heat-dissipating board. The inner-layer heat-dissipating board includes a metal board body formed with a plurality of penetrating conductive via holes each comprising an oxidative block having nano apertures and a nano wire filling into each of the nano apertures. The multi-chip stack package structure includes a first chip and an electronic component respectively disposed on the inner-layer heat-dissipating board to thereby facilitate heat dissipation in the multi-chip stack structure as well as increase the overall package rigidity. The invention further provides a method for fabricating the multi-chip stack structure as described above.

四、指定代表圖：

(一)本案指定代表圖為：第 (3I) 圖。

(二)本代表圖之元件符號簡單說明：

- 3a 第一表面
- 3b 第二表面
- 32 導電通孔
- 33c 第三凸塊
- 34a 第一晶片
- 34b 第二晶片
- 35 電路板
- 36 底膠材料

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種內層散熱板結構暨具該內層散熱板之多晶片堆疊封裝結構及其製法，尤指一種在堆疊結構內層提供散熱途徑及增加整體結構剛性之多晶片堆疊封裝結構及其製法。

【先前技術】

按，隨著科技的快速發展，各種新的產品不斷推陳出新，為了滿足消費著方便使用及攜帶容易之需求，現今各式電子產品無不朝向輕、薄、短、小發展。

而現今之電子產品除了要有輕、薄、短、小之特性外，亦希望電子產品能兼具高效能、低耗電、多功能等產品特性，故業界遂發展出於一電路板或封裝基板上接置複數半導體晶片，藉以增加電性功能，惟在單一電路板或封裝基板上接置複數半導體晶片，則因該封裝基板之使用面積有限，而限制接置半導體晶片之數量，且以平面接置半導體晶片之封裝結構無法有效縮小體積，難以達到薄小之目的；因而嗣後發展出將半導體晶片堆疊整合之封裝結構，其目前研究方向為將複數半導體晶片予以堆疊，而該經堆疊之半導體晶片之封裝結構則因傳輸路徑短，且經立體堆疊，故具有高效能、低耗電、多功能等特性，此外，相較傳統單一半導體晶片逐一接置於封裝基板上，是種半導體晶片之堆疊結構亦可大幅減少封裝基板之使用面積。

請參閱第 1 圖，係為習知多晶片堆疊封裝結構；如圖

所示，係於一封裝基板 10 上以錫球 110 電性連接第一半導體晶片 11，且該第一半導體晶片 11 上疊置有第二半導體晶片 12，又於該第二半導體晶片 12 上疊置一第三半導體晶片 13，而該第二半導體晶片 12 及第三半導體晶片 13 係以打線方式之鐳線 14 電性連接至該封裝基板 10。

惟，該習知多晶片堆疊封裝結構為配合打線之電性連接方式，位於上方之第二半導體晶片 12 必須小於下方之第一半導體晶片 11，且該第三半導體晶片 13 又必須小於下方之第二半導體晶片 12，方能提供是種多晶片堆疊結構，並打線電性連接，但也限制了晶片之堆疊數量，導致電性功能有限，亦無法有效提昇電性傳輸效能。且以打線方式進行半導體晶片與封裝基板 10 之電性連接，其鐳線具有一線弧高度，故無法有效縮小多晶片堆疊封裝結構體積。

為解決前述習知技術缺失，且進一步提昇之電性功能及傳輸效能，且因應電子產品功能整合的趨勢，半導體界遂開發出將能垂直電性垂直連接之具矽穿孔 (Through-Silicon Via, TSV) 的多晶片堆疊技術(其中該些矽穿孔中填充有導電材料)，以俾將複數晶片進行多晶片垂直堆疊結構，以並結合該堆疊結構於同一封裝基板上，以構成一半導體封裝結構。該半導體封裝結構不僅具有高電性功能，亦可大幅提升電性傳輸效能，而能符合高階終端電子產品之使用需求。

請參閱第 2A 圖，係為習知具矽穿孔之多晶片堆疊封裝結構，如圖所示，係於一封裝基板 20 上以錫球 210 電性

連接經堆疊之複數 TSV 晶片 21，且於該最頂層之 TSV 晶片 21 上接置一般之半導體晶片 22。

惟，該些堆疊之 TSV 晶片 21，因該些 TSV 晶片 21 作動頻率高，且位處中間位置之 TSV 晶片 21，由於複數晶片堆疊後彼此的間隙狹小，故會發生熱逸散困難、散熱效率不佳等問題，輕則發生該些 TSV 晶片 21 降頻運作，重則會導致該些 TSV 晶片 21 燒毀，使得終端電子產品損毀。

請參閱第 2B 圖，而為解決位處中間位置之 TSV 晶片 21 散熱不易的問題，係於最頂層之半導體晶片 22 裸露於外界環境之表面上黏貼一金屬散熱片 23，以將位於中間位置之 TSV 晶片 21 所產生之熱經由堆疊 TSV 晶片 21 間之錫球 210 及矽穿孔中之導電材，逐一傳導至頂層的金屬散熱片 23。

然而，該位處中間位置之 TSV 晶片 21 須經長距之傳導路徑始能將熱傳導至金屬散熱片 23，因而散熱效率不佳；其次接置於最頂層之半導體晶片 22 上之金屬散熱片 23 的面積不可超過該半導體晶片 22 之面積過多，否則易有黏接及應力方面等問題，容易導致該半導體晶片 22 碎裂。

因此，鑒於上述之問題，如何提供一種能使用於多晶片堆疊封裝結構中，具製作成本低廉、製作方式簡單、能大幅提升散熱效率、且可增加多晶片堆疊封裝結構之整體剛性，實已成為目前亟欲解決之課題。

【發明內容】

鑑於上述習知技術之種種缺失，本發明揭露一種內層散熱板結構，係包括：金屬板體及複數貫穿該金屬板體之導電通孔，各該導電通孔係包括具有複數奈米孔洞之氧化塊及填入該奈米孔洞中之奈米線。

所述之形成該金屬板體之材料係為鋁；形成該氧化塊之材料係為氧化鋁。

該內層散熱板結構復可包括第一凸塊，係設於該導電通孔之端面上。

該內層散熱板結構之各該奈米線之寬度係小於或等於 100 奈米，或者各該奈米線之深寬比大於 1000。其中，該奈米線之材質為銅、鎳、鉑或金。

本發明復提供一種多晶片堆疊封裝結構，係包括：具有相對之第一表面及第二表面之本發明內層散熱板；接置於該內層散熱板之第一表面上之第一晶片；以及接置於該內層散熱板之第二表面上之電子元件。

所述之電子元件可為電路板或第二晶片。

所述之第一晶片及電子元件分別具有複數接置其上之第二凸塊，以藉由各該第二凸塊對應電性連接至該內層散熱板之導電通孔端面的各該第一凸塊。

又，該多晶片堆疊封裝結構中，該電子元件為第二晶片，且該第二晶片係以其頂面接置於該內層散熱板上，又該多晶片堆疊封裝結構復包括一電路板，係接置在該第二晶片底面下。

所述之多晶片堆疊封裝結構復可包括底膠材料，係形成於該內層散熱板與第一晶片之間、該內層散熱板與第二晶片之間以及該電路板與第二晶片之間，且包覆該第一凸塊及第二凸塊。

該多晶片堆疊封裝結構之各該奈米線之寬度係小於或等於 100 奈米，或者各該奈米線之深寬比大於 1000。其中，該奈米線之材質為銅、鎳、鉑或金。

本發明復提供一種多晶片堆疊封裝結構之製法，係包括：提供一具有相對之第一表面及第二表面之內層散熱板，其中，該內層散熱板包括金屬板體、及複數貫穿該金屬板體之導電通孔，且該導電通孔係包括形成有複數奈米孔洞之氧化塊及填入該奈米孔洞中之奈米線；以及於該內層散熱板之第一表面及第二表面上分別接置第一晶片及電子元件，並電性連接該第一晶片及電子元件至該導電通孔。

依上所述，該導電通孔之製法，係包括：於該金屬板體之一表面上形成具有複數開孔之阻層，以令部份之金屬板體外露於該開孔中；對該外露於開孔中之金屬板體進行氧化處理，使該金屬板體對應該開孔之部位的金屬氧化而形成為氧化塊；進行圖案化製程以蝕刻該氧化塊，以於該氧化塊中形成複數奈米孔洞；於該奈米孔洞中形成奈米線；以及使該氧化塊及奈米線皆露出該金屬板體，以形成導電通孔。

前述之製法中，復可包括於使該氧化塊及奈米線皆露出該金屬板體之前或之後，移除該阻層。再者，本發明係

以研磨或蝕刻該未具有阻層之另一金屬板體表面，以露出該氧化塊及奈米線。此外，復包括形成複數第一凸塊，例如，於露出該氧化塊及奈米線後，再於各該導電通孔的端面上形成第一凸塊。

在前述之多晶片堆疊封裝結構中，所述之第一晶片及電子元件分別復包括複數接置其上之第二凸塊，以藉由各該第二凸塊對應電性連接至該內層散熱板之導電通孔端面的各該第一凸塊。

是以，本發明多晶片堆疊封裝結構之製法中，該第一晶片及電子元件分別以複數第二凸塊對應電性連接至該內層散熱板之導電通孔端面的各該第一凸塊。

所述之電子元件可為第二晶片，且該第二晶片係以其頂面接置於該內層散熱板上，且該多晶片堆疊封裝結構及其製法復可包括將一電路板接置在該第二晶片底面下。

所述之多晶片堆疊封裝結構之製法復可包括形成底膠材料於該內層散熱板與第一晶片之間、該內層散熱板與第二晶片之間以及該電路板與第二晶片之間，且包覆該第一凸塊及第二凸塊。

於本發明之另一實施態樣中，復包括將該電子元件以其底面疊接於另一內層散熱板上，且同樣地，該內層散熱板底面復可疊接有另一電子元件，例如，第三晶片，而該第三另一晶片底面亦可接置於電路板上。

由上可知，本發明之多晶片堆疊封裝結構及其製法，係提供一具有相對之兩表面及複數貫穿該兩表面之導電通

孔的內層散熱板，且於該導電通孔中佈設有複述奈米線。於該內層散熱板之兩表面上分別接置至少一晶片，且各該晶片電性連接至該導電通孔，俾於該些堆疊之晶片中夾設該內層散熱板，以藉由該內層散熱板提供位處中間位置之晶片的快速散熱途徑，以免除夾設於中間層之晶片逐層傳熱，導致散熱不佳之缺失；此外，本發明係以具有氧化塊之金屬板體作為散熱板，亦可提供該多晶片堆疊封裝結構之整體剛性提升，以避免習知多晶片堆疊封裝結構之半導體晶片裂損可能性。

【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中所引用之如“頂面”、“底面”“一”、“上”及“下”等之用語，亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本發明可實施之範疇。

為得到本發明之多晶片堆疊封裝結構，請參閱第 3A 至 3G 圖，係揭露本發明之內層散熱板結構之製法。

如第 3A 圖所示，首先，提供一例如為鋁之金屬板體 30。

如第 3B 圖所示，於該金屬板體 30 之一表面上形成阻層 31，且該阻層 31 經圖案化製程以形成複數開孔 310，以令部份之金屬板體 30 外露於該開孔 310 中。

如第 3C 圖所示，之後，對該開孔 310 中之金屬板體 30 進行陽極氧化處理，使該金屬板體 30 對應該開孔 310 之部位的金屬氧化而形成為氧化塊 301，且該氧化塊 301 可穿透或如本實施例之未穿透該金屬板體 30，而該氧化塊 301 之材質為氧化鋁。

如第 3D 及 3D-1 圖所示，以乾式或濕式蝕刻的方式蝕刻該氧化塊 301，以於該氧化塊 301 中形成複數奈米孔洞 301a。

如第 3E 及 3E-1 圖所示，於該奈米孔洞 301a 中以例如電鍍或化學沉積方式形成奈米線 301b。前述之奈米線 301b 於物理學界中可以被定義為一種具有在橫向尺寸上被限制在 100 奈米以下（縱向尺寸沒有限制），例如，各該奈米線之寬度 W 係小於或等於 100 奈米，或是深寬 (H/W) 比大於 1000 的結構，該奈米線係為金屬材質，例如銅、鎳、鉑或金。

如第 3F 及 3F-1 圖所示，使該氧化塊 301 及奈米線 301b 兩端面皆露出該金屬板體 30，以形成導電通孔 32。具體而

言，形成該導電通孔 32 之方式主要可透過研磨或蝕刻該與形成該阻層 31 表面相對之金屬板體 30 表面，亦即移除該金屬板體 30 未形成該阻層 31 之表面，以露出該氧化塊 301 及奈米線 301b 而形成導電通孔 32。此外，本實施例之製法復包括於露出該氧化塊 301 及奈米線 301b 之前，移除該阻層 31，舉例而言，如第 3E 圖所示，係於使該氧化塊 301 及奈米線 301b 兩端面皆露出該金屬板體 30 之步驟前，移除該阻層 31；或者於研磨或蝕刻金屬板體 30 表面之後，再移除該阻層 31。

如第 3G 圖所示，於各該導電通孔 32 的端面上形成係如鍍錫之第一凸塊 33a，俾使各該導電通孔 32 之兩端面上具有第一凸塊 33a。該第一凸塊 33a 亦可為於導電通孔 32 之兩端面上先形成銅柱後，再於銅柱頂面形成鍍錫(圖未示)。

根據前述之製法，本發明提供一種內層散熱板結構，係包括：材料例如為鋁之金屬板體 30；複數導電通孔 32，係貫穿該金屬板體 30 上下表面，而該導電通孔 32 包括具有複數奈米孔洞 301a 之氧化塊 301 及填入該奈米孔洞 301a 中之之奈米線 301b。

以上所述，該內層散熱板結構復可包括分別設於該些導電通孔 32 之端面上之複數第一凸塊 33a。

請參閱第 3H 至 3I 圖，係為具有本發明內層散熱板 3 之多晶片堆疊封裝結構及其製法示意圖。

如第 3H 圖所示，於該內層散熱板 3 之第一表面 3a 及

第二表面 3b 上分別接置第一晶片 34a 及如第二晶片 34b 之電子元件。該電子元件不限為第二晶片，其亦可為電路板。又，該第一及第二晶片 34a,34b 可為具有 TSV 設計之晶片，或上下表面皆設有線路之晶片，且各自電性連接至該導電通孔 32。具體而言，該第一晶片 34a 及第二晶片 34b 皆以接置導電元件方式，例如透過係為錫球之第二凸塊 33b 電性連接該內層散熱板 3 之導電通孔 32 端面的第一凸塊 33a。此外，該導電元件可包括金屬柱及形成於該金屬柱上且材質例如為錫球之金屬凸塊，舉例而言，如第二晶片 34b 底面電極墊 331 上之金屬柱 33d 及形成於該金屬柱 33d 上之第三凸塊 33c。當然，是種導電元件的結構亦可應用於其他晶片或內層散熱板。通常，接置在內層散熱板 3 之第一表面 3a 及第二表面 3b 上的晶片之兩晶片表面上具有相對應之電極墊 331，例如，該第一晶片 34a 之底面具有電極墊 331，以電性連接該內層散熱板 3 之導電通孔 32；該第二晶片 34b 之頂面具有電極墊 331，以電性連接該內層散熱板 3 之導電通孔 32，至於該第二晶片 34b 底面的電極墊 331 則可再接置並電性連接其他內層散熱板或電子元件，例如電路板或晶片等。而該內層散熱板 3 則可於多晶片堆疊結構內層提供快速散熱途徑，以避免夾設於中間層之晶片逐層傳熱，導致散熱不佳之缺失；此外，本發明係以具有氧化塊之金屬板體作為內層散熱板，亦可提供該多晶片堆疊封裝結構之整體結構剛性提升，以避免多晶片堆疊封裝結構之壓損可能性。

此外，復可包括形成底膠材料 36 於該內層散熱板 3 與第一晶片 34a 之間和該內層散熱板 3 與第二晶片 34b 之間，且包覆該第一凸塊 33a 及第二凸塊 33b。

復參閱第 3I 及 3I' 圖，係舉例說明本發明多晶片堆疊封裝結構之延伸堆疊態樣，但不以此為限。例如，如第二晶片 34b 之電子元件係以其頂面接置於該內層散熱板 3 上，且該第二晶片 34b 係以其底面透過例如為錫球之第三凸塊 33c 堆疊接置於一電路板 35 上，如第 3I 圖所示；或該第二晶片 34b 係以其底面疊接於另一內層散熱板 3' 上，且該內層散熱板 3' 底面疊接有另一電子元件，如第三晶片 34b'，而該第三晶片 34b' 底面透過例如為錫球之第三凸塊 33c 接置於電路板 35 上，如第 3I' 圖所示；其中，該電路板 35 可為主機板或封裝基板。

此外，復可包括形成底膠材料 36 於該電路板 35 與第二晶片 34b 之間，或電路板 35 與第三晶片 34b' 之間；或內層散熱板 3' 與第三晶片 34b' 及第二晶片 34b 之間，且其材質可與該內層散熱板 3 與第一晶片 34a 之間和該內層散熱板 3 與第二晶片 34b 之間的底膠材料 36 相同或不相同。

根據前述之製法，本發明復提供一種具內層散熱之多晶片堆疊封裝結構，係包括：內層散熱板 3，係具有相對相對之第一表面 3a 及第二表面 3b，且該內層散熱板 3 包括金屬板體 30 及貫穿該金屬板體 30 之複數導電通孔 32，各該導電通孔 32 包括形成有複數奈米孔洞 301a 之氧化塊 301，以及填入該奈米孔洞 301a 中之奈米線 301b；第一晶

片 34a，係接置於該內層散熱板 3 之第一表面 3a 上；以及如第二晶片 34b 之電子元件，係接置於該內層散熱板 3 之第二表面 3b 上，並電性連接該第一晶片 34a 及第二晶片 34b 至該導電通孔。

所述之內層散熱板 3 之材料係例如鋁之金屬板體 30；該氧化塊 301 之材料係例如氧化鋁。

此外，該內層散熱板 3 復包括第一凸塊 33a，係設於該導電通孔 32 之端面上。該第一晶片 34a 及第二晶片 34b 分別具有複數接置其上之第二凸塊 33b，以藉由各該第二凸塊 33b 對應電性連接至該內層散熱板 3 之導電通孔 32 端面的各該第一凸塊 33a。此外，如第二晶片 34b 之電子元件係以其頂面接置於該內層散熱板 3 上，且該多晶片堆疊封裝結構復可包括一電路板 35，係接置在該第二晶片 34b 底面下。

所述之多晶片堆疊封裝結構，復包括底膠材料 36，係形成於該內層散熱板 3 與第一晶片 34a 之間、該內層散熱板 3 與第二晶片 34b 之間以及該電路板 35 與第二晶片 34b 之間，且包覆該第一凸塊 33a 及第二凸塊 33b。

或者，如第二晶片 34b 之電子元件係以其頂面接置於該內層散熱板 3 上，又該第二晶片 34b 係可以其底面疊接於另一內層散熱板 3' 上，且該內層散熱板 3' 底面復可疊接有另一電子元件，如第三晶片 34b'，而該第三晶片 34b' 底面透係如錫球之第三凸塊 33c 接置於電路板 35 上，其中，該電路板 35 可為主機板或封裝基板。

本發明之內層散熱板結構暨具內層散熱之多晶片堆疊封裝結構及其製法，係提供一具有相對之兩表面及複數導電通孔之內層散熱板，且於該導電通孔中佈設有複述奈米線。於該內層散熱板之兩表面上分別接置至少一晶片，且各該晶片電性連接至該導電通孔，俾於該些堆疊之晶片夾設該內層散熱板，以藉由該內層散熱板提供位處中間位置之晶片的快速散熱途徑，以免除夾設於中間層之晶片逐層傳熱，導致散熱不佳之缺失；此外，本發明係以具有氧化塊之金屬板體作為散熱板，亦可提供該多晶片堆疊封裝結構之整體剛性提升，以避免多晶片堆疊封裝結構之半導體晶片裂損可能性。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【圖式簡單說明】

第 1 圖係為習知半導體晶片之堆疊封裝結構的剖視示意圖；

第 2A 及 2B 圖係為習知堆疊穿孔晶片之封裝結構的剖視示意圖；其中，該第 2B 圖係為第 2A 圖之另一實施態樣；以及

第 3A 至 3I 圖係為本發明內層散熱板結構及具內層散熱之多晶片堆疊封裝結構的製法剖視示意圖；其中，第

3D-1、3E-1 及 3F-1 分別為第 3D、3E 及 3F 圖之局部放大圖；第 3I'圖係為第 3I 圖之另一實施態樣。

【主要元件符號說明】

- 10 封裝基板
- 110 錫球
- 11 第一半導體晶片
- 12 第二半導體晶片
- 13 第三半導體晶片
- 14 鐳線
- 20 封裝基板
- 21 TSV 晶片
- 210 錫球
- 22 半導體晶片
- 23 金屬散熱片
- 3、3' 內層散熱板
- 3a 第一表面
- 3b 第二表面
- 30 金屬板體
- 300 穿孔
- 301 氧化塊
- 301a 奈米孔洞
- 301b 奈米線
- 31 阻層
- 310 開孔

- 32 導電通孔
- 331 電極墊
- 33a 第一凸塊
- 33b 第二凸塊
- 33c 第三凸塊
- 33d 金屬柱
- 34a 第一晶片
- 34b 第二晶片
- 34b' 第三晶片
- 35 電路板
- 36 底膠材料

七、申請專利範圍：

1. 一種內層散熱板結構，係包括：

金屬板體；以及

複數導電通孔，係貫穿該金屬板體，各該導電通孔係包括具有複數奈米孔洞之氧化塊及填入該奈米孔洞中之奈米線。

2. 如申請專利範圍第 1 項所述之內層散熱板結構，其中，形成該金屬板體之材料係為鋁，形成該氧化塊之材料係為氧化鋁。

3. 如申請專利範圍第 1 項所述之內層散熱板結構，復包括複數第一凸塊，係分別設於該導電通孔之端面上。

4. 如申請專利範圍第 1 項所述之內層散熱板結構，其中，各該奈米線之寬度係小於或等於 100 奈米，或者各該奈米線之深寬比大於 1000。

5. 如申請專利範圍第 1 項所述之內層散熱板結構，其中，該奈米線之材質為銅、鎳、鉑或金。

6. 一種多晶片堆疊封裝結構，係包括：

內層散熱板，係具有相對之第一表面及第二表面，且係包括金屬板體及貫穿該金屬板體之複數導電通孔，各該導電通孔包括具有複數奈米孔洞之氧化塊及填入該奈米孔洞中之奈米線；

第一晶片，係接置於該內層散熱板之第一表面上；
以及

電子元件，係接置於該內層散熱板之第二表面上。

7. 如申請專利範圍第 6 項所述之多晶片堆疊封裝結構，其中，形成該金屬板體之材料係為鋁，形成該氧化塊之材料係為氧化鋁。
8. 如申請專利範圍第 6 項所述之多晶片堆疊封裝結構，其中，該內層散熱板復包括第一凸塊，係設於該導電通孔之端面上。
9. 如申請專利範圍第 8 項所述之多晶片堆疊封裝結構，其中，該第一晶片及電子元件分別具有複數接置其上之第二凸塊，以藉由各該第二凸塊對應電性連接至該內層散熱板之導電通孔端面的各該第一凸塊。
10. 如申請專利範圍第 6 項所述之多晶片堆疊封裝結構，其中，該電子元件為電路板或第二晶片。
11. 如申請專利範圍第 10 項所述之多晶片堆疊封裝結構，其中，該電子元件為第二晶片，且該第二晶片係以其頂面接置於該內層散熱板上，且該多晶片堆疊封裝結構復包括一電路板，係接置在該第二晶片底面下。
12. 如申請專利範圍第 11 項所述之多晶片堆疊封裝結構，復包括底膠材料，係形成於該內層散熱板與第一晶片之間、該內層散熱板與第二晶片之間以及該電路板與第二晶片之間。
13. 如申請專利範圍第 6 項所述之多晶片堆疊封裝結構，復包括另一內層散熱板，係疊接在該電子元件之底面下。
14. 如申請專利範圍第 6 項所述之多晶片堆疊封裝結構，其中，各該奈米線之寬度係小於或等於 100 奈米，或者各

該奈米線之深寬比大於 1000。

15. 如申請專利範圍第 6 項所述之多晶片堆疊封裝結構，其中，該奈米線之材質為銅、鎳、鉑或金。

16. 一種多晶片堆疊封裝結構之製法，係包括：

提供一具有相對之第一表面及第二表面之內層散熱板，其中，該內層散熱板包括金屬板體、及複數貫穿該金屬板體之導電通孔，且該導電通孔係包括形成有複數奈米孔洞之氧化塊及填入該奈米孔洞中之奈米線；以及

於該內層散熱板之第一表面及第二表面上分別接置第一晶片及電子元件，並電性連接該第一晶片及電子元件至該導電通孔。

17. 如申請專利範圍第 16 項所述之多晶片堆疊封裝結構之製法，其中，形成該金屬板體之材料係為鋁，形成該氧化塊之材料係為氧化鋁。

18. 如申請專利範圍第 16 項所述之多晶片堆疊封裝結構之製法，其中，該導電通孔之製法，係包括：

於該金屬板體之一表面上形成具有複數開孔之阻層，以令部份之金屬板體外露於該開孔中；

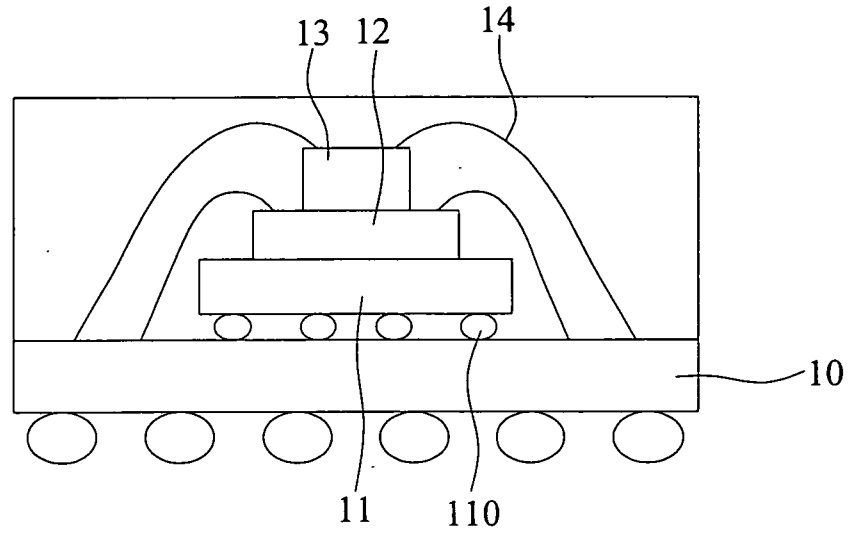
對該外露於開孔中之金屬板體進行氧化處理，使該金屬板體對應該開孔之部位的金屬氧化而形成為氧化塊；

進行圖案化製程以蝕刻該氧化塊，以於該氧化塊中形成複數奈米孔洞；

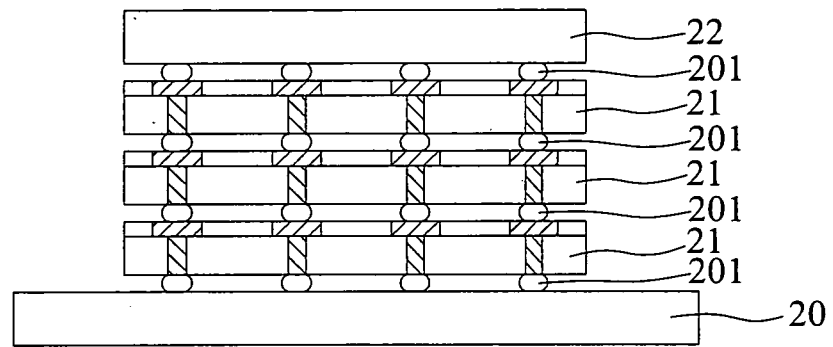
- 於該奈米孔洞中形成奈米線；以及
- 使該氧化塊及奈米線皆露出該金屬板體，以形成導電通孔。
19. 如申請專利範圍第 18 項所述之多晶片堆疊封裝結構之製法，復包括於使該氧化塊及奈米線皆露出該金屬板體之前或之後，移除該阻層。
 20. 如申請專利範圍第 18 項所述之多晶片堆疊封裝結構之製法，其中，使該氧化塊及奈米線露出該金屬板體之步驟係以研磨或蝕刻該未具有阻層之另一金屬板體表面，以露出該氧化塊及奈米線。
 21. 如申請專利範圍第 18 項所述之多晶片堆疊封裝結構之製法，復包括於各該導電通孔的端面上形成第一凸塊。
 22. 如申請專利範圍第 20 項所述之多晶片堆疊封裝結構之製法，其中，該第一晶片及電子元件分別以複數第二凸塊對應電性連接至該內層散熱板之導電通孔端面的各該第一凸塊。
 23. 如申請專利範圍第 16 項所述之多晶片堆疊封裝結構之製法，其中，該電子元件為電路板或第二晶片。
 24. 如申請專利範圍第 23 項所述之多晶片堆疊封裝結構之製法，其中，該電子元件為第二晶片，且該第二晶片係以其頂面接置於該內層散熱板上，且復包括將一電路板接置在該第二晶片底面下。
 25. 如申請專利範圍第 24 項所述之多晶片堆疊封裝結構之製法，復包括形成底膠材料於該內層散熱板與第一晶片

之間、該內層散熱板與第二晶片之間以及該電路板與第二晶片之間。

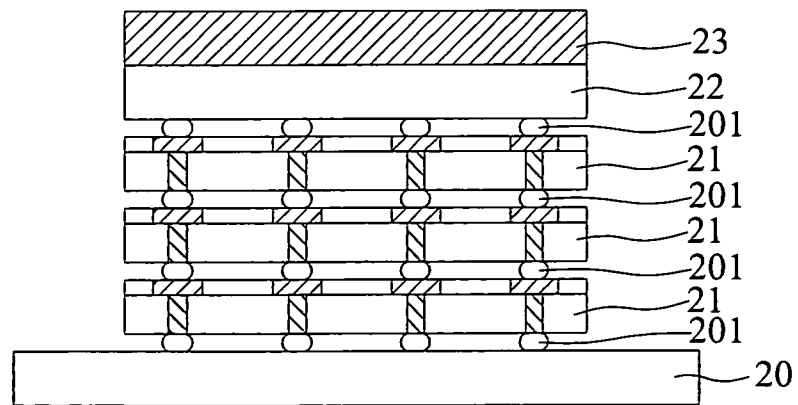
26. 如申請專利範圍第 16 項所述之多晶片堆疊封裝結構之製法，復包括將該電子元件以其底面疊接於另一內層散熱板上。



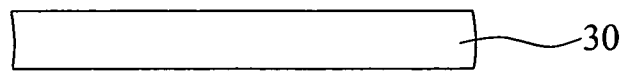
第1圖



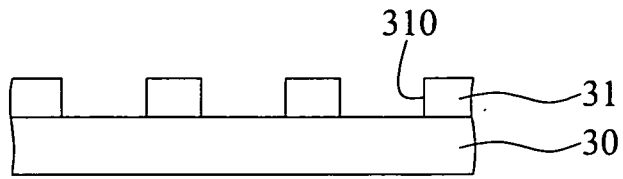
第2A圖



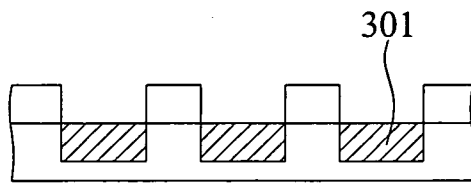
第2B圖



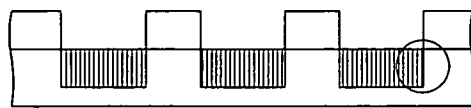
第3A圖



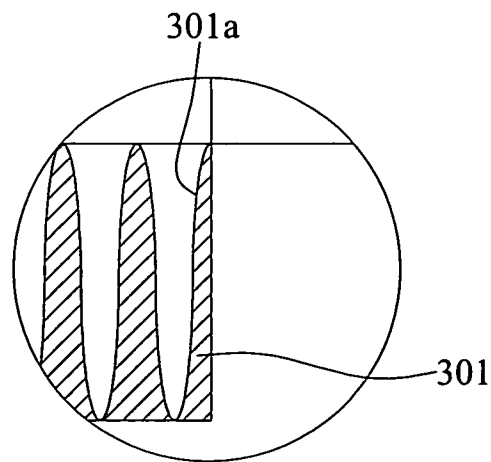
第3B圖



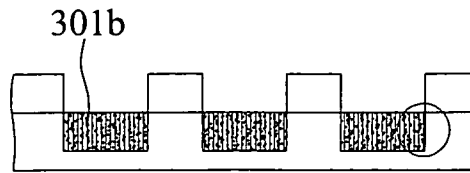
第3C圖



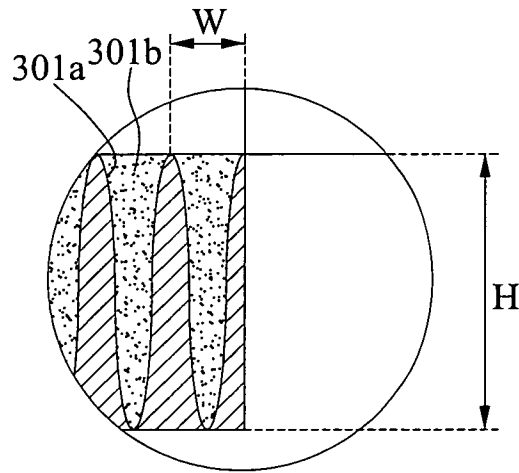
第3D圖



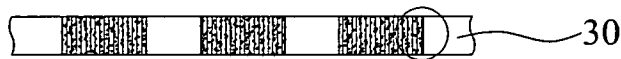
第3D-1圖



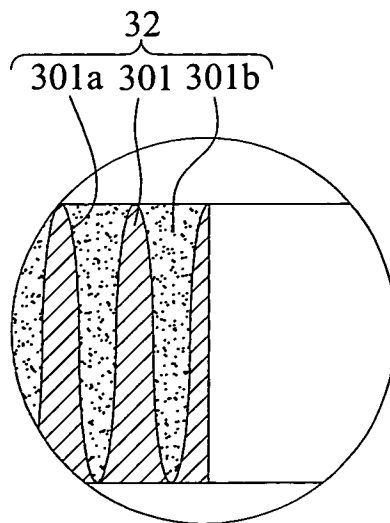
第3E圖



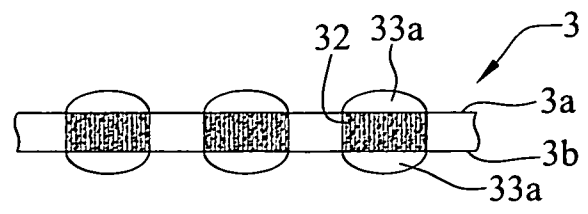
第3E-1圖



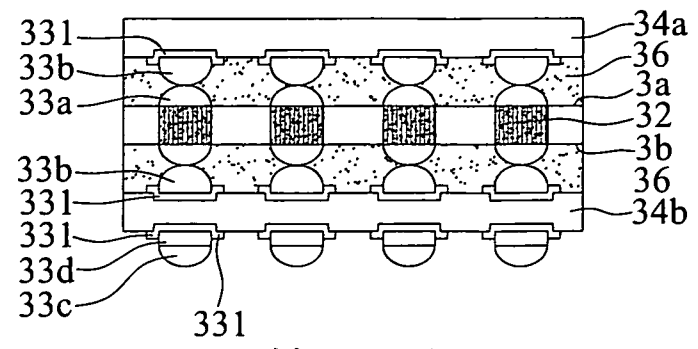
第3F圖



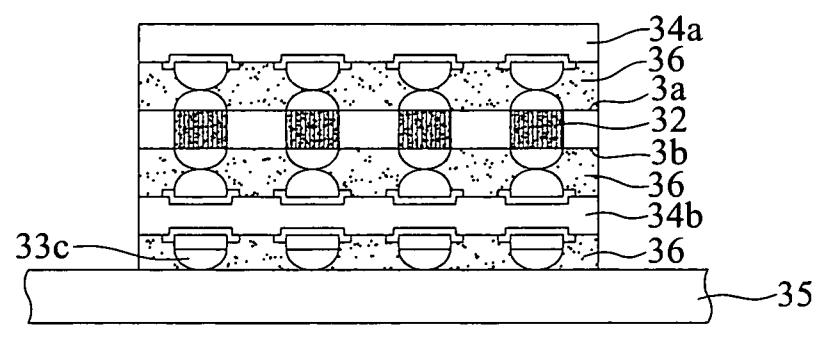
第3F-1圖



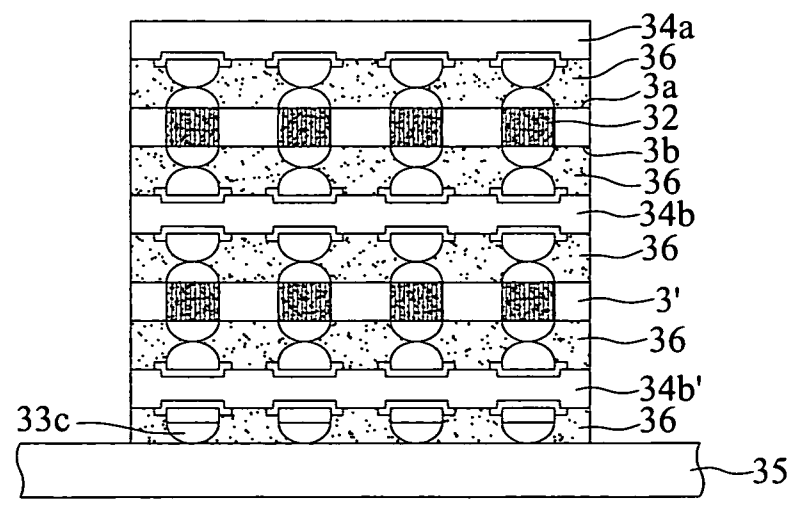
第3G圖



第3H圖



第3I圖



第3I'圖