



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년03월27일
 (11) 등록번호 10-1248163
 (24) 등록일자 2013년03월21일

(51) 국제특허분류(Int. Cl.)
 H01L 31/042 (2006.01)
 (21) 출원번호 10-2009-0085211
 (22) 출원일자 2009년09월10일
 심사청구일자 2011년06월09일
 (65) 공개번호 10-2011-0027218
 (43) 공개일자 2011년03월16일
 (56) 선행기술조사문헌
 JP2007088254 A*
 JP2009524916 A
 KR1020090085136 A
 KR1020110020062 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지전자 주식회사
 서울특별시 영등포구 여의대로 128 (여의도동)
 (72) 발명자
김선영
 서울특별시 서초구 바우피로 38, LG전자 전자기술원 (우면동)
최영호
 서울특별시 서초구 바우피로 38, LG전자 전자기술원 (우면동)
 (74) 대리인
특허법인로알

전체 청구항 수 : 총 15 항

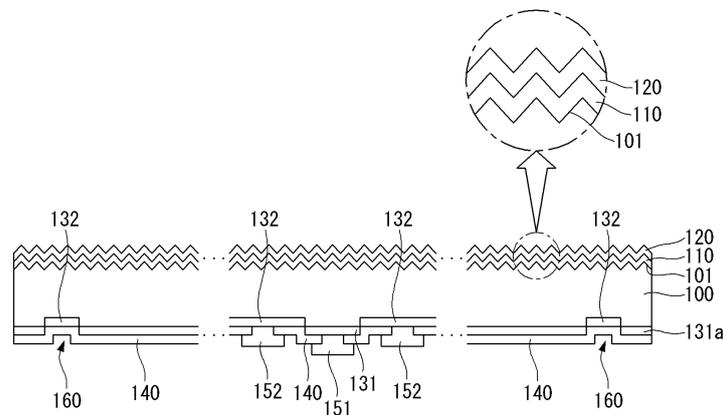
심사관 : 김민수

(54) 발명의 명칭 **이면 접합형 태양 전지 및 그 제조 방법**

(57) 요약

본 발명은 이면 접합형 태양 전지 및 그 제조 방법에 관한 것으로, 본 발명의 실시예에 따른 이면 접합형 태양 전지는 반도체 기판의 한쪽 면에 형성되는 제1 전도성 타입의 제1 도핑부; 제1 도핑부와 인접한 위치의 반도체 기판에 형성되며, 제1 전도성 타입과 반대의 전도성 타입을 갖는 제2 전도성 타입의 제2 도핑부; 제1 및 제2 도핑부의 일부를 노출하는 콘택홀을 갖는 후면 보호막; 콘택홀을 통해 노출된 제1 도핑부 위에 형성되는 제1 전극; 콘택홀을 통해 노출된 제2 도핑부 위에 형성되는 제2 전극; 반도체 기판의 상기 한쪽 면에 형성되는 정렬 마크; 및 제1 및 제2 도핑부가 형성된 면의 반대쪽에 위치하는 반도체 기판의 수광면에 형성된 텍스처링 표면을 포함한다. 여기에서 정렬 마크가 형성된 영역의 반도체 기판의 표면은 텍스처링 표면과 서로 다른 형태로 형성된다. 예컨대, 텍스처링 표면은 이방성(anisotropic)으로 식각된 식각면을 포함하며, 정렬 마크가 형성된 영역의 반도체 기판의 표면은 랜덤(random) 또는 등방성(isotropic)으로 식각된 식각면을 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

반도체 기관의 한쪽 면에 형성되는 제1 전도성 타입의 제1 도핑부;

제1 도핑부와 인접한 위치의 반도체 기관에 형성되며, 제1 전도성 타입과 반대의 전도성 타입을 갖는 제2 전도성 타입의 제2 도핑부;

상기 제1 및 제2 도핑부의 일부를 노출하는 콘택홀을 갖는 후면 보호막;

상기 콘택홀을 통해 노출된 제1 도핑부 위에 형성되는 제1 전극;

상기 콘택홀을 통해 노출된 제2 도핑부 위에 형성되는 제2 전극;

상기 반도체 기관의 상기 한쪽 면에 형성되는 정렬 마크; 및

상기 제1 및 제2 도핑부가 형성된 면의 반대쪽에 위치하는 상기 반도체 기관의 수광면에 형성된 텍스처링 표면을 포함하며,

상기 정렬 마크가 형성된 영역의 상기 반도체 기관의 표면은 상기 텍스처링 표면과 서로 다른 형태의 식각면을 가지며,

상기 제1 도핑부와 상기 제2 도핑부는 상기 반도체 기관의 서로 다른 기준면 상에 위치하는 이면 접합형 태양 전지.

청구항 2

제1항에서,

상기 텍스처링 표면은 이방성(anisotropic)으로 식각된 식각면을 포함하고, 상기 정렬 마크가 형성된 영역의 상기 반도체 기관의 표면은 랜덤(random) 또는 등방성(isotropic)으로 식각된 식각면을 포함하는 이면 접합형 태양 전지.

청구항 3

제1항 또는 제2항에서,

상기 텍스처링 표면에는 전면 전계부가 형성되는 이면 접합형 태양 전지.

청구항 4

제3항에서,

상기 전면 전계부에는 반사 방지막이 형성되는 이면 접합형 태양 전지.

청구항 5

반도체 기관에 제1 전도성 타입의 제1 도핑부 및 정렬 마크를 동시에 형성하는 단계;

상기 제1 도핑부를 제외한 영역의 상기 반도체 기관에 제2 도핑부를 형성하는 단계;

상기 제1 및 제2 도핑부의 일부를 노출하는 콘택홀을 갖는 후면 보호막을 형성하는 단계; 및

상기 콘택홀을 통해 상기 제1 및 제2 도핑부와 전기적으로 각각 연결되는 제1 전극 및 제2 전극을 형성하는 단계

를 포함하는 이면 접합형 태양 전지의 제조 방법.

청구항 6

제5항에서,

상기 제1 도핑부 및 정렬 마크를 동시에 형성하는 단계는,

상기 반도체 기판에 제1 전도성 타입의 제1 도핑막을 형성하는 단계;

상기 제1 도핑막 위에 절연막을 형성하는 단계;

제2 도핑부 형성 영역 및 정렬 마크 형성 영역을 정의하는 제1 마스크를 상기 절연막 위에 형성하는 단계;

상기 제1 마스크를 이용하여 상기 절연막을 선택적으로 제거함으로써, 상기 제1 마스크와 동일한 패턴의 제2 마스크를 형성하는 단계;

상기 제1 마스크를 제거하는 단계; 및

상기 제2 마스크를 이용하여 상기 제2 도핑부 형성 영역 및 정렬 마크 형성 영역의 제1 도핑막을 제거하여 상기 제1 도핑부 및 상기 정렬 마크를 형성하는 단계

를 포함하는 이면 접합형 태양 전지의 제조 방법.

청구항 7

제6항에서,

상기 정렬 마크 형성 영역의 제1 도핑막을 제거할 때, 상기 정렬 마크 형성 영역의 반도체 기판의 표면이 랜덤 또는 등방성으로 식각되는 이면 접합형 태양 전지의 제조 방법.

청구항 8

제6항에서,

상기 정렬 마크 형성 영역의 제1 도핑막을 제거할 때, 상기 반도체 기판의 수광면 표면이 이방성으로 식각되어 텍스처링 표면으로 형성되는 이면 접합형 태양 전지의 제조 방법.

청구항 9

제8항에서,

상기 제2 도핑부를 형성하는 단계는,

상기 제2 마스크에 의해 노출된 상기 제2 도핑부 형성 영역 및 정렬 마크 형성 영역의 반도체 기판에 제2 전도성 타입의 불순물을 주입하는 단계; 및

상기 제2 마스크를 제거하는 단계

를 포함하는 이면 접합형 태양 전지의 제조 방법.

청구항 10

제9항에서,

상기 제2 전도성 타입의 불순물을 주입하는 단계에서는 상기 제2 전도성 타입의 불순물이 상기 텍스처링 표면에 도 주입되어 전면 전계부가 형성되는 이면 접합형 태양 전지의 제조 방법.

청구항 11

제5항 내지 제 10항 중 어느 한 항에서,

상기 후면 보호막을 형성하는 단계는,

상기 제1 및 제2 도핑부와 정렬 마크 위에 후면 보호막을 형성하는 단계;

상기 정렬 마크를 이용한 정렬 작업을 실시하는 단계; 및

상기 제1 및 제2 도핑부의 일부를 노출하는 콘택홀을 형성하는 단계

를 포함하는 이면 접합형 태양 전지의 제조 방법.

청구항 12

제11항에서,

상기 콘택홀을 형성하기 전에 상기 전면 전계부 위에 반사방지막을 더욱 형성하는 이면 접합형 태양 전지의 제조 방법.

청구항 13

- (a) 반도체 기관의 한쪽 면에 제1 전도성 타입의 제1 도핑막을 형성하는 단계;
 - (b) 상기 제1 도핑막 위에 절연막을 형성하는 단계;
 - (c) 제2 도핑부 형성 영역 및 정렬 마크 형성 영역을 정의하는 제1 마스크를 상기 절연막 위에 형성하는 단계;
 - (d) 상기 제1 마스크를 이용하여 상기 절연막을 선택적으로 제거함으로써, 상기 제1 마스크와 동일한 패턴의 제2 마스크를 형성한 후 상기 제1 마스크를 제거하는 단계;
 - (e) 상기 제2 마스크를 이용하여 상기 제2 도핑부 형성 영역 및 정렬 마크 형성 영역의 제1 도핑막을 제거하여 제1 도핑부 및 정렬 마크를 형성하고, 상기 반도체 기관의 수광면을 텍스처링 표면으로 형성하는 단계;
 - (f) 상기 제2 마스크에 의해 노출된 상기 제2 도핑부 형성 영역 및 정렬 마크 형성 영역의 반도체 기관과 상기 텍스처링 표면에 제2 전도성 타입의 불순물을 주입하여 제2 도핑부 및 전면 전계부를 형성한 후, 상기 제2 마스크를 제거하는 단계;
 - (g) 상기 제1 및 제2 도핑부와 정렬 마크 위에 후면 보호막을 형성하는 단계;
 - (h) 상기 전면 전계부 위에 반사방지막을 형성하는 단계;
 - (i) 상기 정렬 마크를 이용하여 상기 제1 및 제2 도핑부의 일부를 노출하는 콘택홀을 형성하는 단계; 및
 - (j) 상기 콘택홀을 통해 상기 제1 및 제2 도핑부와 전기적으로 각각 연결되는 제1 전극 및 제2 전극을 형성하는 단계
- 를 포함하는 이면 접합형 태양 전지의 제조 방법.

청구항 14

제13항에서,

상기 단계 (e)에서, 상기 정렬 마크가 형성된 영역의 상기 반도체 기관의 표면은 상기 텍스처링 표면과 서로 다른 형태로 식각되는 이면 접합형 태양 전지의 제조 방법.

청구항 15

제14항에서,

상기 텍스처링 표면은 이방성(anisotropic)으로 식각된 식각면을 포함하고, 상기 정렬 마크가 형성된 영역의 상기 반도체 기관의 표면은 랜덤(random) 또는 등방성(isotropic)으로 식각된 식각면을 포함하는 이면 접합형 태양 전지의 제조 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 이면 접합형 태양 전지 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 최근 석유나 석탄과 같은 기존 에너지 자원의 고갈이 예측되면서 이들을 대체할 신재생 에너지에 대한 관심이 높아지면서, 태양 에너지로부터 전기 에너지를 생산하는 태양 전지가 주목받고 있다.

[0003] 일반적인 태양 전지는 p형과 n형처럼 서로 다른 도전성 타입(conductive type)의 반도체로 각각 이루어지는 기

판(substrate) 및 에미터부(emitter layer), 그리고 기판과 에미터부에 각각 연결된 전극을 구비한다. 이때, 기판과 에미터부의 계면에는 p-n 접합이 형성된다.

- [0004] 이러한 태양 전지에 빛이 입사되면 반도체 내부의 전자가 광전 효과(photoelectric effect)에 의해 자유전자(free electron)(이하, '전자'라 함)가 되고, 전자와 정공은 p-n 접합의 원리에 따라 n형 반도체와 p형 반도체 쪽으로, 예를 들어 에미터부와 기판 쪽으로 각각 이동한다. 그리고 이동한 전자와 정공은 기판 및 에미터부에 전기적으로 연결된 각각의 전극에 의해 수집된다.
- [0005] 한편, 근래에는 전자용 전극과 정공용 전극을 기판의 후면, 즉 빛이 입사되지 않는 면에 모두 형성함으로써 수광 면적을 증가시켜 태양 전지의 효율을 향상시키는 이면 집합형 태양 전지(interdigitated back contact solar cell)가 개발되고 있다.
- [0006] 그런데 위에서 언급한 바와 같이 이면 집합형 태양 전지는 p-n 접합 및 각 전극이 모두 기판의 후면에 배치되어 있어야 하므로, p형 불순물과 n형 불순물을 구별하여 도핑(doping)하기 위해서는 패터닝(patterning) 공정이 필요하다. 따라서 이면 집합형 태양 전지를 제조하기 위해서는 각 층(layer)을 정렬하기 위한 정렬 작업이 필수적으로 요구된다.
- [0007] 이에, 종래에는 정렬 작업을 위한 정렬 마크(alignment mark)를 레이저 또는 식각에 의해 반도체 기판에 먼저 형성하고, 상기 정렬 마크를 이용하여 각 층을 형성하고 있다.
- [0008] 한편, 태양 전지의 제조 단가를 낮추어 상용화 시기를 앞당기기 위해서는 제조 공정을 효율화하거나 태양 전지의 효율을 높이는 것이 중요하다. 그런데 종래의 제조 공정에 의하면 정렬 마크를 형성하기 위한 마스크를 별도로 구비해야 하며, 태양 전지를 제조하는 동안 3회 내지 4회의 정렬 작업이 이루어지게 된다.
- [0009] 예컨대, 종래의 제조 공정에 의하면, 반도체 기판과 다른 전도성 타입의 도핑부를 반도체 기판에 형성하기 위한 마스크(mask)를 형성하는 공정, 도핑부를 덮는 보호막에 상기 도핑부의 일부를 노출하기 위한 콘택홀을 형성하는 공정, 그리고 상기 콘택홀을 통해 노출된 도핑부에 전극을 형성하는 공정 등을 실시할 때 상기 정렬 마크를 이용한 정렬 작업을 실시하게 된다. 또한, 종래의 제조 공정은 정렬 마크를 형성하는 공정을 별도로 실시하고 있다. 따라서 종래의 제조 공정은 공정수 감소 및 공정 시간 단축이 어려우며, 정렬 마크 형성을 위한 마스크를 별도로 구비해야 하므로 제조 원가를 줄이는 데 한계가 있다.

발명의 내용

해결 하고자하는 과제

- [0010] 본 발명이 이루고자 하는 기술적 과제는 이면 집합형 태양 전지를 효과적으로 제조할 수 있는 제조 방법을 제공하는 것이다.
- [0011] 본 발명이 이루고자 하는 다른 기술적 과제는 상기 제조 방법에 의해 제조된 이면 집합형 태양 전지를 제공하는 것이다.

과제 해결수단

- [0012] 본 발명의 실시예에 따른 이면 집합형 태양 전지는 반도체 기판의 한쪽 면에 형성되는 제1 전도성 타입의 제1 도핑부; 제1 도핑부와 인접한 위치의 반도체 기판에 형성되며, 제1 전도성 타입과 반대의 전도성 타입을 갖는 제2 전도성 타입의 제2 도핑부; 제1 및 제2 도핑부의 일부를 노출하는 콘택홀을 갖는 후면 보호막; 콘택홀을 통해 노출된 제1 도핑부 위에 형성되는 제1 전극; 콘택홀을 통해 노출된 제2 도핑부 위에 형성되는 제2 전극; 반도체 기판의 상기 한쪽 면에 형성되는 정렬 마크; 및 제1 및 제2 도핑부가 형성된 면의 반대쪽에 위치하는 반도체 기판의 수광면에 형성된 텍스처링 표면을 포함한다.
- [0013] 여기에서 정렬 마크가 형성된 영역의 반도체 기판의 표면은 텍스처링 표면과 서로 다른 형태로 식각된 식각면을 포함한다. 예컨대, 텍스처링 표면은 이방성(anisotropic)으로 식각된 식각면을 포함한다. 그러나 정렬 마크가 형성된 영역의 반도체 기판의 표면은 랜덤(random) 또는 등방성(isotropic)으로 식각된 식각면을 포함하는데, 그 이유는 정렬 마크가 형성될 영역의 반도체 기판에 제1 도핑막이 형성되어 있고, 제1 도핑막이 제거되면서 정렬 마크가 형성되기 때문이다.
- [0014] 텍스처링 표면에는 제2 전도성 타입의 불순물이 주입된 전면 전계부가 형성될 수 있으며, 전면 전계부에는 반사 방지막이 더욱 형성될 수 있다.

- [0015] 이러한 구성의 이면 접합형 태양 전지는, 반도체 기판에 제1 전도성 타입의 제1 도핑부 및 정렬 마크를 동시에 형성하는 단계; 상기 제1 도핑부를 제외한 영역의 상기 반도체 기판에 제2 도핑부를 형성하는 단계; 상기 제1 및 제2 도핑부의 일부를 노출하는 콘택홀을 갖는 후면 보호막을 형성하는 단계; 및 상기 콘택홀을 통해 상기 제1 및 제2 도핑부와 전기적으로 각각 연결되는 제1 전극 및 제2 전극을 형성하는 단계를 포함하는 제조 방법에 의해 제조할 수 있다.
- [0016] 제1 도핑부 및 정렬 마크를 형성하는 단계는, 상기 반도체 기판에 제1 전도성 타입의 제1 도핑막을 형성하는 단계; 상기 제1 도핑막 위에 절연막을 형성하는 단계; 제2 도핑부 형성 영역 및 정렬 마크 형성 영역을 정의하는 제1 마스크를 상기 절연막 위에 형성하는 단계; 상기 제1 마스크를 이용하여 상기 절연막을 선택적으로 제거함으로써, 상기 제1 마스크와 동일한 패턴의 제2 마스크를 형성하는 단계; 상기 제1 마스크를 제거하는 단계; 및 상기 제2 마스크를 이용하여 상기 제2 도핑부 형성 영역 및 정렬 마크 형성 영역의 제1 도핑막을 제거하는 단계를 포함할 수 있다.
- [0017] 이와 같이 정렬 마크 형성 영역의 제1 도핑막을 제거할 때, 상기 정렬 마크 형성 영역의 반도체 기판의 표면은 랜덤(random) 또는 등방성(isotropic)으로 식각된 식각면으로 형성되며, 반도체 기판의 수광면 표면은 이방성으로 식각된 텍스처링 표면으로 형성된다.
- [0018] 제2 도핑부를 형성하는 단계는, 상기 제2 마스크에 의해 노출된 상기 제2 도핑부 형성 영역 및 정렬 마크 형성 영역의 반도체 기판에 제2 전도성 타입의 불순물을 주입하는 단계; 및 상기 제2 마스크를 제거하는 단계를 포함할 수 있다.
- [0019] 제2 전도성 타입의 불순물을 주입하는 단계에서는 텍스처링 표면에 전면 전계부를 형성하기 위해 제2 전도성 타입의 불순물이 텍스처링 표면에도 주입될 수 있다.
- [0020] 후면 보호막을 형성하는 단계는, 상기 제1 및 제2 도핑부와 정렬 마크 위에 후면 보호막을 형성하는 단계; 상기 정렬 마크를 이용한 정렬 작업을 실시하는 단계; 및 상기 제1 및 제2 도핑부의 일부를 노출하는 콘택홀을 형성하는 단계를 포함할 수 있다.
- [0021] 그리고 콘택홀을 형성하기 전에 상기 전면 전계부 위에 반사방지막을 더욱 형성할 수 있다.
- [0022] 보다 구체적으로, 상기 이면 접합형 태양 전지는, (a) 반도체 기판에 제1 전도성 타입의 제1 도핑막을 형성하는 단계; (b) 상기 제1 도핑막 위에 절연막을 형성하는 단계; (c) 제2 도핑부 형성 영역 및 정렬 마크 형성 영역을 정의하는 제1 마스크를 상기 절연막 위에 형성하는 단계; (d) 상기 제1 마스크를 이용하여 상기 절연막을 선택적으로 제거함으로써, 상기 제1 마스크와 동일한 패턴의 제2 마스크를 형성한 후 상기 제1 마스크를 제거하는 단계; (e) 상기 제2 마스크를 이용하여 상기 제2 도핑부 형성 영역 및 정렬 마크 형성 영역의 제1 도핑막을 제거하고, 상기 반도체 기판의 수광면을 텍스처링 표면으로 형성하는 단계; (f) 상기 제2 마스크에 의해 노출된 상기 제2 도핑부 형성 영역 및 정렬 마크 형성 영역의 반도체 기판과 상기 텍스처링 표면에 제2 전도성 타입의 불순물을 주입한 후, 상기 제2 마스크를 제거하는 단계; (g) 상기 제1 및 제2 도핑부와 정렬 마크 위에 후면 보호막을 형성하는 단계; (h) 상기 전면 전계부 위에 반사방지막을 형성하는 단계; (i) 상기 정렬 마크를 이용하여 상기 제1 및 제2 도핑부의 일부를 노출하는 콘택홀을 형성하는 단계; 및 (j) 상기 콘택홀을 통해 상기 제1 및 제2 도핑부와 전기적으로 각각 연결되는 제1 전극 및 제2 전극을 형성하는 단계를 포함하는 제조 방법에 의해 제조할 수 있다.
- [0023] 상기 단계 (e)에서, 상기 정렬 마크가 형성된 영역의 상기 반도체 기판의 표면은 상기 텍스처링 표면과 서로 다른 형태로 식각된 식각면을 포함할 수 있다. 예컨대 텍스처링 표면은 이방성(anisotropic)으로 식각된 식각면을 포함하고, 정렬 마크가 형성된 영역의 상기 반도체 기판의 표면은 랜덤(random) 또는 등방성(isotropic)으로 식각된 식각면을 포함한다.

효 과

- [0024] 이러한 특징에 의하면, 제1 도핑부를 형성하는 공정에서 정렬 마크를 제1 도핑부와 동시에 형성할 수 있으므로 정렬 마크를 별도의 공정에 의해 형성하는 종래의 제조 방법에 비해 공정수를 감소시키는 것이 가능하고, 정렬 마크를 형성하기 위한 마스크를 별도로 준비해야 할 필요가 없다.
- [0025] 또한 콘택홀 형성 공정 및 전극 형성 공정을 실시할 때만 정렬 마크를 이용한 정렬 작업을 실시하면 되므로, 종래의 제조 방법에 비해 정렬 작업을 줄일 수 있어 공정수를 더욱 감소시킬 수 있다.

[0026] 따라서 공정수 감소로 인한 공정 시간 단축이 가능하므로, 이면 접합형 태양 전지의 제조 원가를 절감할 수 있고 수율을 향상시킬 수 있어 이면 접합형 태양 전지를 효율적으로 제조할 수 있다.

발명의 실시를 위한 구체적인 내용

[0027] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 다양한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 부여하였다.

[0028] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

[0029] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 이면 접합형 태양 전지 및 그 제조 방법에 대하여 설명한다.

[0030] 먼저, 도 1을 참고로 하여 본 발명의 한 실시예에 따른 이면 접합형 태양 전지에 대하여 상세하게 설명한다.

[0031] 도 1은 본 발명의 실시예에 따른 태양 전지의 부분 단면도이다.

[0032] 도 1을 참고로 하면, 본 발명의 실시예에 따른 이면 접합형 태양 전지는 전도성 타입의 반도체 기관(100), 반도체 기관(100)의 한 면, 예컨대 수광면에 형성된 전면 전계부(110), 전면 전계부(110) 위에 형성된 반사 방지막(120), 반도체 기관(100)의 다른 면, 즉 이면에 형성되어 있고 제1 전도성 타입의 불순물이 고농도로 도핑된 제1 도핑부(131), 제1 도핑부(131)와 인접한 위치에서 반도체 기관(100)의 이면에 형성되고 제1 전도성 타입과 반대 타입인 제2 전도성 타입의 불순물이 고농도로 도핑된 제2 도핑부(132), 제1 도핑부(131)와 제2 도핑부(132)의 일부를 노출하는 콘택홀(도 2j의 141)을 갖는 후면 보호막(140), 후면 보호막(140)의 콘택홀을 통해 노출된 제1 도핑부(131)와 전기적으로 연결되는 정공용 전극(이하, "제1 전극"이라 함)(151), 그리고 후면 보호막(140)에 의해 노출된 제2 도핑부(132)와 전기적으로 연결되는 전자용 전극(이하, "제2 전극"이라 함)(152)을 구비한다.

[0033] 그리고 본 발명의 실시예에 따른 이면 접합형 태양 전지는 반도체 기관(100)의 이면에 형성된 적어도 2개 이상의 정렬 마크(160)를 더욱 구비한다.

[0034] 반도체 기관(100)의 수광면은 복수 개의 요철을 구비한 텍스처링 표면(texturing surface, 101)으로 형성된다. 따라서 전면 전계부(110) 및 반사 방지막(120)도 텍스처링 표면으로 형성된다.

[0035] 반도체 기관(100)은 제1 전도성 타입, 예를 들어 n형의 단결정질 실리콘으로 이루어진다. 하지만, 이와는 달리, 반도체 기관(100)은 p형의 전도성 타입을 가질 수 있고, 다결정 실리콘으로 이루어질 수 있다. 또한, 반도체 기관(100)은 실리콘 이외의 다른 반도체 물질로 이루어질 수도 있다.

[0036] 반도체 기관(100)의 수광면이 텍스처링 표면(101)으로 형성되므로, 빛의 흡수율이 증가하여 태양 전지의 효율이 향상된다.

[0037] 반도체 기관(100)의 텍스처링 표면(101)에 형성된 전면 전계부(110)는 인(P), 비소(As), 안티몬(Sb) 등과 같이 5가 원소의 불순물이 반도체 기관(100)보다 높은 고농도로 도핑된 막으로서, 후면 전계부(BSF: back surface field)와 유사한 전면 전계부(FSF: front surface field)로 작용한다. 따라서 입사되는 빛에 의해 분리된 전자와 정공이 반도체 기관(100)의 수광면 표면에서 재결합되어 소멸하는 것이 방지된다.

[0038] 전면 전계부(110)의 표면에 형성된 반사 방지막(120)은 실리콘 질화막(SiNx)이나 실리콘 산화막(SiO₂) 등으로 이루어진다. 반사 방지막(120)은 입사되는 태양광의 반사율을 줄이고 특정한 파장 영역의 선택성을 증가시켜, 태양 전지의 효율을 높인다.

[0039] 반도체 기관(100)의 이면에 형성된 제1 도핑부(131)에는 p형 불순물이 고농도로 도핑되어 있으며, 제2 도핑부(132)에는 n형 불순물이 반도체 기관(100)보다 높은 고농도로 도핑되어 있다. 따라서 제1 도핑부(131)는 n형의 반도체 기관(100)과 p-n 접합을 형성한다.

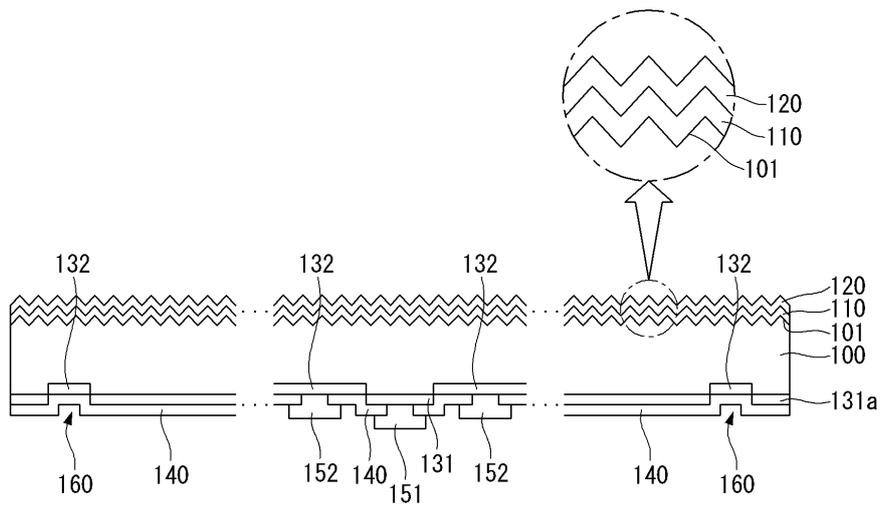
- [0040] 제1 도핑부(131)와 제2 도핑부(132)는 캐리어(정공과 전자)들의 이동 통로로서 작용하며, 정공과 전자가 각각 제1 도핑부(131)와 제2 도핑부(132) 방향으로 모이도록 한다.
- [0041] 제1 도핑부(131)와 제2 도핑부(132)의 일부분을 노출하기 위한 콘택홀(도 2j의 141)을 갖는 후면 보호막(140)은 실리콘 산화막(SiO_2), 실리콘 질화막(SiNx) 또는 이들의 조합 등으로 형성된다.
- [0042] 후면 보호막(140)은 전자와 정공으로 분리된 캐리어가 재결합되는 것을 방지하고 입사된 빛이 외부로 손실되지 않도록 태양 전지 내부로 반사시켜 외부로 손실되는 빛의 양을 감소시킨다. 후면 보호막(140)은 단일막으로 형성될 수 있지만, 이중막 또는 삼중막과 같은 다층 구조를 가질 수 있다.
- [0043] 후면 보호막(140)으로 덮여지지 않은 제1 도핑부(131)와 이 제1 도핑부(131)에 인접한 후면 보호막(140) 부분 위에는 제1 전극(151)이 형성되고, 후면 보호막(140)으로 덮여지지 않은 제2 도핑부(132)와 이 제2 도핑부(132)에 인접한 후면 보호막(140) 부분 위에는 제2 전극(152)이 형성된다.
- [0044] 따라서 제1 전극(151)은 제1 도핑부(131)와 전기적으로 연결되고, 제2 전극(152)은 제2 도핑부(132)와 전기적으로 연결된다. 제1 및 제2 전극(151, 152)은 일정 간격을 두고 한 방향으로 서로 평행하게 뻗어 있다.
- [0045] 제1 및 제2 전극(151, 152)의 일부가 후면 보호막(140)의 일부와 중첩되어 버스바(busbar) 영역으로 연결되므로, 외부 구동 회로 등과의 접속 시 접촉 저항 및 시리즈 저항이 줄어들어 셀 효율이 향상될 수 있다.
- [0046] 제1 및 제2 도핑부(131, 132)가 형성된 반도체 기판(100)의 이면에는 콘택홀(141) 및 전극들(151, 152)을 형성할 때 정렬 작업을 위해 사용되는 정렬 마크(160)가 형성된다.
- [0047] 정렬 마크(160)는 반도체 기판(100)을 식각하여 형성된 것으로, 그의 형상에는 제한이 없으며, 정확한 정렬 작업을 위해 2개 이상 형성되는 것이 바람직하다. 물론, 상기 정렬 마크(160)가 형성되는 위치 역시 제한적이지 않다.
- [0048] 그러면, 도 2a 내지 도 2j를 참고로 하여 본 발명의 실시예에 따른 이면 접합형 태양 전지의 제조 방법에 대하여 설명한다.
- [0049] 도 2a 내지 도 2j는 본 발명의 실시예에 따른 이면 접합형 태양 전지의 제조 방법을 순차적으로 나타낸 공정도이다.
- [0050] 도 2a를 참고로 하면, 먼저, 반도체 기판(100)의 이면에 p형 불순물(붕소, 갈륨, 인듐 등)을 도핑하여 제1 도핑막(131a)을 형성한다. 제1 도핑막(131a)을 형성하면, 제1 도핑막(131a)의 표면에는 BSG 막(도시하지 않음)이 형성된다.
- [0051] 반도체 기판(100)에 제1 도핑막(131a)을 형성하기 전에, 표면 결정 결함 제거(saw damage removal) 공정 및 기판 세정 공정 등을 실시하여 반도체 기판(100)의 표면 상태를 개선할 수 있다. 이들 공정은 해당 기술분야에 이미 알려진 공정들이므로, 본 명세서에서는 그에 대한 상세한 설명을 생략한다.
- [0052] 다음, 도 2b를 참고로 하면, 실리콘 산화막(SiO_2)과 같은 산화막을 고온에서 성장시켜 절연막(171)을 형성한다. 절연막(171)을 형성하는 작업은 대략 1,000 $^{\circ}\text{C}$ 에서 실시될 수 있다.
- [0053] 절연막(171)은 실리콘 질화막(SiNx)을 이용하여 형성할 수도 있고, 실리콘 산화막이나 실리콘 질화막과 같은 무기 절연체뿐만 아니라 유기 절연체로도 형성할 수 있다. 그리고 절연막(171)은 PECVD(Plasma Enhanced Chemical Vapor Deposition)와 같은 화학 기상 증착법을 이용하여 형성하는 것도 가능하다.
- [0054] 다음, 도 2c에 도시한 바와 같이, 제2 도핑부 형성 영역(A1) 및 정렬 마크 형성 영역(A2)을 정의하는 제1 마스크(180)를 절연막(171) 위에 형성한다. 여기에서, 제1 마스크(180)가 제2 도핑부 형성 영역(A1) 및 정렬 마크 형성 영역(A2)을 정의한다는 것은 추후 실시되는 식각 공정에서 제2 도핑부 형성 영역(A1) 및 정렬 마크 형성 영역(A2)에 형성된 제1 도핑막(131a)을 제거할 수 있도록 상기 영역이 오픈(open)된 것을 의미한다.
- [0055] 이러한 구성의 제1 마스크(180)는 절연막(171) 위에 감광막을 도포 및 경화한 후, 사진 공정을 이용하여 감광막을 패터닝하는 것에 따라 형성할 수 있다.
- [0056] 다음, 도 2d에 도시한 바와 같이, 제1 마스크(180)를 이용한 식각 공정을 실시하여 절연막(171)을 선택적으로 제거한다. 이때, 제1 도핑막(131a)의 표면에 형성되어 있던 BSG 막(도시하지 않음)도 제거된다.
- [0057] 절연막(171)을 제거하는 작업에는 불산계의 식각액을 사용할 수 있으며, 절연막(171)을 선택적으로 제거하면 제

1 마스크(180)와 동일한 패턴의 제2 마스크(170)가 형성된다.

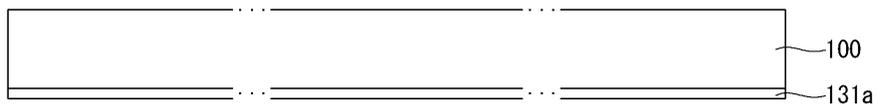
- [0058] 이어서, 도 2e 및 2f에 도시한 바와 같이 제1 마스크(180)를 제거하고, 제2 마스크(170)를 이용한 식각 공정을 실시한다.
- [0059] 제2 마스크(170)를 이용한 식각 공정은 제2 도핑부 형성 영역(A1)과 정렬 마크 형성 영역(A2)에 형성된 제1 도핑막(131a)을 제거함과 동시에, 반도체 기판(100)의 수광면 표면을 텍스처링 하여 텍스처링 표면(101)으로 형성하기 위해 실시하는 공정이다.
- [0060] 텍스처링은 일반적으로 알칼리 용액이 담긴 욕조(bath)에 일정 시간 동안 반도체 기판(100)을 담가 놓은 것으로 이루어진다.
- [0061] 일 예로, 텍스처링 작업은 약 80℃의 온도의 알칼리 용액에서 약 20분 내지 40분간 실시될 수 있다. 텍스처링 작업이 진행되면 제2 마스크(170)에 의해 보호되는 부분은 식각되지 않고, 제2 마스크(170)에 의해 보호되지 않는 부분, 예컨대 제2 도핑부 형성 영역(A1), 정렬 마크 형성 영역(A2) 및 반도체 기판(100)의 수광면이 식각된다.
- [0062] 알칼리 용액의 예로는 대략 2 중량%(wt%) 내지 5 중량%의 수산화칼륨(KOH)이나 수산화나트륨(NaOH) 용액을 사용할 수 있다.
- [0063] 이러한 텍스처링에 의해 반도체 기판(100)의 표면에 텍스처링 표면(101)이 형성되는 이유는 반도체 기판(100)의 결정 방향에 따라 식각 속도가 달라지기 때문이다. 즉 실리콘의 (100) 면보다 (111) 면이 더 느린 식각 속도를 가지기 때문에 (100) 단결정으로 이루어진 반도체 기판(100)의 표면에는 점점 피라미드 형태를 갖는 요철이 형성된다. 이때, 피라미드의 드러난 면은 (111) 면에 해당한다.
- [0064] 한편, 위에서 말한 바와 같이 제2 도핑부 형성 영역(A1)과 정렬 마크 형성 영역(A2)의 반도체 기판(100)에는 제1 도핑막(131a)이 형성되어 있다.
- [0065] 이와 같이, 텍스처링 작업을 실시하면 수광면의 텍스처링 표면(101)은 불순물이 도핑되지 않은 영역이므로 식각 정도가 매우 크고 비등방성 식각이 일어나 규칙적인 구조물 형태, 예컨대 피라미드 형태를 가지는 이방성(anisotropic) 구조로 형성된다.
- [0066] 하지만, 정렬 마크 형성 영역(A2)은 p형 불순물이 도포된 영역이므로 식각 정도가 텍스처링 표면(101)에 비해 상대적으로 느리고 특별한 방향성을 띠지 않고 식각이 이루어지게 된다. 따라서 정렬 마크 형성 영역(A2)의 반도체 기판(100)의 표면은 텍스처링 표면과는 다르게 등방성(isotropic) 또는 랜덤(random) 구조로 형성된다.
- [0067] 그리고 텍스처링 작업에 따라 제2 도핑부 형성 영역(A1) 및 정렬 마크 형성 영역(A2)의 반도체 기판(100)에 형성된 제1 도핑막(131a)이 제거되므로, 반도체 기판(100)에는 제1 도핑부(131)와 정렬 마크(160)가 각각 형성된다. 이때, 정렬 마크(160)는 BSG 막의 제거로 발생한 기판 표면의 단차에 더하여 반도체 기판(100)의 제1 도핑막(131a)이 더욱 식각되는 것에 따라 형성된다.
- [0068] 이러한 구성에 의하면, 정렬 마크(160)를 형성하는 공정이 텍스처링 표면(101)을 형성하는 공정 및 제2 도핑부 형성 영역(A1)의 제1 도핑막(131a)을 제거하는 공정과 동시에 이루어지므로, 정렬 마크(160)를 별도의 공정으로 형성하는 종래의 제조 방법에 비해 공정수를 감소시킬 수 있다.
- [0069] 다음으로, 도 2g 및 2h에 도시한 바와 같이 제2 마스크(170)에 의해 보호되지 않는 영역, 즉 제2 도핑부 형성 영역(A1) 및 정렬 마크 형성 영역(A2)의 반도체 기판과 텍스처링 표면(101)에 제2 전도성 타입의 n형 불순물(인(P), 비소(As), 안티몬(Sb) 등의 5가 원소)을 도핑한다.
- [0070] 제2 전도성 타입의 불순물을 텍스처링 표면(101)에 도핑하면, 텍스처링 표면(101)에는 전면 전계부(110)가 형성된다. 전면 전계부(FSF, 110)는 후면 전계부(BSF)와 유사한 작용을 하는 것으로, 입사되는 빛에 의해 분리된 전자와 정공이 반도체 기판(100)의 수광면 표면에서 재결합되어 소멸하는 것을 방지한다.
- [0071] 이어서 제2 마스크(170)를 제거하고, 반도체 기판(100)의 이면 전체에 후면 보호막(140)을 형성한다.
- [0072] 후면 보호막(140)은 실리콘 산화막(SiO₂)과 같은 산화막을 고온에서 성장시켜 형성할 수 있다. 고온 성장으로 원하는 두께만큼 후면 보호막(140)의 두께를 얻기 어렵거나 고온에서 장시간의 산화막 성장으로 인한 태양전지 소자의 특성 열화를 방지하고자 할 경우에는 PECVD(Plasma Enhanced Chemical Vapor Deposition)와 같은 화학 기상 증착법을 이용하여 실리콘 산화막(SiO₂)을 추가로 증착하는 것도 가능하다.

도면

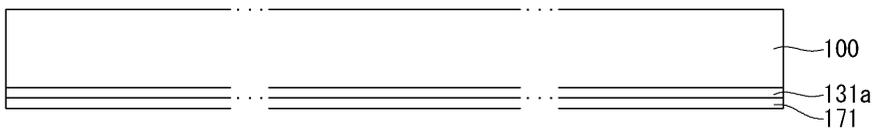
도면1



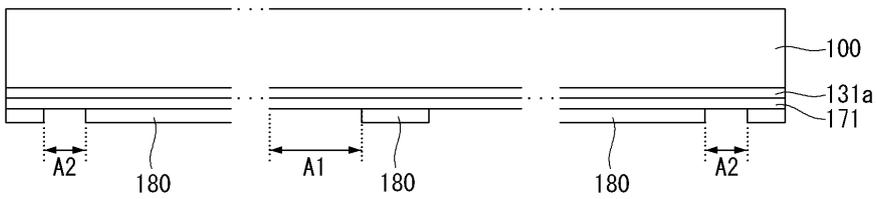
도면2a



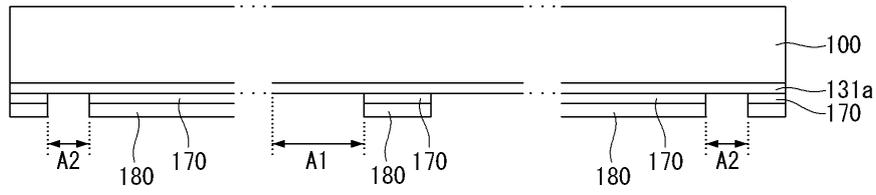
도면2b



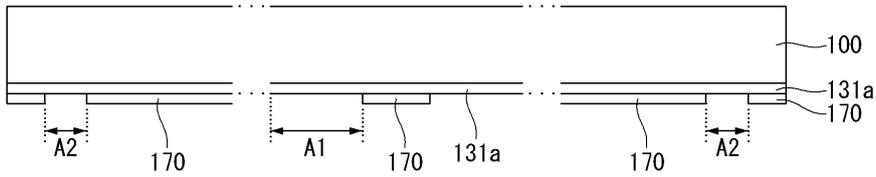
도면2c



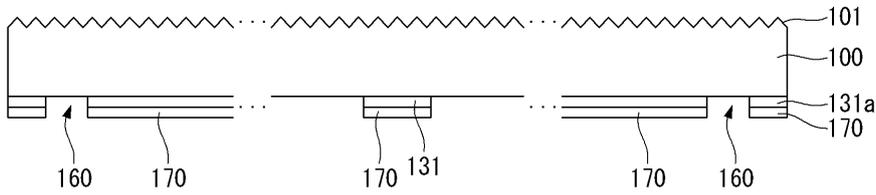
도면2d



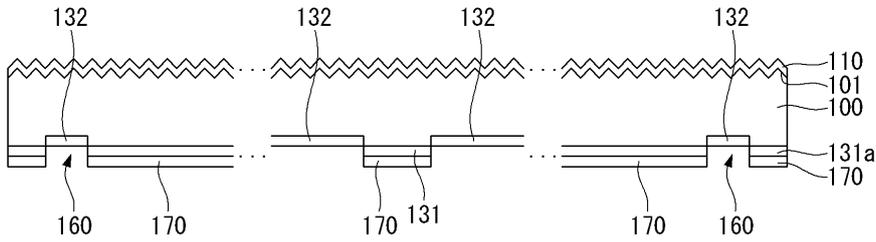
도면2e



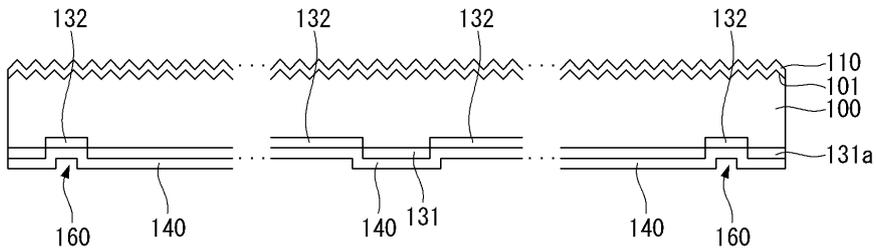
도면2f



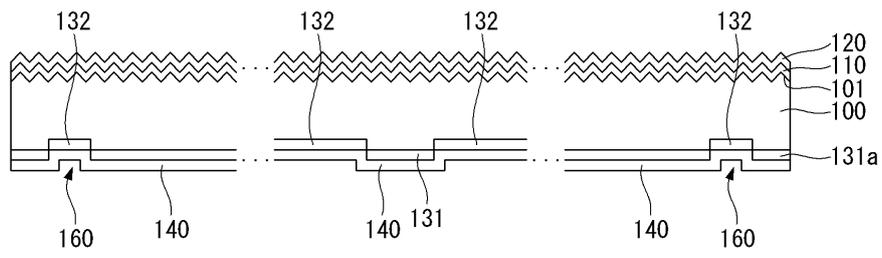
도면2g



도면2h



도면2i



도면2j

