

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2008年4月10日 (10.04.2008)

PCT

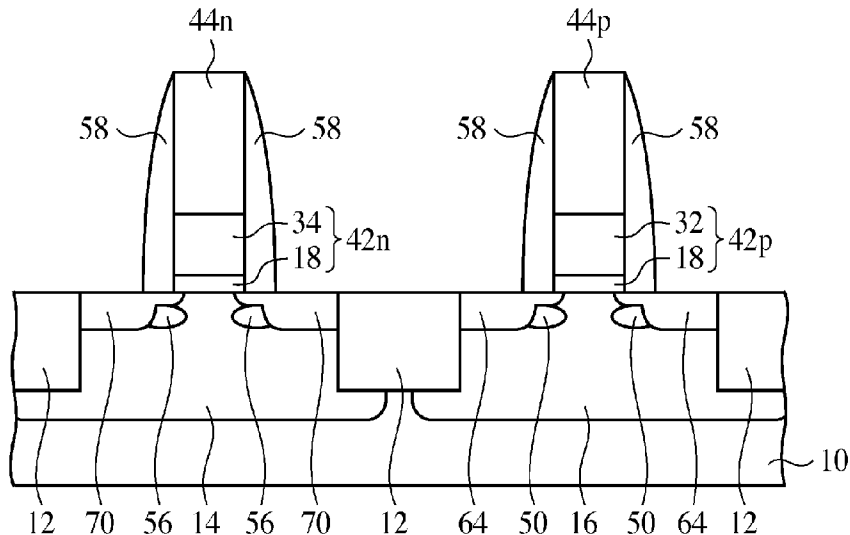
(10) 国際公開番号  
WO 2008/041275 A1

- (51) 国際特許分類:  
H01L 21/8238 (2006.01) H01L 29/423 (2006.01)  
H01L 21/283 (2006.01) H01L 29/49 (2006.01)  
H01L 27/092 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2006/319459
- (22) 国際出願日: 2006年9月29日 (29.09.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山口 正臣 (YAMAGUCHI, Masaomi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社
- 社内 Kanagawa (JP). 三島 康由 (MISHIMA, Yasuyoshi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 北野 好人 (KITANO, Yoshihito); 〒1600015 東京都新宿区大京町9番地 エクシード四谷2階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[ 続葉有 ]

(54) Title: SEMICONDUCTOR DEVICE AND PROCESS FOR PRODUCING THE SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A semiconductor device comprising an N-type transistor including gate insulating film (42n) superimposed on semiconductor substrate (10) and having metal oxide film (34) consisting of an oxide of hafnium and silicon or an oxynitride of hafnium and silicon and gate electrode (44n) superimposed on the gate insulating film (42n) and having a polysilicon film; and a P-type transistor including gate insulating film (42p) superimposed on the semiconductor substrate (10) and having metal oxide film (32) consisting of an oxide of hafnium, silicon and aluminum or an oxynitride of hafnium, silicon and aluminum and gate electrode (44p) superimposed on the gate insulating film (42p) and having a polysilicon film.

[ 続葉有 ]

WO 2008/041275 A1



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 国際調査報告書

---

(57) 要約: 半導体基板 10 上に形成され、ハフニウムとシリコンの酸化物又はハフニウムとシリコンの酸窒化物よりなる金属酸化膜 34 を有するゲート絶縁膜 42 n と、ゲート絶縁膜 42 n 上に形成されたポリシリコン膜を有するゲート電極 44 n とを有する N 型トランジスタと、半導体基板 10 上に形成され、ハフニウムとシリコンとアルミの酸化物又はハフニウムとシリコンとアルミの酸窒化物よりなる金属酸化膜 32 を有するゲート絶縁膜 42 p と、ゲート絶縁膜 42 p 上に形成されたポリシリコン膜を有するゲート電極 44 p とを有する P 型トランジスタとを有する。

## 明 細 書

### 半導体装置及びその製造方法

#### 技術分野

[0001] 本発明は、半導体装置及びその製造方法に係り、特に、高誘電率膜よりなるゲート絶縁膜を有するMIS型電界効果トランジスタを有する半導体装置及びその製造方法に関する。

#### 背景技術

[0002] LSIの高速化・集積化は、スケーリング則によるMIS型電界効果トランジスタ(Metal-Insulator-Semiconductor Field Effect Transistor:以下、MISFETという)の微細化によって進められてきた。すなわち、ゲート絶縁膜の膜厚やゲート長等のMISFETの各部分を、高さ方向と横方向の寸法を同時に縮小することで微細化時に素子の特性を正常に保ち、また性能を上げることを可能にしてきた。現在もMISFETは微細化の一途をたどっており、次世代MISFETとしてはシリコン酸化膜換算で1nm以下の膜厚を有するゲート絶縁膜が要求されている。

[0003] 従来より、ゲート絶縁膜としては、シリコン酸化物系の絶縁膜が広く用いられてきた。しかしながら、シリコン酸化物系の絶縁膜では膜厚が約3nm程度以下になるとトンネルリーク電流が顕著となり、絶縁膜としての機能を果たさなくなるという問題が指摘されている。このため、シリコン酸化物系の絶縁膜に代わる新しい材料によりシリコン酸化膜換算で1nm以下のゲート絶縁膜を形成することが検討されている。

[0004] シリコン酸化物系の絶縁膜に代わるゲート絶縁膜材料として、シリコン酸化膜よりも誘電率が高い材料(High-k材料)を用いることが検討されている。高誘電率材料を用いることにより、MIS容量を減少することなくゲート絶縁膜の物理膜厚を厚くすることができ、リーク電流を抑えることができる。

[0005] 例えばハフニウム(Hf)を含有したシリコン酸化物系絶縁膜(以下、HfSiO膜という)は、酸化シリコンに比べて数倍から10倍程度高い誘電率を有する高誘電率材料であり、次世代MISFETのゲート絶縁膜としての適用が期待されている。

[0006] また、ゲート電極としては、空乏化の防止や配線抵抗低減等の観点から、金属材料

を適用することが検討されている。しかしその一方、メタルゲートは耐熱性に乏しく更には仕事関数制御が困難である等の課題もあり、今後もポリシリコンゲートを使用する動きもある。

[0007] このため、次世代MISFETに向けて、HfSiO膜を有するゲート絶縁膜とポリシリコンよりなるゲート電極とを組み合わせさせたMISFETの研究開発が急務となっている。

特許文献1:特開2005-150737号公報

特許文献2:特開2002-280461号公報

発明の開示

発明が解決しようとする課題

[0008] HfSiO膜によってゲート絶縁膜を形成した場合、ポリシリコンよりなるゲート電極と組み合わせると、これらの相互作用によってN型ポリシリコンのフェルミ準位及びP型ポリシリコンのフェルミ準位がピン止めされたかのようにほぼ同じ位置に引き寄せられる現象が生じることが知られている。この現象は、フェルミレベルピニングと呼ばれている。

[0009] フェルミレベルピニングが発生すると、例えば、P型MISダイオードではフラットバンド電圧( $V_{fb}$ )が0.55V程度マイナス側にシフトし、N型MISダイオードではフラットバンド電圧が0.2V程度プラス側にシフトする。その結果、P型MISダイオードとN型MISダイオードとの間のフラットバンド電圧差は本来1.8Vあるべきところ、1.05V程度になってしまう。

[0010] このため、HfSiO膜を有するゲート絶縁膜とポリシリコンよりなるゲート電極とを組み合わせさせたMISFETでは、N型MISFETとP型MISFETの双方に対して良好なMIS特性を得ることが困難であった。

[0011] 本発明の目的は、高誘電率材料をゲート絶縁膜に用いたMISFETに関し、N型MISFET及びP型MISFETの双方についてフェルミレベルピニングを抑制して良好なMIS特性を有する半導体装置及びその製造方法を提供することにある。

課題を解決するための手段

[0012] 本発明の一観点によれば、半導体基板上に形成され、ハフニウムとシリコンの酸化物又はハフニウムとシリコンの酸窒化物よりなる第1の金属酸化膜を有する第1のゲ

ート絶縁膜と、前記第1のゲート絶縁膜上に形成されたポリシリコン膜を有する第1のゲート電極とを有するN型トランジスタと、前記半導体基板上に形成され、ハフニウムとシリコンとアルミの酸化物又はハフニウムとシリコンとアルミの酸窒化物よりなる第2の金属酸化膜を有する第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成されたポリシリコン膜を有する第2のゲート電極とを有するP型トランジスタとを有する半導体装置が提供される。

[0013] また、本発明の他の観点によれば、半導体基板上に、ハフニウムとシリコンの酸化物又はハフニウムとシリコンの酸窒化物よりなる金属酸化膜を形成する工程と、前記金属酸化膜の表面にアルミを付着する工程と、アルミを付着した前記金属酸化膜上にシリコン膜を形成する工程と、前記シリコン膜をパターニングし、前記シリコン膜よりなる第1のゲート電極を形成する工程とを有する半導体装置の製造方法が提供される。

#### 発明の効果

[0014] 本発明によれば、N型MISFETのゲート絶縁膜を、ハフニウム及びシリコンの酸化物又は酸窒化物よりなる金属酸化膜により構成し、P型MISFETのゲート絶縁膜を、ハフニウム、シリコン及びアルミの酸化物又は酸窒化物よりなる金属酸化膜により構成するので、ゲート電極をポリシリコン膜によって構成する場合にも、P型MISFET及びN型MISFETの双方のMIS特性を、ゲート絶縁膜としてシリコン酸化膜を用いた場合の理想的なMIS特性に等しくすることができる。これにより、高誘電率材料をゲート絶縁膜に用いたMISFETの高集積化及び高速化を容易に実現することができる。

#### 図面の簡単な説明

[0015] [図1]本発明の一実施形態による半導体装置の構造を示す概略断面図である。

[図2]ハフニウムを主成分としたシリコン酸化物系絶縁膜へのAl添加の効果を検証するために用いた評価試料の製造方法を示す工程断面図である。

[図3]Al付着処理を行った試料の表面状態をAES法により測定した結果を示すグラフである。

[図4]Al付着処理の処理時間とAl膜厚との関係を示すグラフである。

[図5]N型MISキャパシタのC-V測定結果を示すグラフである。

[図6]P型MISキャパシタのC-V測定結果を示すグラフである。

[図7]フラットバンド電圧とAl付着処理の処理時間との関係を示すグラフである。

[図8]MISFET形成過程におけるAlの拡散の様子をXPS分析により測定した結果を示すグラフである。

[図9]Al付着処理を行ったHfSiON膜上にポリシリコン膜を形成した後におけるAlの化学的結合状態をXPSにより測定した結果を示すグラフである。

[図10]ハフニウムを主成分としたシリコン酸化物系絶縁膜の熱窒化処理の効果を検証するために用いた評価試料の製造方法を示す工程断面図である。

[図11]フラットバンド電圧と熱窒化処理温度との関係を示すグラフである。

[図12]Al付着処理を行った後に熱窒化処理を行う場合と行わない場合とにおけるフラットバンド電圧とAl付着処理時間との関係を示すグラフである。

[図13]本発明の一実施形態による半導体装置の製造方法を示す工程断面図(その1)である。

[図14]本発明の一実施形態による半導体装置の製造方法を示す工程断面図(その2)である。

[図15]本発明の一実施形態による半導体装置の製造方法を示す工程断面図(その3)である。

[図16]本発明の一実施形態による半導体装置の製造方法を示す工程断面図(その4)である。

[図17]本発明の一実施形態による半導体装置の製造方法を示す工程断面図(その5)である。

[図18]本発明の一実施形態による半導体装置の製造方法を示す工程断面図(その6)である。

[図19]本発明の一実施形態による半導体装置の製造方法を示す工程断面図(その7)である。

[図20]本発明の一実施形態による半導体装置の製造方法を示す工程断面図(その8)である。

[図21]本発明の一実施形態による半導体装置の製造方法を示す工程断面図(その9)である。

[図22]本発明の一実施形態による半導体装置の製造方法を示す工程断面図(その10)である。

### 符号の説明

- [0016] 10…シリコン基板  
12…素子分離膜  
14…Pウェル  
16…Nウェル  
18…シリコン酸化膜  
20…HfSiO膜  
22, 30, 36, 40…ポリシリコン膜  
24, 28, 38, 46, 52, 60, 66…フォトレジスト膜  
26…Al膜  
32…HfSiAlO膜  
34…HfSiON膜  
42p, 42n…ゲート絶縁膜  
44p, 44n…ゲート電極  
48, 50, 54, 56, 62, 68…不純物領域  
58…側壁絶縁膜  
64, 70…ソース/ドレイン領域  
100…シリコン基板  
102…シリコン酸化膜  
104…HfSiON膜  
104a…HfSiAlON膜  
104b…熱窒化処理を行ったHfSiON膜  
106…ポリシリコン膜  
108…電極

## 発明を実施するための最良の形態

- [0017] 本発明の一実施形態による半導体装置及びその製造方法について図1乃至図22を用いて説明する。
- [0018] 図1は本実施形態による半導体装置の構造を示す概略断面図、図2は hafnium を主成分としたシリコン酸化物系絶縁膜への Al 添加の効果を検証するために用いた評価試料の製造方法を示す工程断面図、図3は Al 付着処理を行った試料の表面状態を AES 法により測定した結果を示すグラフ、図4は Al 付着処理の処理時間と Al 膜厚との関係を示すグラフ、図5及び図6は MIS キャパシタの C-V 測定結果を示すグラフ、図7はフラットバンド電圧と Al 付着処理の処理時間との関係を示すグラフ、図8は MISFET 形成過程における Al の拡散の様子を XPS 分析により測定した結果を示すグラフ、図9は Al 付着処理を行った HfSiON 膜上にポリシリコン膜を形成した後における Al の化学的結合状態を XPS により測定した結果を示すグラフ、図10は hafnium を主成分としたシリコン酸化物系絶縁膜の熱窒化処理の効果を検証するために用いた評価試料の製造方法を示す工程断面図、図11はフラットバンド電圧と熱窒化処理温度との関係を示すグラフ、図12は Al 付着処理を行った後に熱窒化処理を行う場合と行わない場合とにおけるフラットバンド電圧と Al 付着処理時間との関係を示すグラフ、図13乃至図22は本実施形態による半導体装置の製造方法を示す工程断面図である。
- [0019] はじめに、本実施形態による半導体装置の構造について図1を用いて説明する。
- [0020] シリコン基板10には、素子領域を画定する素子分離膜12が形成されている。図において、素子分離膜12により画定された左側の素子領域は N 型 MISFET 形成領域であり、素子分離膜12により画定された右側の素子領域は P 型 MISFET 形成領域である。
- [0021] N 型 MISFET 形成領域のシリコン基板10内には、P ウェル14が形成されている。P 型 MISFET 形成領域のシリコン基板10内には N ウェル16が形成されている。
- [0022] P 型 MISFET 形成領域のシリコン基板10上には、シリコン酸化膜18と HfSiSiO 膜32との積層膜よりなるゲート絶縁膜42p と、ゲート絶縁膜42p 上に形成されたゲート電極44p とが形成されている。ゲート電極44p の側壁部分には、側壁絶縁膜58が形



成されている。ゲート電極44pの両側のシリコン基板10内には、ポケット領域としての不純物領域50を有するソース/ドレイン領域64が形成されている。こうして、P型MISFET形成領域に、P型MISFETが形成されている。

[0023] N型MISFET形成領域のシリコン基板10上には、シリコン酸化膜18とHfSiON膜34との積層膜よりなるゲート絶縁膜42nと、ゲート絶縁膜42n上に形成されたゲート電極44nとが形成されている。ゲート電極44nの側壁部分には、側壁絶縁膜58が形成されている。ゲート電極44nの両側のシリコン基板10内には、ポケット領域としての不純物領域56を有するソース/ドレイン領域70が形成されている。こうして、N型MISFET形成領域に、N型MISFETが形成されている。

[0024] このように、本実施形態による半導体装置は、P型MISFETのゲート絶縁膜42pがシリコン酸化膜18とHfSiAlO膜32との積層膜により構成されており、N型MISFETのゲート絶縁膜42nがシリコン酸化膜18とHfSiON膜34との積層膜により構成されていることに主たる特徴がある。P型MISFETのゲート絶縁膜42pを構成するHfSiAlO膜32は、HfSiAlON膜でもよい。この場合、HfSiAlON膜の膜中の窒素濃度が10atm%以下である。また、N型MISFETのゲート絶縁膜を構成するHfSiON膜34は、膜中の窒素濃度が15atm%以上である。また、ゲート絶縁膜42p、42nの下層のシリコン酸化膜18は、シリコン酸窒化膜でもよい。

[0025] このようにしてP型MISFET及びN型MISFETのゲート絶縁膜44p、44nを構成することにより、ゲート電極44p、44nをポリシリコン膜によって構成する場合にも、P型MISFET及びN型MISFETの双方のMIS特性を、ゲート絶縁膜としてシリコン酸化膜を用いた場合の理想的なMIS特性に等しくすることができる。

[0026] 次に、本実施形態による半導体装置の効果について、本願発明者等が行った評価結果を交えて説明する。

[0027] はじめに、P型MISFETのゲート絶縁膜44pを構成するHfSiAlO膜32について説明する。以下、HfSiON膜の場合を例にして説明するが、HfSiO膜の場合も同様である。

[0028] ポリシリコンよりなるゲート電極とHfSiOよりなるゲート絶縁膜とを組み合わせることにより生じるピニングのメカニズムは、最近では、HfSiOから酸素原子が抜けて酸素

空孔が形成されることにあると言われている。酸素空孔の発生により生成した電子がポリシリコン中に移動し、界面で電子の分布状態が偏ることによって起こるとい説が有力になってきている。また、その他の説としてHf-Siの結合がピニングを引き起こすという説もある。Hf-Siの結合準位がバンドギャップ中に発生しピニングを引き起こすという説である。何れの説も決定的な証拠はないが、ポリシリコン/HfSiO界面に原因があると考えられる。

- [0029] 一方、Alは酸素と強く結合することが知られているほか、Siとも反応することが知られており、Alを添加することによって界面におけるSi, Hf, Oの結合状態に変化が生じることも考えられる。そこで、本願発明者等は、Alの添加によるピニング抑制の可能性に想到し、HfSiOへのAlの添加を試みた。また、界面におけるAl添加の作用を高めるため、HfSiO膜の堆積後にAlを付着する処理を試みた。
- [0030] 図2は、ハフニウムを主成分としたシリコン酸化物系絶縁膜へのAl添加の効果を検証するために用いた評価試料の製造方法を示す工程断面図である。
- [0031] まず、主表面が(100)面であるシリコン基板100を希弗酸により処理し、シリコン基板100表面の自然酸化膜(図示せず)を除去した。
- [0032] 次いで、自然酸化膜を除去したシリコン基板100を塩酸過酸化水(SC2)で洗浄し、シリコン基板100の表面に膜厚1nmのシリコン酸化膜102を形成した(図2(a))。
- [0033] 次いで、CVD法により、シリコン酸化膜102上に、膜厚4nmのHfSiON膜104を堆積した(図2(b))。HfSiON膜104は、ソースガスとして $\text{Hf}(\text{N}(\text{CH}_3)_2)_4$ 、 $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ 及びNOガスを、キャリアガスとして $\text{N}_2$ ガスを用い、基板温度を600°Cの条件で堆積した。このようにして形成したHfSiON膜は、 $(\text{Hf}_{0.6}\text{Si}_{0.4})(\text{O}_{0.9}\text{N}_{0.1})$ の組成を有する十分酸化した状態であった。
- [0034] 次いで、HfSiON膜104の表面にAlを付着するためのAl付着処理を行った(図2(c))。Al付着処理は、 $\text{Al}(\text{C}_4\text{H}_9)_3$ (TTBA:tris tertiary butyl aluminum)の液体原料を20°C50kPaの条件で300sccmの $\text{N}_2$ ガスでバブリングしたガスを、基板温度を600°Cに昇温したHfSiON膜104の表面に吹き付けることにより行った。
- [0035] 次いで、800°C、30秒間のポストデポアニールにより、HfSiON膜104の焼き締めを行った。

- [0036] 次いで、CVD法により、Al付着処理を施したHfSiON膜104上に、膜厚100nmのポリシリコン膜106を堆積した(図2(d))。ポリシリコン膜106の堆積の際、HfSiON膜104の表面に付着していたAlは、HfSiON膜104膜中に拡散する。これにより、HfSiON膜104は、HfSiAlON膜104aとなる。
- [0037] 次いで、イオン注入により、ポリシリコン膜106に、所定の導電型のドーパント不純物を添加した。
- [0038] 次いで、1050°C、1秒間のアニールを行い、ポリシリコン膜106に添加したドーパント不純物を活性化した。
- [0039] 次いで、ポリシリコン膜106をパターニングし、ポリシリコン膜106よりなり平面サイズが80  $\mu$  m  $\times$  80  $\mu$  mの電極108を形成した(図2(e))。
- [0040] こうして、シリコン酸化膜102及びHfSiAlON膜104aの積層膜をキャパシタ誘電体膜とするMISキャパシタを形成した。
- [0041] 図3は、Al付着処理を行った直後(図2(c)の工程の直後)の試料の表面状態をAES(Auger Electron Spectroscopy:オージェ電子分光)法により測定した結果を示すグラフである。
- [0042] 図3に示すように、オージェスペクトルにはHf, Si, O, Nの他にAl及びCのピークが観察され、Al付着処理によってHfSiON膜104上にAlが付着していることが判る。
- [0043] 図4はAl付着処理の処理時間とAl付着処理により形成されるAlの膜厚との関係を示すグラフである。Alの膜厚は、分光エリプソにて測定した。
- [0044] 図4に示すように、Al付着処理の処理時間を長くするに従ってAlの膜厚が増加している。なお、本願明細書では便宜上膜厚と表現するが、その値はオンGSTロームオーダーであり、HfSiON膜104の表面に付着したAlは膜といえる状態ではないと考えられる。
- [0045] 図5及び図6は上記製造方法により製造したMISキャパシタのC-V測定結果を示すグラフである。図5がN型MISFETの場合であり、図6がP型MISFETの場合である。図中、実線がAl付着処理を行わなかった場合、一点鎖線がAl付着処理を5秒間行った場合、破線がAl付着処理を10秒間行った場合、点線がAl付着処理を15秒

間行った場合である。

- [0046] 図5に示すように、N型MISFETの場合、Al付着処理の処理時間の増加に伴ってC-Vカーブが正方向にシフトしている。すなわち、フラットバンド電圧 $V_{fb}$ が増加している。Al付着処理を行わなかった場合と15秒間行った場合とでフラットバンド電圧 $V_{fb}$ を比較すると、約0.1Vの電圧シフトが確認された。
- [0047] また、図6に示すように、P型MISFETの場合の場合も同様、Al付着処理の処理時間の増加に伴ってC-Vカーブが正方向にシフトしている。すなわち、フラットバンド電圧 $V_{fb}$ が増加している。Al付着処理を行わなかった場合と15秒間行った場合とでフラットバンド電圧 $V_{fb}$ を比較すると、約1.0Vの電圧シフトが確認された。
- [0048] 図7は、図5及び図6の結果から、フラットバンド電圧 $V_{fb}$ とAl付着処理の処理時間との関係をプロットしたグラフである。図中、◆印がN型MISFETの場合であり、●印がP型MISFETの場合である。また、「理想値」は、キャパシタ誘電体膜としてシリコン酸化膜を用いた場合の理想的なフラットバンド電圧 $V_{fb}$ 、すなわちシリコン酸化膜中においてピニングが起こっておらず固定電荷も存在していない場合のフラットバンド電圧 $V_{fb}$ である。
- [0049] 図7に示すように、理想値では、N型MISFETとP型MISFETとの間のフェルミレベルの差は1.0Vであり、フラットバンド電圧 $V_{fb}$ に換算すると約1.8Vである。これに対し、Al付着処理を行っていない評価試料では、理想値に対するフラットバンド電圧 $V_{fb}$ のシフト量( $\Delta V_{fb}$ )は、N型MISFETが+0.2V程度であるのに対し、P型MISFETが-0.55V程度であった。すなわち、ピニングしている状態であった。
- [0050] しかしながら、Al付着処理を15秒間行った評価試料では、理想値に対するフラットバンド電圧 $V_{fb}$ のシフト量 $\Delta V_{fb}$ は、N型MISFET及びP型MISFETの双方ともに+0.2V程度であった。すなわち、N型MISFETとP型MISFETとの間のフラットバンド電圧 $V_{fb}$ 差は約1.8Vであり、理想的なフラットバンド電圧 $V_{fb}$ 差を得ることができた。
- [0051] このように、HfSiON膜104の表面にAl付着処理を行う効果は、P型MISFETにおいて極めて高いことが判る。また、図7のグラフから、Alの付着量を0.22nmに設定することにより、P型MISFETのフラットバンド電圧 $V_{fb}$ を理想値である0.9Vに制御できることが判る。

- [0052] なお、Alの付着量は、0.1nm～1.0nm程度の膜厚に制御することが望ましい。0.1nm未満ではAl付着の効果を十分得ることができず、1.0nmより厚くなると酸化アルミとしての作用が大きくなりHfSiAlON膜としての誘電率が低下するためである。
- [0053] 次に、MISFET形成過程におけるHfSiON膜104の表面に付着したAlの挙動について評価した結果を示す。
- [0054] 図8は、MISFET形成過程におけるAlの拡散の様子をXPS(X-ray Photoelectron Spectroscopy: X線光電子分光法)分析により測定した結果を示すグラフである。
- [0055] 縦軸は、試料表面に対して15°の角度からX線を入射してXPS分析を行った場合に得られるAlスペクトルの強度と、試料表面に対して45°の角度からX線を入射してXPS分析を行った場合に得られるAlスペクトルの強度との比(15°の場合の強度/45°の場合の強度)を取ったものである。すなわち、縦軸の値が大きいほどAl原子はHfSiON膜104の表面近傍に多く存在しており、縦軸の値が小さいほどAl原子はHfSiON膜104中に拡散していることを表す。
- [0056] 横軸は、MISFETの各製造工程を示している。すなわち、1はAl付着処理を行った直後であり、2は800°C30秒間のアニール直後であり、3はポリシリコン膜106の堆積直後であり、4は1050°C1秒間の活性化アニール直後である。
- [0057] 図8に示すように、HfSiON膜104の表面に付着したAlは、Al付着処理直後のアニールでは殆ど拡散せず、その後のポリシリコン膜106の堆積時にHfSiON膜104中へ拡散していることが判る。
- [0058] 図9は、Al付着処理を行ったHfSiON膜104上にポリシリコン膜106を形成した後におけるAlの化学的結合状態をXPSにより測定した結果を示すグラフである。
- [0059] 図9に示すように、試料から得られたXPSスペクトルには、 $Al_2O_3$ の結合エネルギーに相当するエネルギーにピークが観察されるのに対し、Alの結合エネルギーに相当するエネルギーにはピークは観察されない。すなわち、HfSiON膜104中に拡散したAlは、酸化された状態でHfSiON膜104中に存在し、HfSiAlON膜104aを構成していることが判る。
- [0060] なお、ゲート絶縁膜をHfSiAlON膜によって構成した場合、膜中に含まれるAlによるクーロン散乱等によってチャネル領域を流れるキャリアの移動度が減少することが

ある。したがって、特に高速性が要求されるN型MISFETでは、Alを含まないHfSiON等によってゲート絶縁膜を構成することが望ましい。

[0061] 但し、上述のAl付着処理をP型MISFETのゲート絶縁膜だけに選択的に行うためには製造プロセスを複雑化する必要がある。したがって、N型MISFETのゲート絶縁膜となるHfSiON膜についてもAl付着処理を行うか否かについては、製造するN型MISFETに要求される特性とコスト面とを比較考量して適宜選択することが望ましい。

[0062] 次に、N型MISFETのゲート絶縁膜44nを構成するHfSiON膜34について説明する。以下、HfSiON膜の場合を例にして説明するが、HfSiO膜の場合も同様である。

[0063] 前述のように、N型MISキャパシタのフラットバンド電圧 $V_{fb}$ は、理想値よりも0.2V程度正側にシフトしている。フラットバンド電圧 $V_{fb}$ を負側にシフトさせる方法としては、 $NH_3$ を用いた熱窒化処理が挙げられる。また、膜中への窒素の導入は、誘電率を増加する効果もある。そこで、本願発明者等は、HfSiON膜への熱窒化処理を試みた。

[0064] 図10は、HfSiONの窒化処理の効果を検証するために用いた評価試料の製造方法を示す工程断面図である。

[0065] まず、主表面が(100)面であるシリコン基板100を希弗酸により処理し、シリコン基板100表面の自然酸化膜(図示せず)を除去した。

[0066] 次いで、自然酸化膜を除去したシリコン基板100を塩酸過酸化水(SC2)で洗浄し、シリコン基板100の表面に膜厚1nmのシリコン酸化膜102を形成した(図10(a))。

[0067] 次いで、CVD法により、シリコン酸化膜102上に、膜厚4nmのHfSiON膜104を堆積した(図10(b))。HfSiON膜104は、ソースガスとして $Hf(N(CH_3)_2)_4$ 、 $SiH(N(CH_3)_3)_2$ 及びNOガスを、キャリアガスとして $N_2$ ガスを用い、基板温度を600°Cの条件で堆積した。このようにして形成したHfSiON膜は、 $(Hf_{0.6}Si_{0.4})(O_{0.9}N_{0.1})$ の組成を有する十分酸化した状態であった。

[0068] 次いで、HfSiON膜104の熱窒化処理を行った(図10(c))。熱窒化処理は、 $NH_3$ 雰囲気中で600°C10分間又は800°C10分間の熱処理を行うことにより行った。なお

、以後の説明では、熱窒化処理を行ったHfSiON膜104を、HfSiON膜104bと表す。

[0069] 次いで、800℃、30秒間のポストデポアニールにより、HfSiON膜104bの焼き締めを行った。

[0070] 次いで、CVD法により、HfSiON膜104b上に、膜厚100nmのポリシリコン膜106を堆積した(図10(d))。

[0071] 次いで、イオン注入により、ポリシリコン膜106に、所定の導電型のドーパント不純物を添加した。

[0072] 次いで、1050℃、1秒間のアニールを行い、ポリシリコン膜106に添加したドーパント不純物を活性化した。

[0073] 次いで、ポリシリコン膜106をパターニングし、ポリシリコン膜106よりなり平面サイズが80 μ m × 80 μ mの電極108を形成した(図10(e))。

[0074] こうして、シリコン酸化膜102及びHfSiAlON膜104bの積層膜をキャパシタ誘電体膜とするMISキャパシタを形成した。

[0075] 図11は、フラットバンド電圧 $V_{fb}$ と熱窒化処理温度との関係をプロットしたグラフである。図中、■印がN型MISFETの場合であり、●印がP型MISFETの場合である。また、「理想値」は、キャパシタ誘電体膜としてシリコン酸化膜を用いた場合の理想的なフラットバンド電圧 $V_{fb}$ 、すなわちシリコン酸化膜中においてピンングが起こっておらず固定電荷も存在していない場合のフラットバンド電圧 $V_{fb}$ である。

[0076] 図11に示すように、理想値では、N型MISFETとP型MISFETとの間のフェルミレベルの差は1.0Vであり、フラットバンド電圧 $V_{fb}$ に換算すると約1.8Vである。これに対し、熱窒化処理を行っていない評価試料では、理想値に対するフラットバンド電圧 $V_{fb}$ のシフト量( $\Delta V_{fb}$ )は、N型MISFETが+0.2V程度であるのに対し、P型MISFETが-0.55V程度であった。すなわち、ピンングしている状態であった。

[0077] しかしながら、熱窒化処理を行った評価試料では、理想値に対するフラットバンド電圧 $V_{fb}$ のシフト量 $\Delta V_{fb}$ は、P型MISFETが-0.75Vであるのに対し、N型MISFETは約0Vであった。つまり、N型MISFETでは、熱窒化処理を行うことにより、フラットバンド電圧 $V_{fb}$ を低下して理想的なフラットバンド電圧 $V_{fb}$ を得ることができた。

- [0078] このように、HfSiON膜104の熱窒化処理を行う効果は、N型MISFETにおいて極めて高いことが判る。また、図11のグラフから、600°C或いは800°C程度の熱窒化処理温度を行うことにより、N型MISFETのフラットバンド電圧 $V_{fb}$ を理想値である-0.9Vに制御できることが判る。なお、本願発明者等が評価を行った試料では、フラットバンド電圧が理想値に制御されたN型MISFETのHfSiON膜中における窒素濃度は、15atm%以上であった。
- [0079] 以上の結果から、理想的なフラットバンド電圧 $V_{fb}$ を得るためには、P型MISFETについてはHfSiON膜の表面へのAl付着処理を行うことが効果的であり、N型MISFETについてはHfSiON膜の熱窒化処理を行うことが効果的であることが判る。
- [0080] 図12は、Al付着処理を行った後に熱窒化処理を行う場合と行わない場合とにおけるフラットバンド電圧 $V_{fb}$ とAl付着処理時間との関係をプロットしたグラフである。図中、●印が熱窒化処理を行わない場合であり、◆印が熱窒化処理を行った場合である。
- [0081] 図12に示すように、Al付着処理を行った後に熱窒化処理を行った試料では、Al付着処理時間を増加しても、フラットバンド電圧 $V_{fb}$ に殆ど変化が見られない。すなわち、Al付着処理を行った直後に熱窒化処理を行うと、Al付着処理の効果が消滅してしまう。
- [0082] したがって、Al付着処理による効果と熱窒化処理の効果との双方を奏するためには、P型MISFETのゲート絶縁膜となるHfSiON膜104へのAl付着処理と、N型MISFETのゲート絶縁膜となるHfSiON膜104への熱窒化処理とを別々に行う必要がある。
- [0083] 以上の結果から、P型MISFETについて理想的なフラットバンド電圧 $V_{fb}$ を得るためには、HfSiON膜の堆積後、ポリシリコン膜の堆積前に、Al付着処理を行うことが望ましい。また、N型MISFETについて理想的なフラットバンド電圧 $V_{fb}$ を得るためには、HfSiON膜の堆積後、ポリシリコン膜の堆積前に、 $NH_3$ による熱窒化処理を行うことが望ましい。
- [0084] ただし、Al付着処理を行った後に熱窒化処理を行うとAl付着処理の効果が消滅するため、熱窒化処理はN型MISFETのゲート絶縁膜となるHfSiON膜に対して選択



的に行うことが望ましい。

- [0085] また、N型MISFETのゲート絶縁膜となるHfSiON膜についてもAl付着処理を行うと、チャンネル領域を流れるキャリアの移動度を減少する虞があるため、特に高速性が要求されるN型MISFETのゲート絶縁膜となるHfSiON膜については、Al付着処理を行わないことが望ましい。
- [0086] 以上の評価結果を踏まえ、図1に示す本実施形態による半導体装置に好適な製造方法について図13乃至図22を用いて説明する。
- [0087] まず、シリコン基板10内に、例えばSTI(Shallow Trench Isolation)法により、素子領域を確定する素子分離膜12を形成する。図において、素子分離膜12により画定された左側の素子領域がN型MISFET形成領域であり、右側の素子領域がP型MISFET形成領域であるものとする。
- [0088] 次に、N型MISFET形成領域にP形不純物をイオン注入し、Pウェル14を形成する。また、P型MISFET形成領域にN形不純物をイオン注入し、Nウェル16を形成する(図13(a))。
- [0089] 次に、例えば $\text{HF}:\text{H}_2\text{O}=20:1$ の希釈弗酸水溶液を用いてウェットエッチングを行い、シリコン基板10の表面に形成されている自然酸化膜を除去する。
- [0090] 次に、例えば $800^\circ\text{C}$ 4分の条件で熱酸化を行い、シリコン基板10の表面に、例えば膜厚1nmのシリコン酸化膜18を形成する(図13(b))。このシリコン酸化膜18は、シリコン基板10と後に形成するハフニウムを主成分としたシリコン酸化物系絶縁膜との間の界面特性を向上するための界面層である。界面層としては、シリコン酸化膜の代わりにシリコン酸窒化膜を用いてもよい。
- [0091] 次に、シリコン酸化膜18を形成したシリコン基板10上に、例えばCVD法により、例えば膜厚3nmのHfSiO膜20を形成する(図13(c))。HfSiO膜20は、例えばHf原料として $\text{Hf}(\text{N}(\text{CH}_3)_2)_4$ (TDMAH:tetrakis dimethylamino hafnium)を、Si原料として $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ (TDMAS:tris dimethylamino silane)を、酸化剤として酸素ガスを用い、基板温度 $600^\circ\text{C}$ の条件で堆積する。なお、酸化剤として酸素ガスの代わりにNOガス等の窒素を含むガスを用い、HfSiO膜の代わりにHfSiON膜を形成してもよい。

- [0092] 次いで、HfSiO膜20上に、例えばCVD法により、例えば膜厚100nmのポリシリコン膜22を形成する(図14(a))。ポリシリコン膜22は、例えばSi原料として $\text{SiH}_4$ を用い、基板温度600°C、成膜室圧力200Torrの条件で堆積する。なお、ポリシリコン膜の代わりに、アモルファスシリコン膜を形成してもよい。
- [0093] 次いで、ポリシリコン膜22上に、フォトリソグラフィにより、N型MISFET形成領域を覆いP型MISFET形成領域を露出するフォトレジスト膜24を形成する(図14(b))。なお、フォトレジスト膜24の形成までの過程において、ポリシリコン膜22の表面には、自然酸化膜(図示せず)が形成される。
- [0094] 次いで、フォトレジスト膜24をマスクとして、例えば弗酸水溶液を用いてウェットエッチングを行い、P型MISFET形成領域のポリシリコン膜22上に形成されている自然酸化膜(図示せず)をエッチングする。
- [0095] 次いで、例えばTMAH(tetramethyl ammonium hydroxide)水溶液を用いてウェットエッチングを行う。TMAH水溶液を用いたウェットエッチングでは、ポリシリコン膜22とともにフォトレジスト膜24もエッチングされる。この際、N型MISFET形成領域のポリシリコン膜22上には自然酸化膜(図示せず)が形成されているため、この自然酸化膜がマスクとなり、N型MISFET形成領域のポリシリコン膜22がエッチングされることはない(図15(a))。エッチャントとして、例えば5%TMAH水溶液を用い、20~60°C、例えば40°Cの温度で、15~30分、例えば30分の処理を行うことにより、ポリシリコン膜22及びフォトレジスト膜24を、HfSiO膜20に対して選択的にエッチングすることができる。
- [0096] 次いで、例えば $\text{Al}(\text{C}_4\text{H}_9)_3$ (TTBA:tris tertiary butyl aluminum)の液体原料を20°C50kPaの条件で300sccmの $\text{N}_2$ ガスでバブリングしたガスを、600°Cに昇温した基板表面に13秒間吹き付けることにより、Al付着処理を行う。これにより、P型MISFET形成領域のHfSiO膜20上及びN型MISFET形成領域のポリシリコン膜22上に、0.3~0.4nm程度のAl膜26が形成される(図15(b))。なお、Al原料としては、 $\text{Al}(\text{C}_4\text{H}_9)_3$ のほか、 $\text{Al}(\text{CH}_3)_3$ 、 $\text{Al}(\text{C}_2\text{H}_5)_3$ 等の他の有機系Al原料を用いてもよい。
- [0097] 次いで、フォトリソグラフィにより、P型MISFET形成領域を覆いN型MISFET形成領域を露出するフォトレジスト膜28を形成する(図16(a))。

- [0098] 次いで、フォトレジスト膜28をマスクとして、例えば弗酸水溶液を用いてウェットエッチングを行い、N型MISFET形成領域のポリシリコン膜22上に形成されているAl膜26及び自然酸化膜(図示せず)をエッチングする(図16(b))。Al膜26は、前述の通り完全な膜ではないため、Al膜26を通して下地の自然酸化膜がエッチングされることにより、同時に除去される。
- [0099] 次いで、例えばTMAH水溶液を用いてウェットエッチングを行い、ポリシリコン膜22及びフォトレジスト膜28を選択的に除去する。エッチャントとして、例えば5%TMAH水溶液を用い、20~60℃、例えば40℃の温度で、15~30分、例えば30分の処理を行うことにより、ポリシリコン膜22及びフォトレジスト膜28を、HfSiO膜20及びAl膜26に対して選択的にエッチングすることができる。これにより、Al膜26を、P型MISFET形成領域のポリシリコン膜22上のみに残存させることができる(図17(a))。
- [0100] 次いで、例えば800℃、30秒間のポストデポアニールにより、HfSiO膜20の焼き締めを行う。
- [0101] 次いで、例えばCVD法により、Al膜26が形成されたHfSiO膜20上に、例えば膜厚100nmのポリシリコン膜30を形成する。ポリシリコン膜30は、例えばSi原料として $\text{SiH}_4$ を用い、基板温度600℃、成膜室圧力200Torrの条件で堆積する。なお、ポリシリコン膜の代わりに、アモルファスシリコン膜を形成してもよい。
- [0102] ポリシリコン膜30の堆積の際、HfSiO膜20の表面に付着していたAlは、HfSiO膜20膜中に拡散する。これにより、P型MISFET形成領域のHfSiO膜20は、HfSiAlO膜32となる。HfSiO膜20の代わりにHfSiON膜を形成した場合には、HfSiAlON膜となる。
- [0103] 次いで、例えば図14(b)~図15(a)の工程と同様にして、N型MISFET形成領域のポリシリコン膜30を、選択的に除去する(図17(c))。
- [0104] 次いで、例えば $\text{NH}_3$ を用いた熱窒化処理を行う。熱窒化処理は、例えば、 $\text{NH}_3$ 流量を2slm、処理温度を780℃、処理圧力を100Pa、処理時間を10分間として行う。この熱窒化処理により、N型MISFET形成領域のHfSiO膜20内には高濃度に窒素が導入され、HfSiON膜34となる(図18(a))。
- [0105] この際、P型MISFET形成領域にはポリシリコン膜30が形成されているため、HfSi

AlO膜32に熱窒化処理が施されることはなく、Al付着処理の効果を維持することができる。

- [0106] 次いで、例えばCVD法により、例えば膜厚100nmのポリシリコン膜36を形成する。ポリシリコン膜30は、例えばSi原料として $\text{SiH}_4$ を用い、基板温度600°C、成膜室圧力200Torrの条件で堆積する。なお、ポリシリコン膜の代わりに、アモルファスシリコン膜を形成してもよい。なお、ポリシリコン膜36の形成までの過程において、ポリシリコン膜30の表面には、自然酸化膜(図示せず)が形成される。
- [0107] 次いで、フォトリソグラフィにより、N型MISFET形成領域を覆いP型MISFET形成領域を露出するフォトレジスト膜38を形成する(図19(a))。なお、フォトレジスト膜38の形成までの過程において、ポリシリコン膜36の表面には、自然酸化膜(図示せず)が形成される。
- [0108] 次いで、フォトレジスト膜38をマスクとして、例えば弗酸水溶液を用いてウェットエッチングを行い、P型MISFET形成領域のポリシリコン膜36上に形成されている自然酸化膜(図示せず)をエッチングする。
- [0109] 次いで、例えばTMAH水溶液を用いてウェットエッチングを行い、ポリシリコン膜36及びフォトレジスト膜38を選択的に除去する。この際、N型MISFET形成領域のポリシリコン膜36上及びP型MISFET形成領域のポリシリコン膜30上には自然酸化膜(図示せず)が形成されているため、この自然酸化膜がマスクとなり、N型MISFET形成領域のポリシリコン膜36及びP型MISFET形成領域のポリシリコン膜30がエッチングされることはない(図19(b))。エッチャントとして、例えば5%TMAH水溶液を用い、20~60°C、例えば40°Cの温度で、15~30分、例えば30分の処理を行うことにより、ポリシリコン膜36及びフォトレジスト膜38を選択的にエッチングすることができる。なお、以後の説明では、簡略化のため、N型MISFET形成領域のポリシリコン膜36とP型MISFET形成領域のポリシリコン膜30とを一括して、ポリシリコン膜40と呼ぶこととする。
- [0110] 次いで、フォトリソグラフィ及びドライエッチングにより、ポリシリコン膜40、HfSiAlO膜32、HfSiON膜34及びシリコン酸化膜18をパターンニングする。これにより、N型MISFET形成領域に、シリコン酸化膜18とHfSiON膜34との積層膜よりなるゲート絶

縁膜42nと、ポリシリコン膜40よりなるゲート電極44nとを形成し、P型MISFET形成領域に、シリコン酸化膜18とHfSiO膜32との積層膜よりなるゲート絶縁膜42pと、ポリシリコン膜40よりなるゲート電極44pとを形成する(図20(a))。

[0111] 次いで、フォトリソグラフィにより、N型MISFET形成領域を覆いP型MISFET形成領域を露出するフォトレジスト膜46を形成する。

[0112] 次いで、フォトレジスト膜46及びゲート電極44pをマスクとしてイオン注入を行い、ゲート電極44pの両側のシリコン基板10内に、エクステンション領域となる不純物領域48と、ポケット領域となる不純物領域50とを形成する(図20(b))。

[0113] 次いで、例えばアッシングにより、フォトレジスト膜46を除去する。

[0114] 次いで、フォトリソグラフィにより、P型MISFET形成領域を覆いN型MISFET形成領域を露出するフォトレジスト膜52を形成する。

[0115] 次いで、フォトレジスト膜52及びゲート電極44nをマスクとしてイオン注入を行い、ゲート電極44nの両側のシリコン基板10内に、エクステンション領域となる不純物領域54と、ポケット領域となる不純物領域56とを形成する(図21(a))。

[0116] 次いで、例えばアッシングにより、フォトレジスト膜52を除去する。

[0117] 次いで、例えばCVD法によりシリコン酸化膜を堆積後、このシリコン酸化膜をエッチバックし、ゲート電極44n、44pの側壁部分に、シリコン酸化膜よりなる側壁絶縁膜58を形成する(図21(b))。

[0118] 次いで、フォトリソグラフィにより、N型MISFET形成領域を覆いP型MISFET形成領域を露出するフォトレジスト膜60を形成する。

[0119] 次いで、フォトレジスト膜60、側壁絶縁膜58及びゲート電極44pをマスクとしてイオン注入を行い、ゲート電極44pにドーピングを行うとともに、ゲート電極44pの両側のシリコン基板10内に、不純物領域48とともにソース/ドレイン領域64を構成する不純物領域62を形成する(図22(a))。

[0120] 次いで、例えばアッシングにより、フォトレジスト膜60を除去する。

[0121] 次いで、フォトリソグラフィにより、P型MISFET形成領域を覆いN型MISFET形成領域を露出するフォトレジスト膜66を形成する。

[0122] 次いで、フォトレジスト膜66、側壁絶縁膜58及びゲート電極44nをマスクとしてイオ

ン注入を行い、ゲート電極44nにドーピングを行うとともに、ゲート電極44nの両側のシリコン基板10内に、不純物領域54とともにソース/ドレイン領域70を構成する不純物領域68を形成する(図22(b))。

[0123] 次いで、例えばアッシングにより、フォトレジスト膜66を除去する。

[0124] 次いで、活性化アニールを行い、注入した不純物を活性化し、シリコン酸化膜18とHfSiAlO膜32との積層膜よりなるゲート絶縁膜42pを有するP型MISFETと、シリコン酸化膜18とHfSiON膜34との積層膜よりなるゲート絶縁膜42nを有するN型MISFETとを完成する。

[0125] このように、本実施形態によれば、P型MISFETのゲート絶縁膜をHfSiAlO膜又はHfSiAlON膜により構成し、N型MISFETのゲート絶縁膜をHfSiON膜により構成するので、ゲート電極をポリシリコン膜によって構成する場合にも、P型MISFET及びN型MISFETの双方のMIS特性を、ゲート絶縁膜としてシリコン酸化膜を用いた場合の理想的なMIS特性に等しくすることができる。これにより、高誘電率材料をゲート絶縁膜に用いたMISFETの高集積化及び高速化を容易に実現することができる。

[0126] [変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

[0127] 例えば、上記実施形態では、N型MISFET及びP型MISFETの双方についてフラットバンド電圧を理想値に近づける処理を行ったが、いずれか一方のみを行うようにしてもよい。

[0128] また、上記実施形態では、ポリシリコン膜よりなるゲート電極を有するMISFETについて説明したが、ゲート電極は必ずしもポリシリコン膜の単層構造である必要はない。本発明は、ハフニウムを添加したシリコン酸化物系絶縁膜とシリコン膜との界面が存在することによるピニングを防止するためのものであり、ハフニウムを添加したシリコン酸化物系絶縁膜とシリコン膜との界面を有するMISFETに広く適用することができる。例えば、ポリシリコンとシリサイド膜との積層膜よりなるポリサイド構造のゲート電極や、ポリシリコンと金属膜との積層膜よりなるポリメタル構造のゲート電極を有するMISFETにおいても、本発明を同様に適用することができる。図22(b)に示す工程の後、

いわゆるサリサイドプロセスによってゲート電極44n, 44p上にシリサイド膜を形成するようにしてもよい。

- [0129] また、上記実施形態では、高誘電率膜としてハフニウムを添加したシリコン酸化物系絶縁膜を例にして説明したが、ハフニウム以外の金属を添加したシリコン酸化物系絶縁膜についても同様に適用することができる。例えば、ジルコニウムを添加したシリコン酸化物系絶縁膜(ZrSiO膜, ZrSiON膜)、タンタルを添加したシリコン酸化物系絶縁膜(TaSiO膜, TaSiON膜)、チタンを添加したシリコン酸化物系絶縁膜(TiSiO膜, TiSiON膜)、イットリウムを添加したシリコン酸化物系絶縁膜(YSiO膜, YSiON膜)、ランタンを添加したシリコン酸化物系絶縁膜(LaSiO膜, LaSiON膜)等についても本発明を同様に適用することができる。

#### 産業上の利用可能性

- [0130] 本発明による半導体装置及びその製造方法は、高誘電率材料をゲート絶縁膜に用いたMISFETに関し、N型MISFET及びP型MISFETの双方についてフェルミレベルピンングを抑制して良好なMIS特性を実現するものである。したがって、本発明による半導体装置及びその製造方法は、高誘電率材料をゲート絶縁膜に用いたMISFETの高集積化及び高速化を図るうえで極めて有用である。

## 請求の範囲

- [1] 半導体基板上に形成され、ハフニウムとシリコンの酸化物又はハフニウムとシリコンの酸窒化物よりなる第1の金属酸化膜を有する第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成されたポリシリコン膜を有する第1のゲート電極とを有するN型トランジスタと、
- 前記半導体基板上に形成され、ハフニウムとシリコンとアルミの酸化物又はハフニウムとシリコンとアルミの酸窒化物よりなる第2の金属酸化膜を有する第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成されたポリシリコン膜を有する第2のゲート電極とを有するP型トランジスタと
- を有することを特徴とする半導体装置。
- [2] 請求の範囲第1項に記載の半導体装置において、
- 前記第1のゲート絶縁膜は、15atm%以上の窒素を含む
- ことを特徴とする半導体装置。
- [3] 請求の範囲第1項又は第2項に記載の半導体装置において、
- 前記第2のゲート絶縁膜は、10atm%以下の窒素を含む
- ことを特徴とする半導体装置。
- [4] 請求の範囲第1項乃至第3項のいずれか1項に記載の半導体装置において、
- 前記第1のゲート絶縁膜は、前記半導体基板と前記第1の金属酸化膜との間に、シリコン酸化膜又はシリコン酸窒化物よりなる第1の界面層を有し、
- 前記第2のゲート絶縁膜は、前記半導体基板と前記第2の金属酸化膜との間にシリコン酸化膜又はシリコン酸窒化物よりなる第2の界面層を有する
- ことを特徴とする半導体装置。
- [5] 半導体基板上に、ハフニウムとシリコンの酸化物又はハフニウムとシリコンの酸窒化物よりなる金属酸化膜を形成する工程と、
- 前記金属酸化膜の表面にアルミを付着する工程と、
- アルミを付着した前記金属酸化膜上にシリコン膜を形成する工程と、
- 前記シリコン膜をパターニングし、前記シリコン膜よりなる第1のゲート電極を形成する工程と



- を有することを特徴とする半導体装置の製造方法。
- [6] 請求の範囲第5項に記載の半導体装置の製造方法において、  
前記半導体基板は、第1の領域及び第2の領域を有し、  
前記アルミを付着する工程では、前記第1の領域の前記金属酸化膜上に、選択的に前記アルミを付着することを特徴とする半導体装置の製造方法。
- [7] 請求の範囲第6項に記載の半導体装置の製造方法において、  
前記第2の領域に形成されたシリコン膜をマスクとして用いることにより、前記第1の領域の前記金属酸化膜上に選択的に前記アルミを付着することを特徴とする半導体装置の製造方法。
- [8] 請求の範囲第6項又は第7項に記載の半導体装置の製造方法において、  
前記第2の領域の前記金属酸化膜を、 $\text{NH}_3$ を用いて選択的に熱窒化する工程を更に有し、  
前記シリコン膜をパターニングする工程では、前記第2の領域に、前記シリコン膜よりなる第2のゲート電極を形成することを特徴とする半導体装置の製造方法。
- [9] 請求の範囲第8項に記載の半導体装置の製造方法において、  
前記第1の領域に形成されたシリコン膜をマスクとして用いることにより、前記第2の領域の前記金属酸化膜を選択的に熱窒化することを特徴とする半導体装置の製造方法。
- [10] 請求の範囲第5項乃至第9項のいずれか1項に記載の半導体装置の製造方法において、  
前記アルミを付着する工程では、膜厚が0.1nm～1.0nmになるように前記アルミを付着することを特徴とする半導体装置の製造方法。
- [11] 請求の範囲第5項乃至第10項のいずれか1項に記載の半導体装置の製造方法において、  
アルミ原料を含むガスを前記金属酸化膜の表面に吹き付けることにより、前記金属

酸化膜の前記表面に前記アルミを付着する

ことを特徴とする半導体装置の製造方法。

- [12] 請求の範囲第5項乃至第11項のいずれか1項に記載の半導体装置の製造方法において、

前記アルミ原料は、 $\text{Al}(\text{C}_4\text{H}_9)_3$ 、 $\text{Al}(\text{C}_2\text{H}_5)_3$ 、又は $\text{Al}(\text{CH}_3)_3$ である

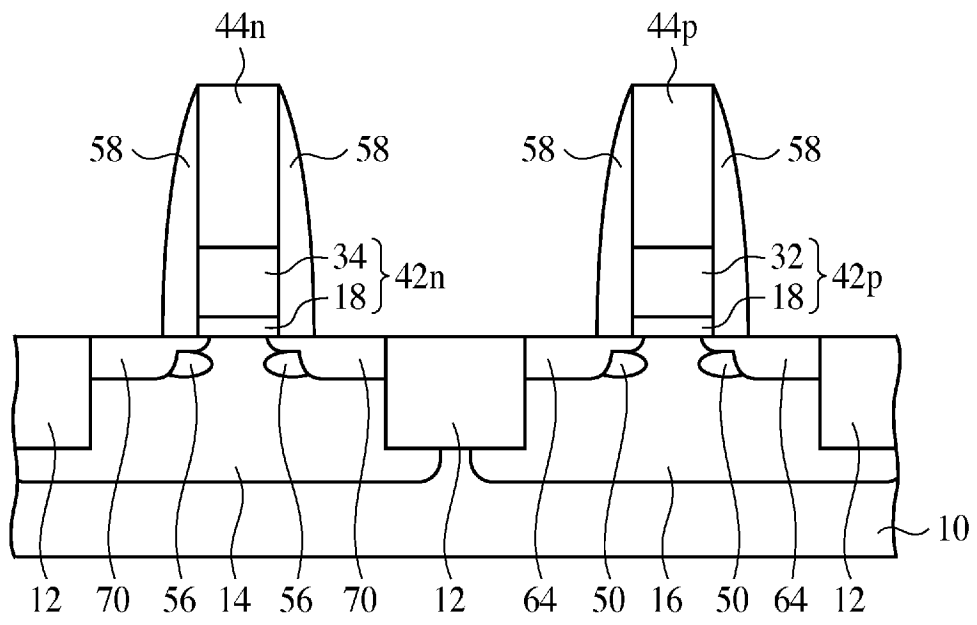
ことを特徴とする半導体装置の製造方法。

- [13] 請求の範囲第5項乃至第12項のいずれか1項に記載の半導体装置の製造方法において、

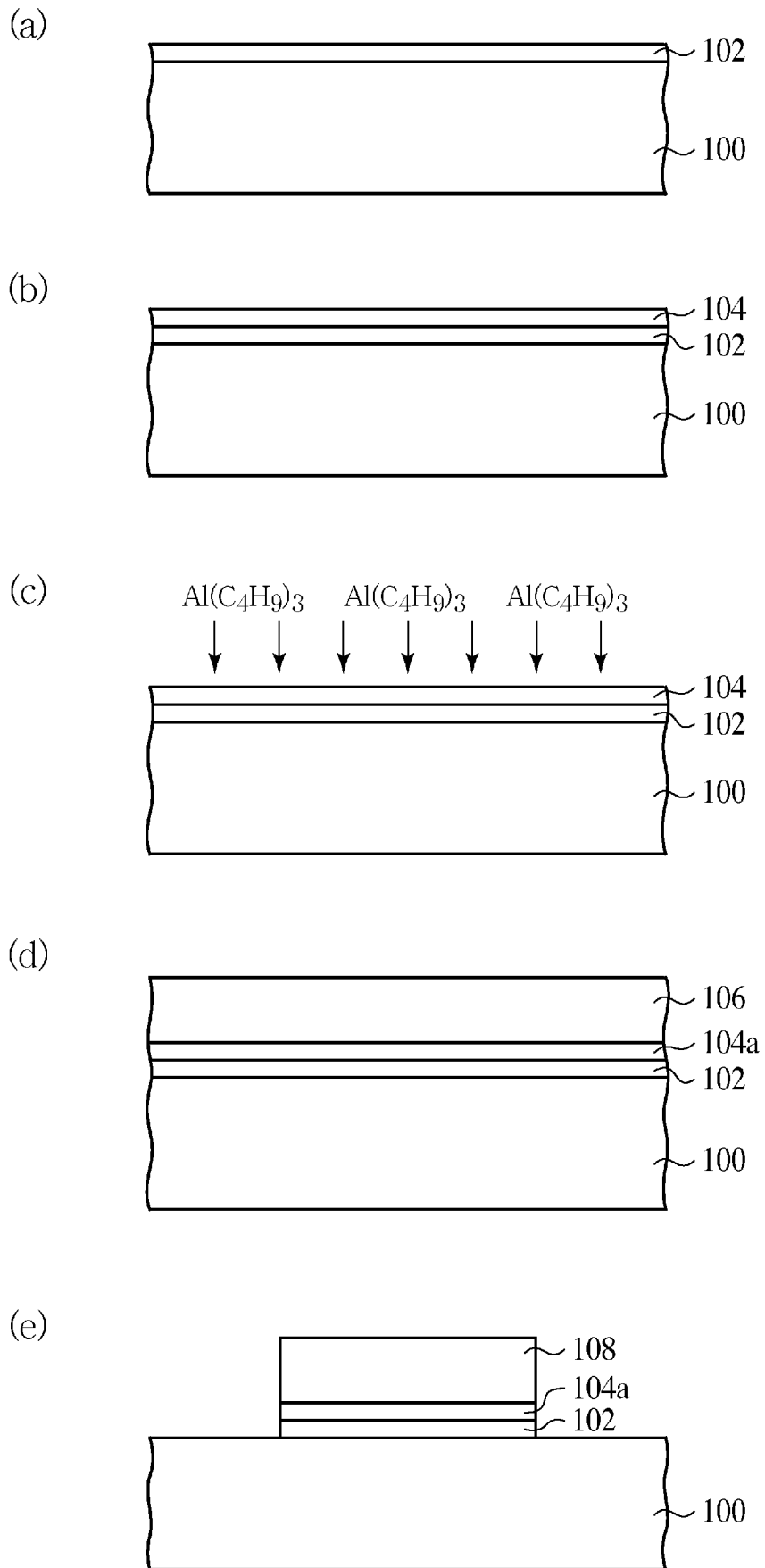
前記金属酸化膜を形成する工程の前に、前記半導体基板に、シリコン酸化膜又はシリコン酸窒化膜よりなる界面層を形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

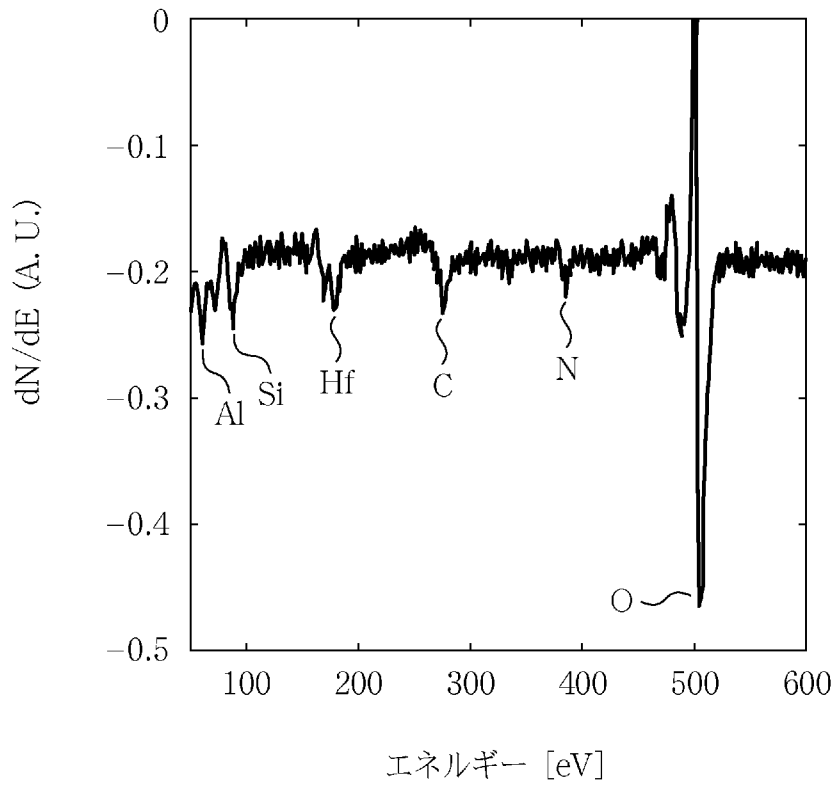
[図1]



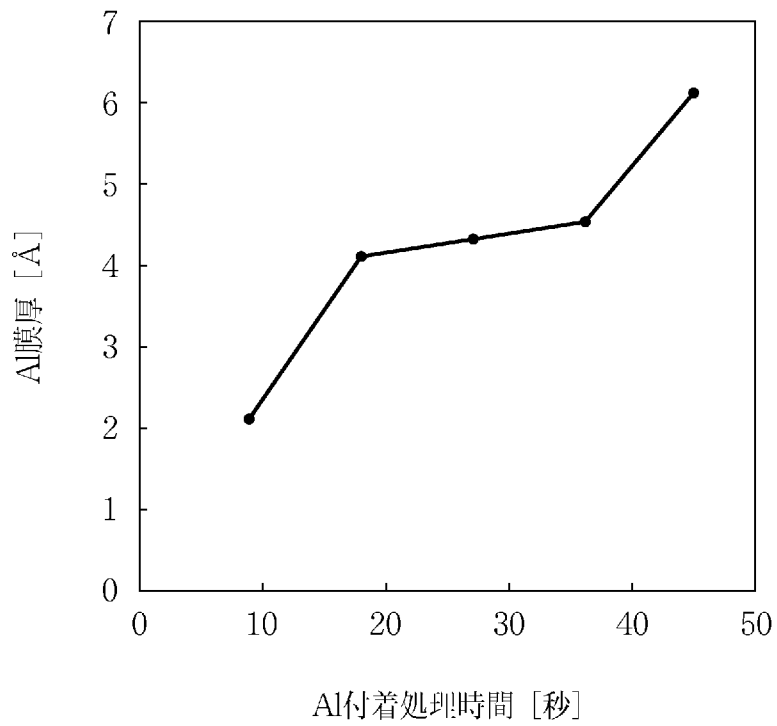
[図2]



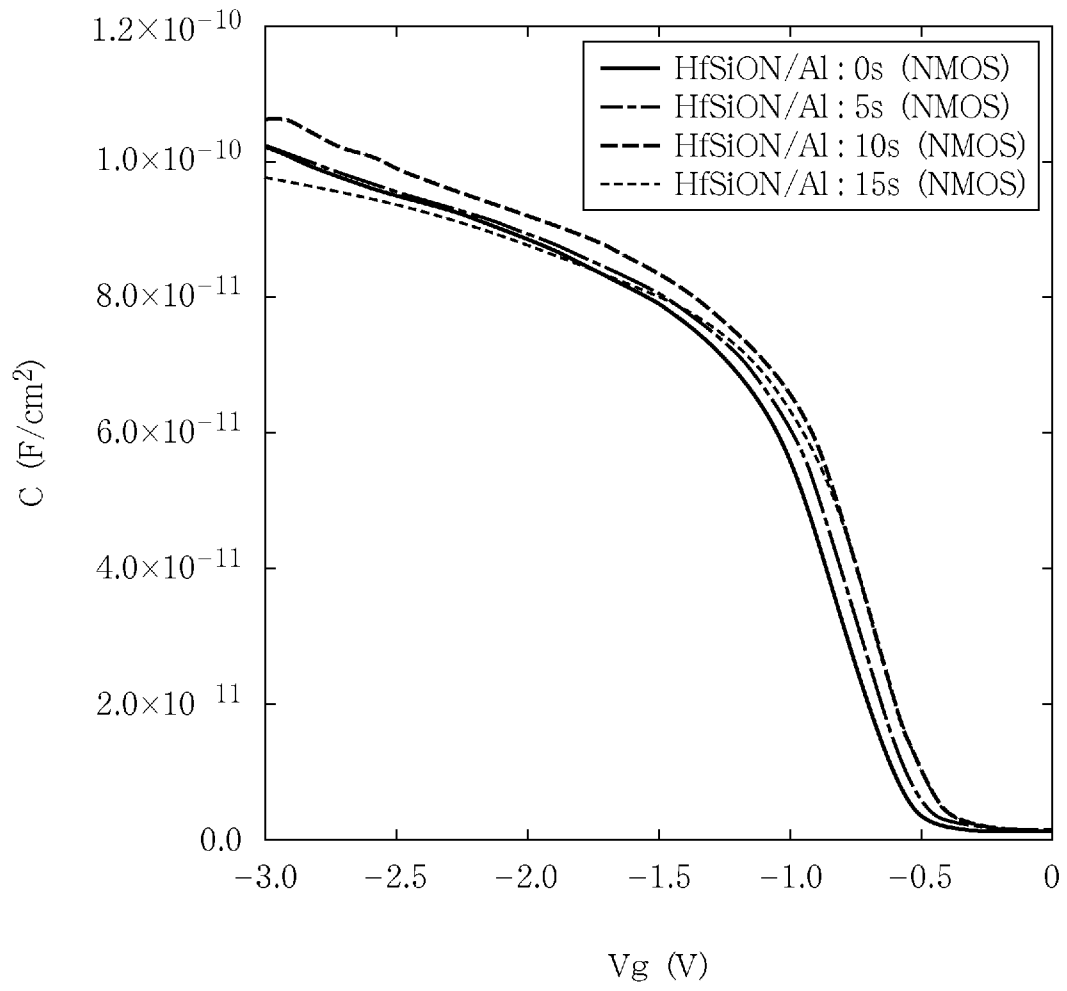
[図3]



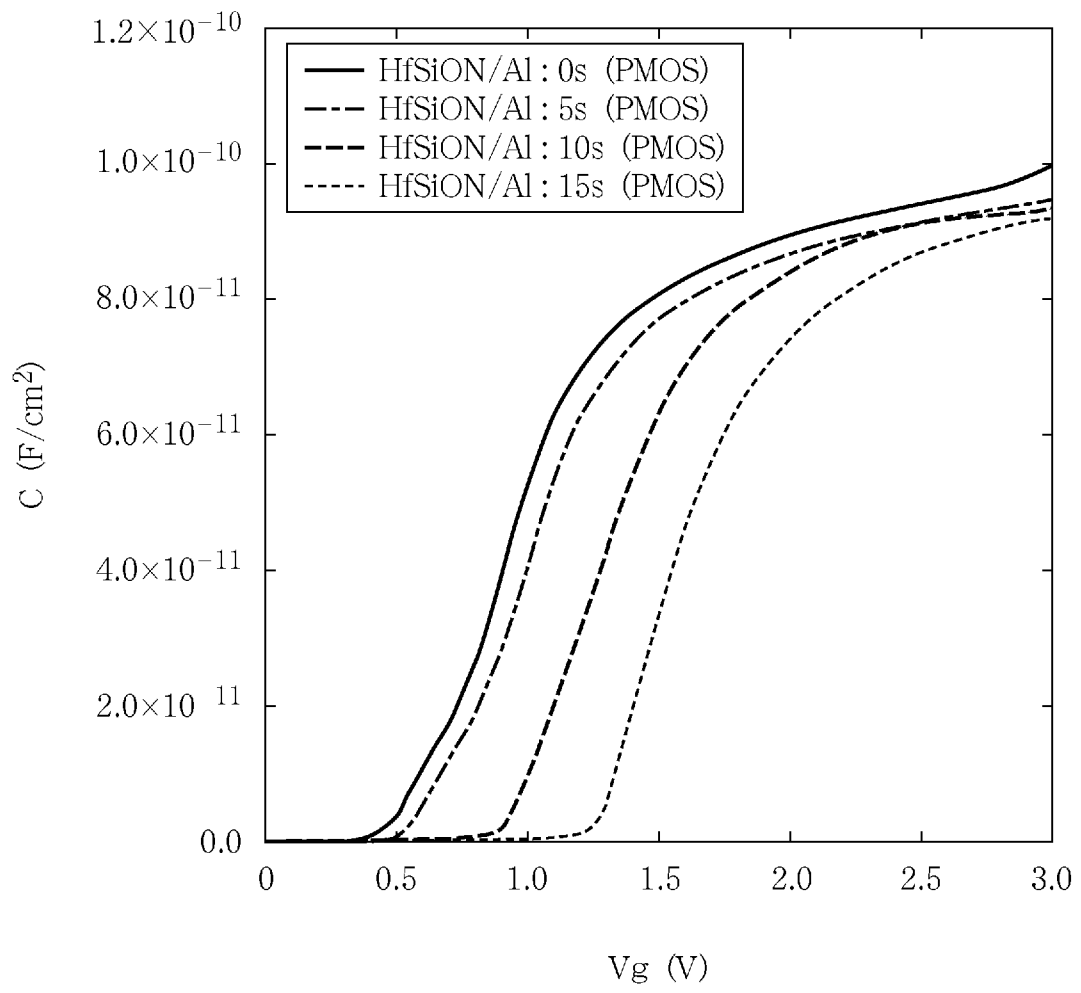
[図4]



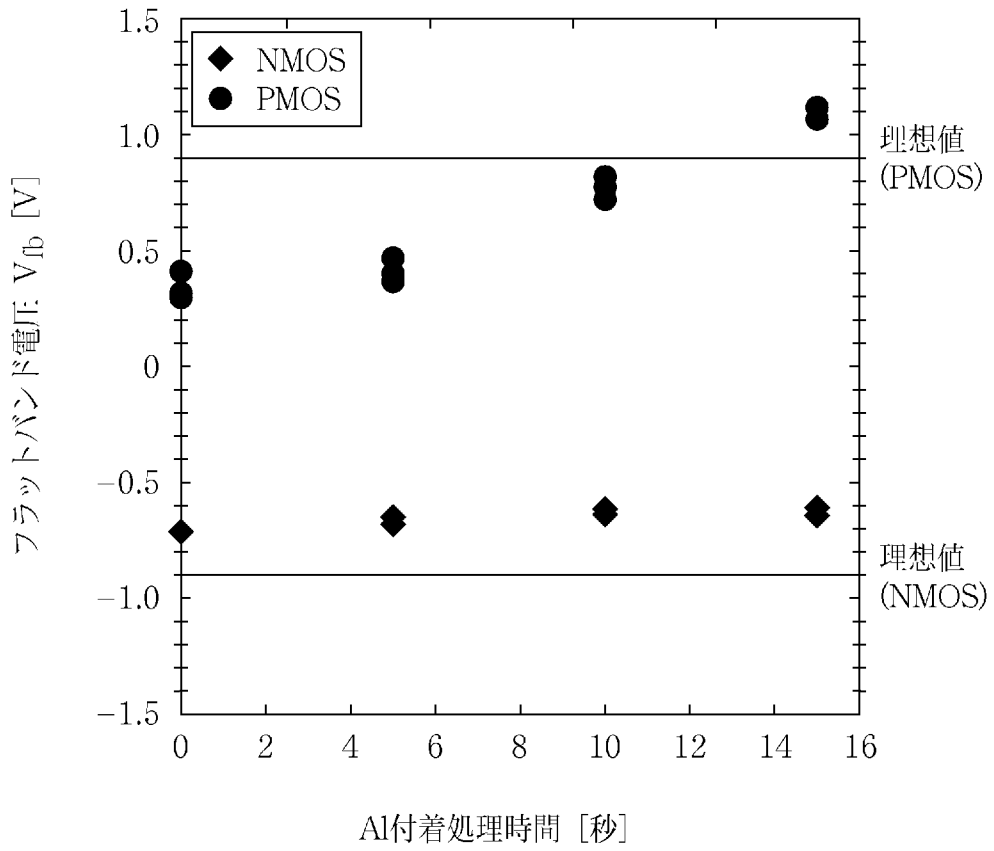
[図5]



[図6]

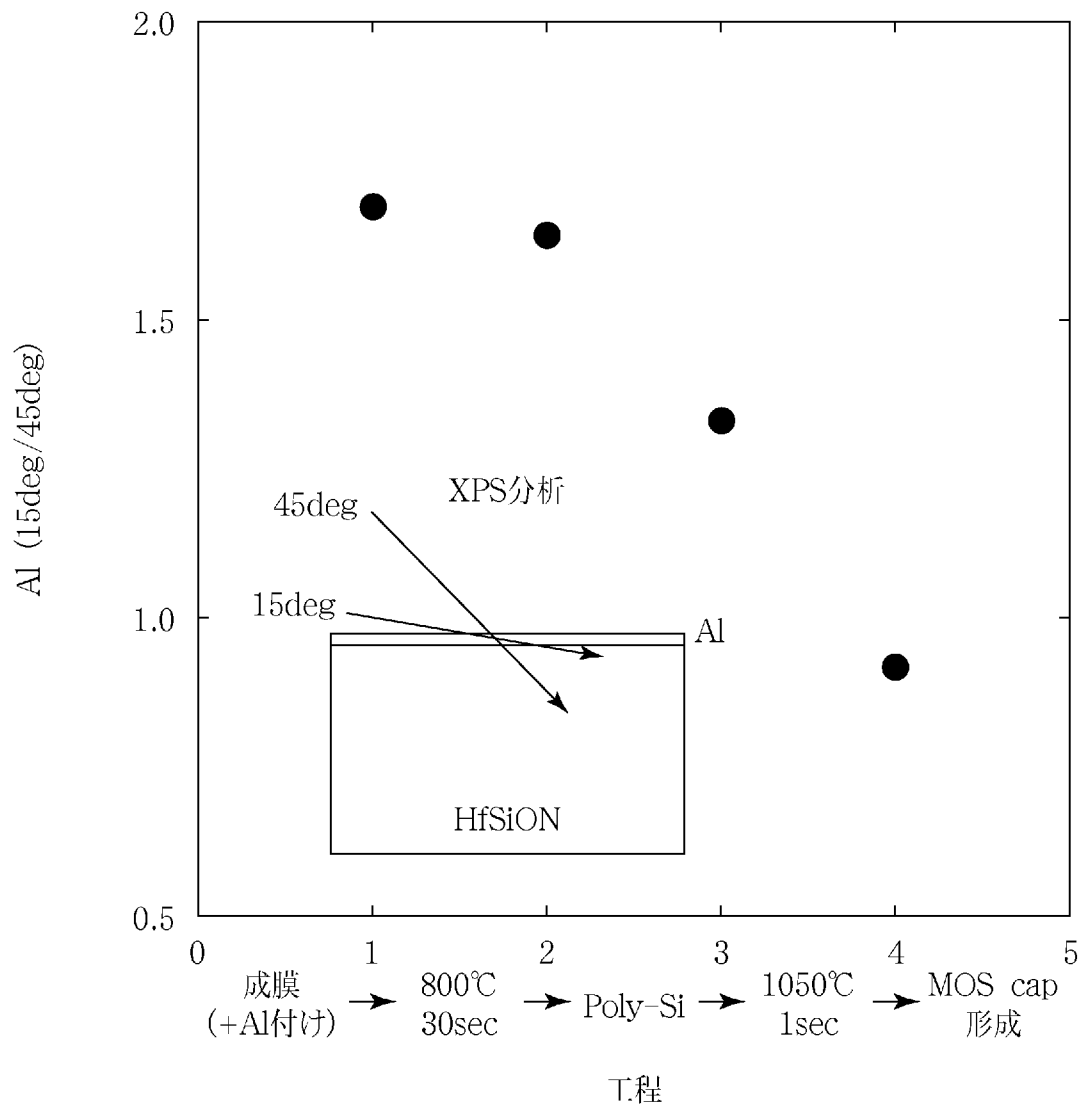


[図7]

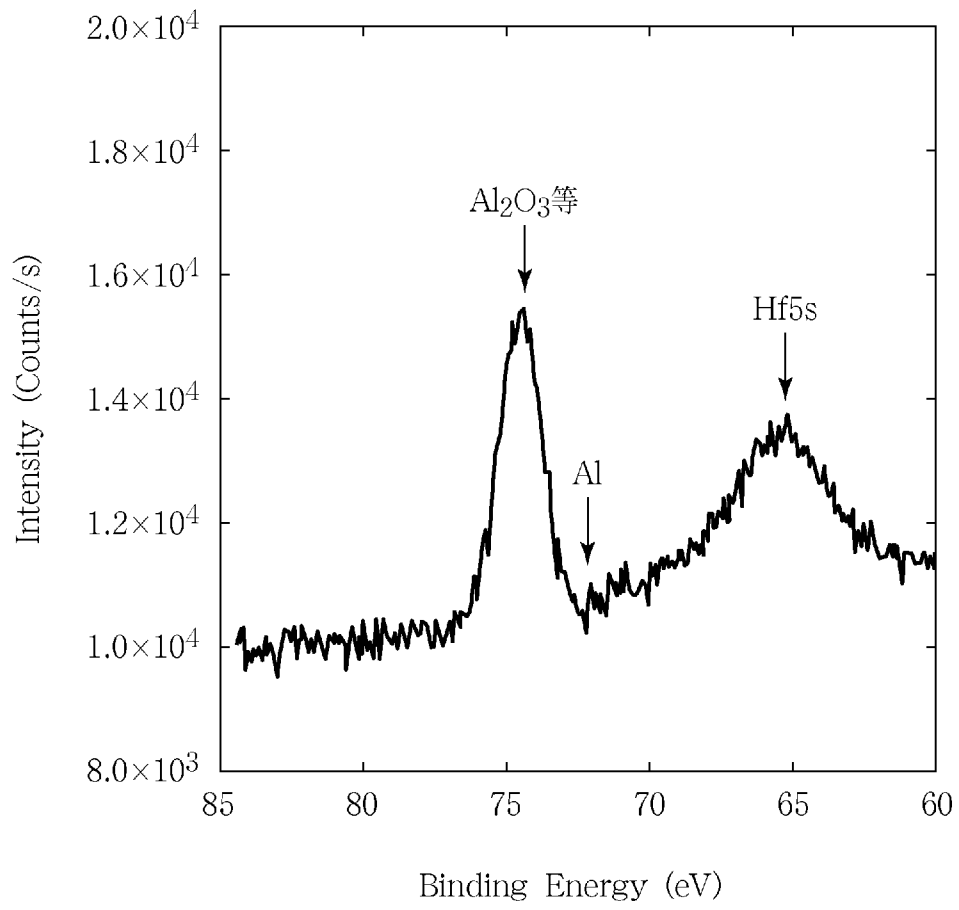




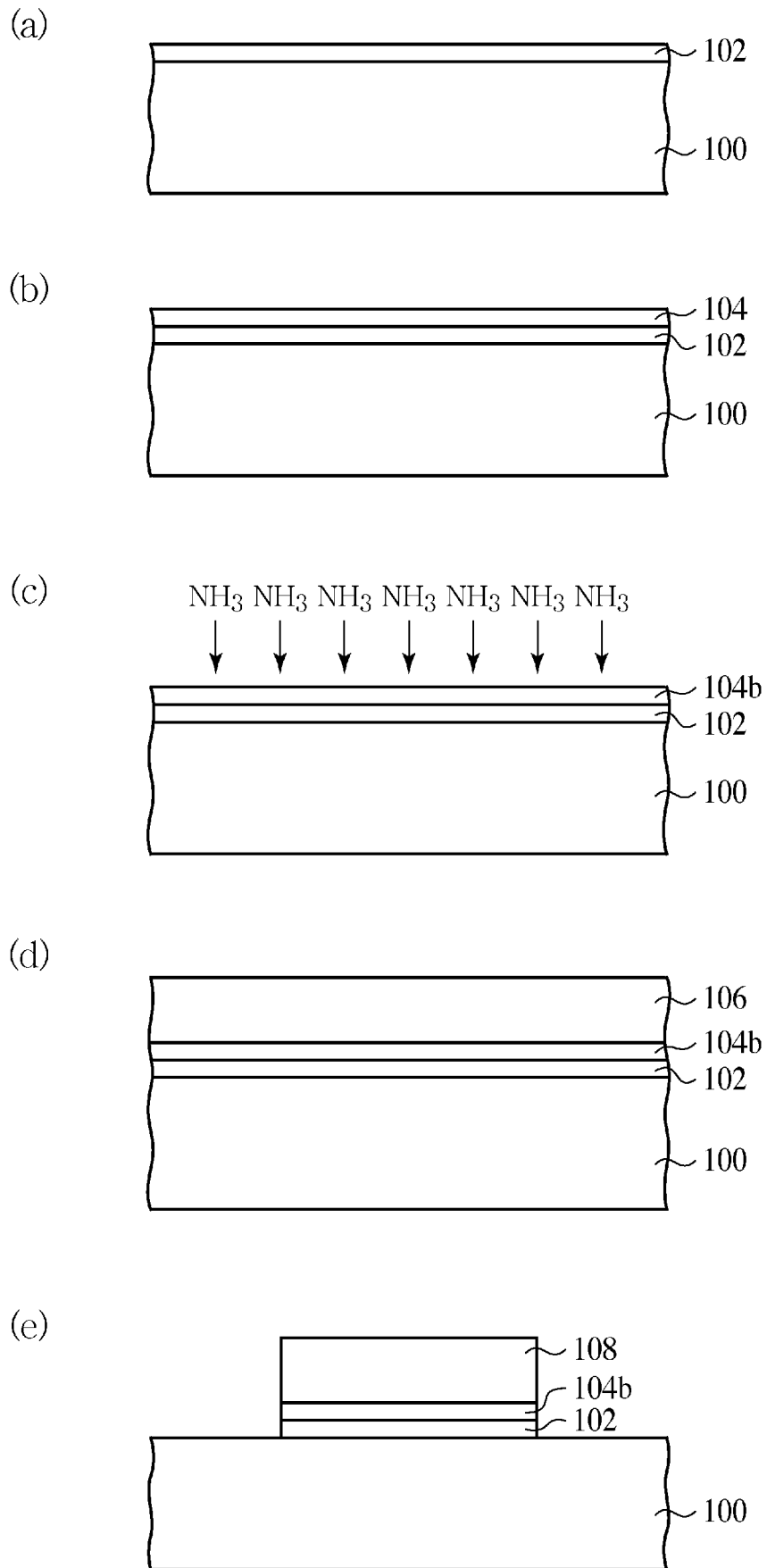
[図8]



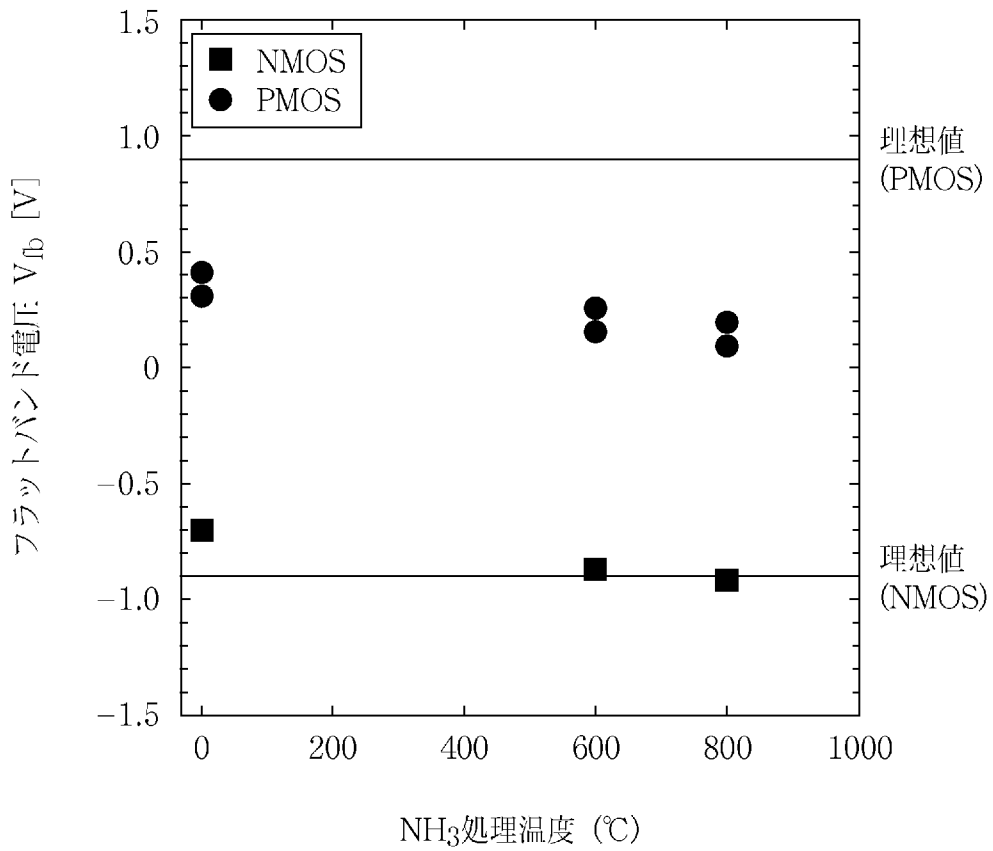
[図9]



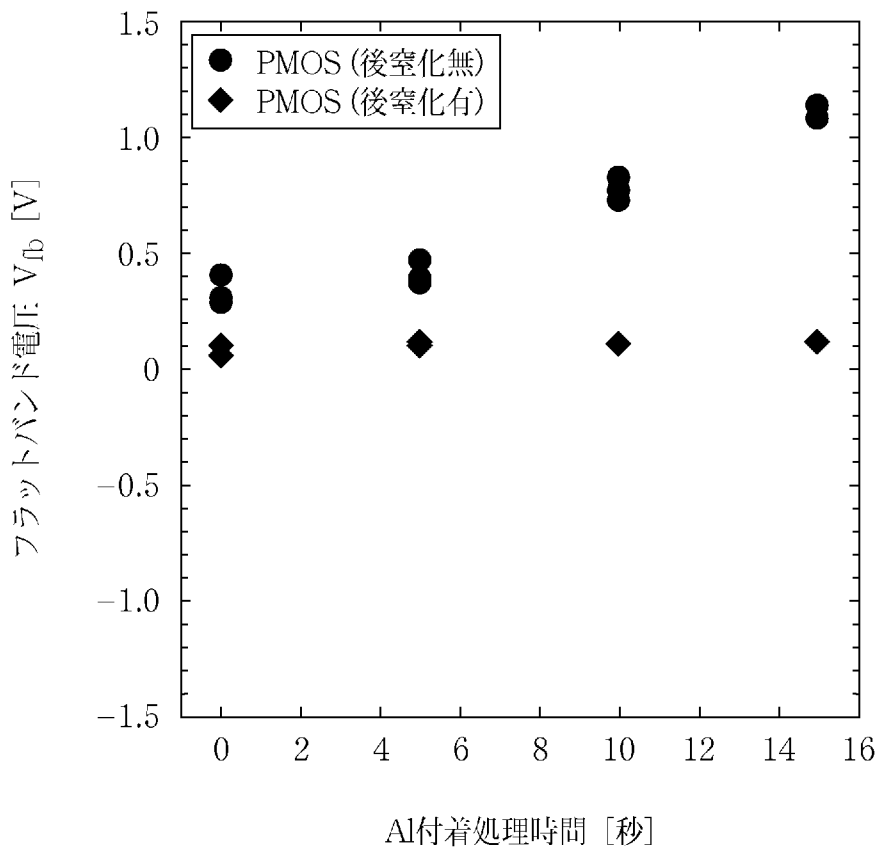
[図10]



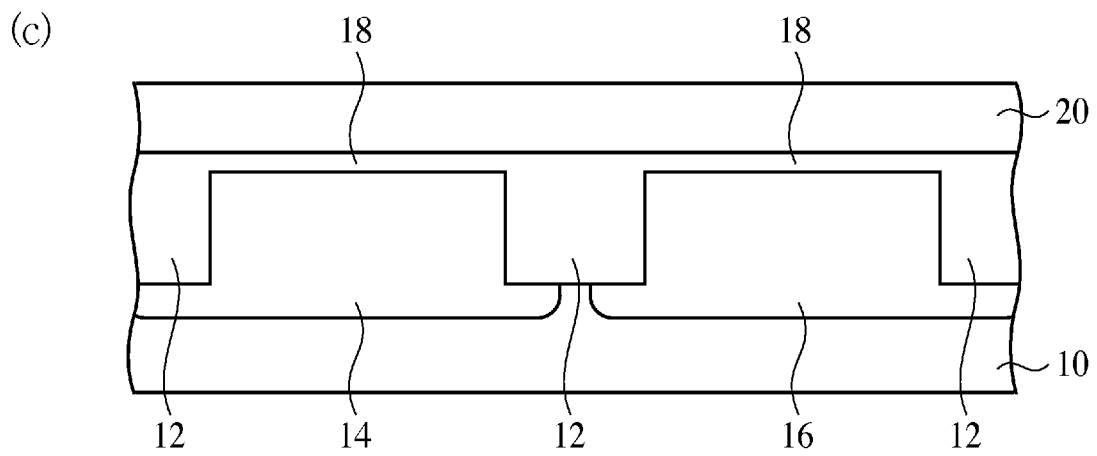
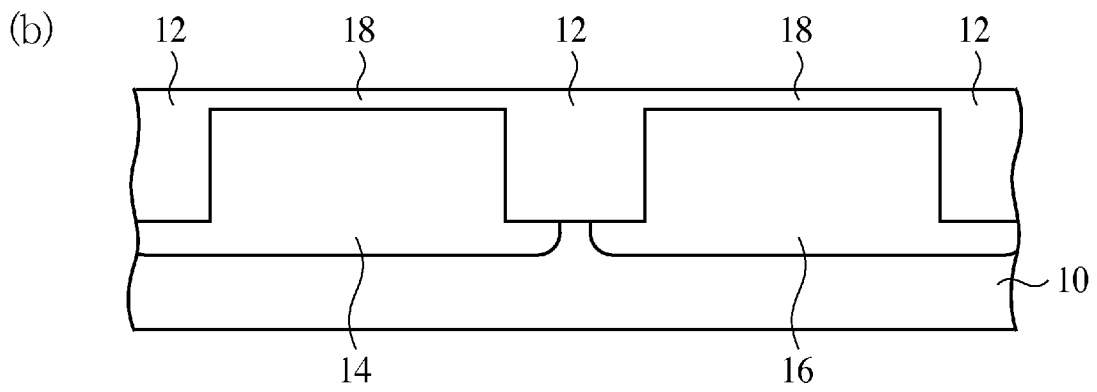
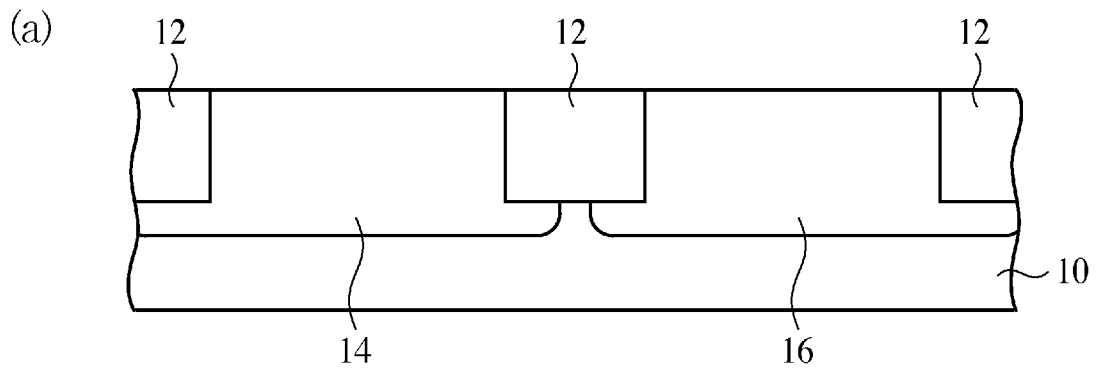
[図11]



[図12]

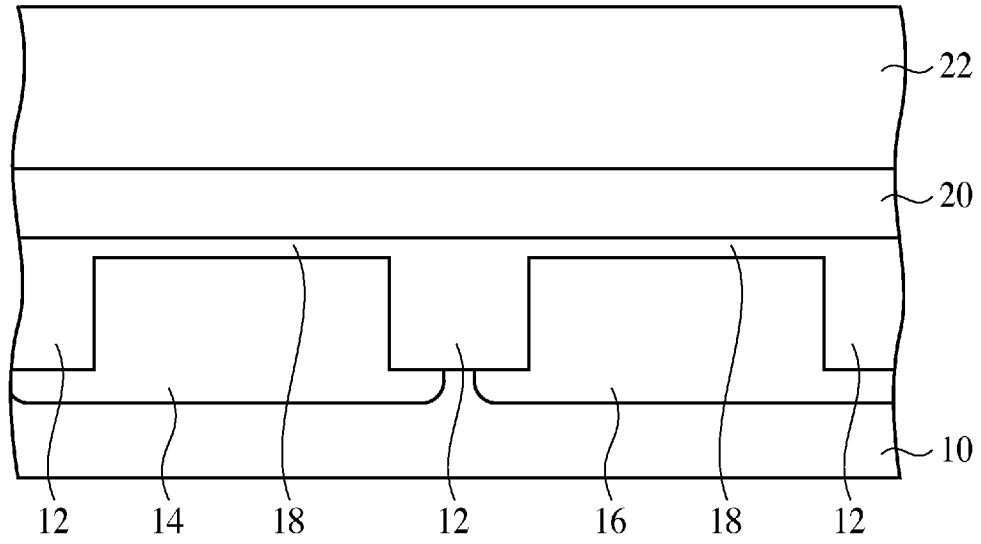


[図13]

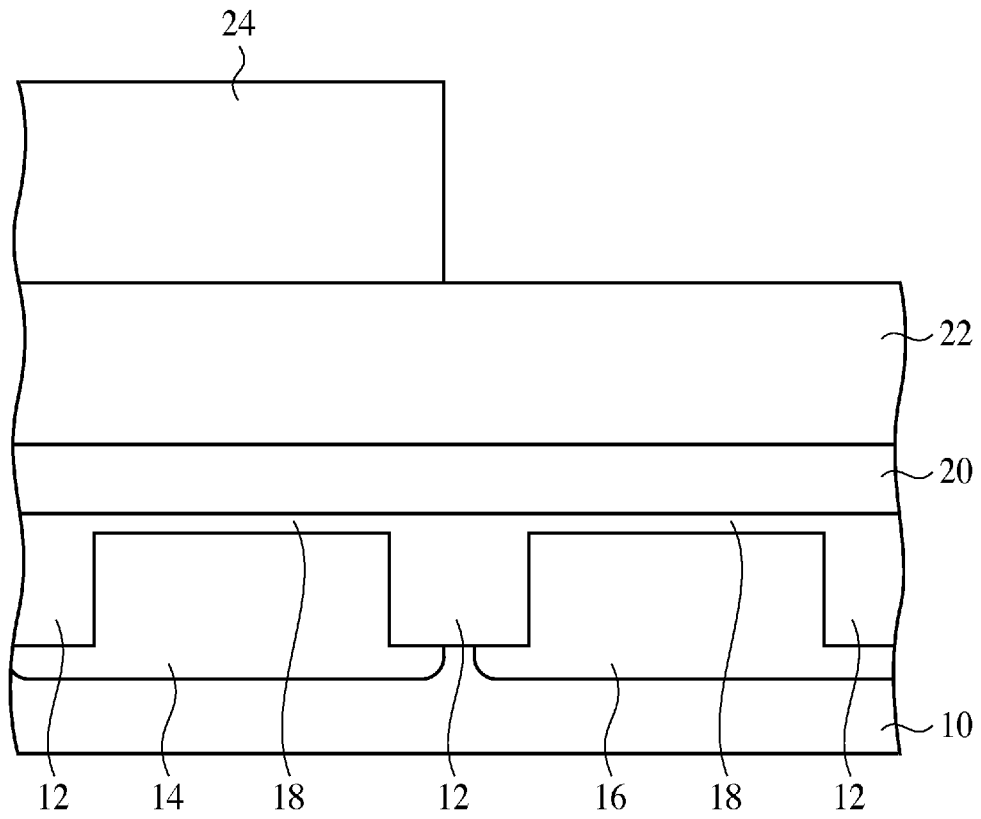


[図14]

(a)

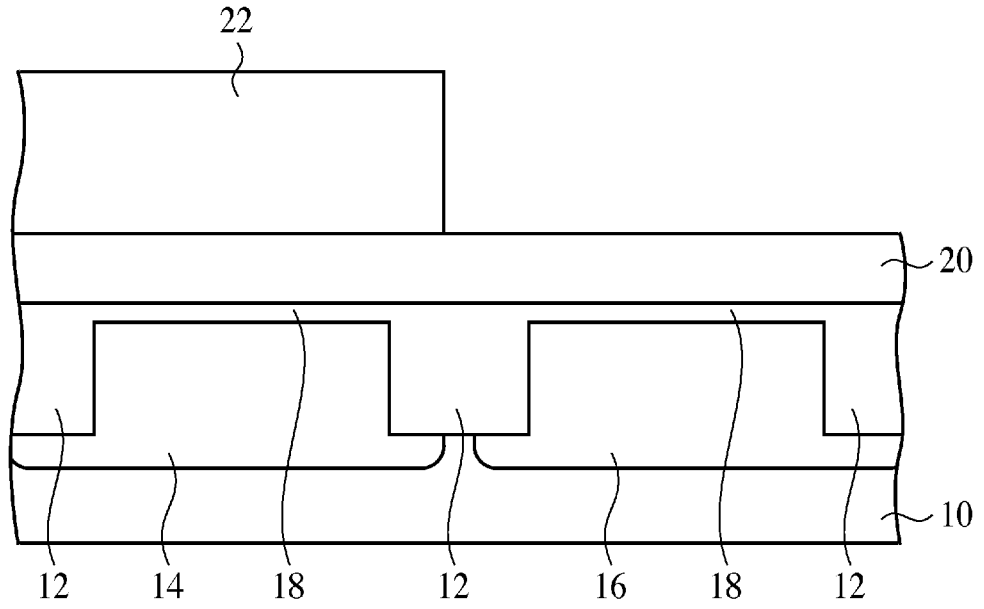


(b)

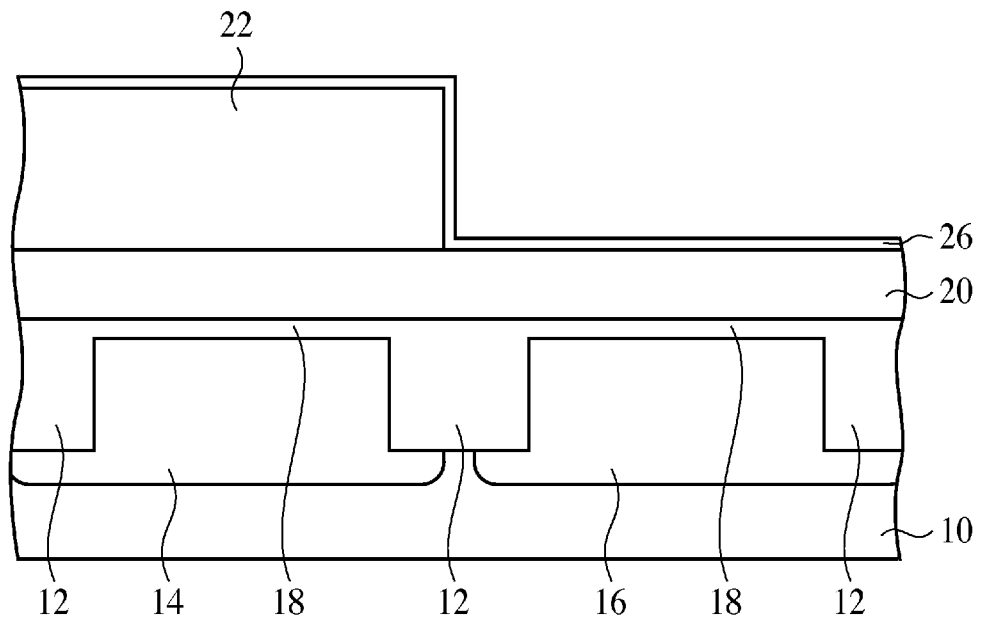


[図15]

(a)

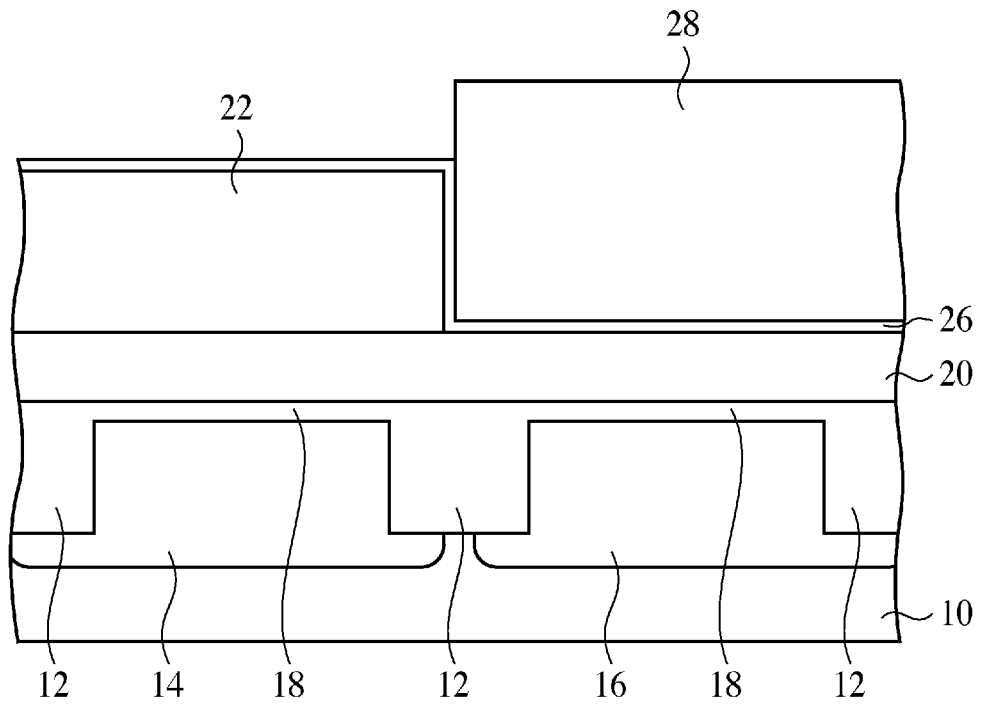


(b)

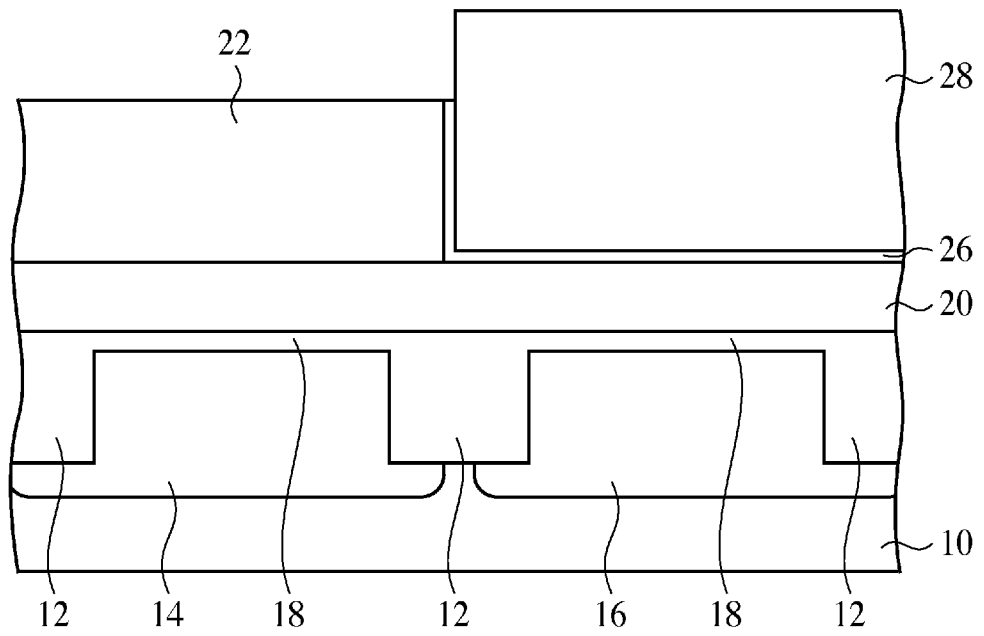


[図16]

(a)

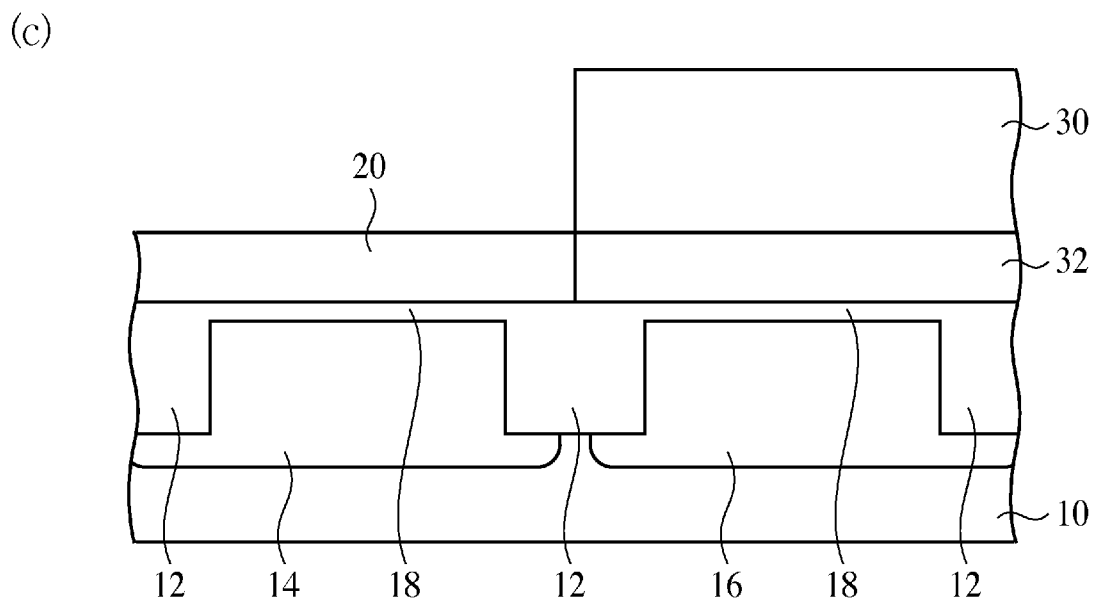
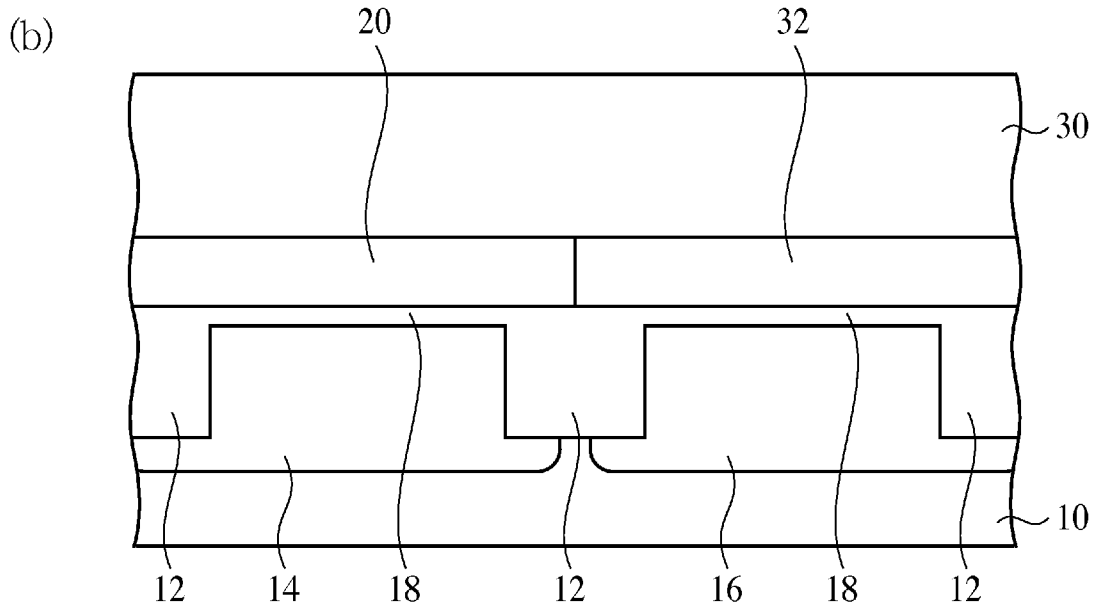
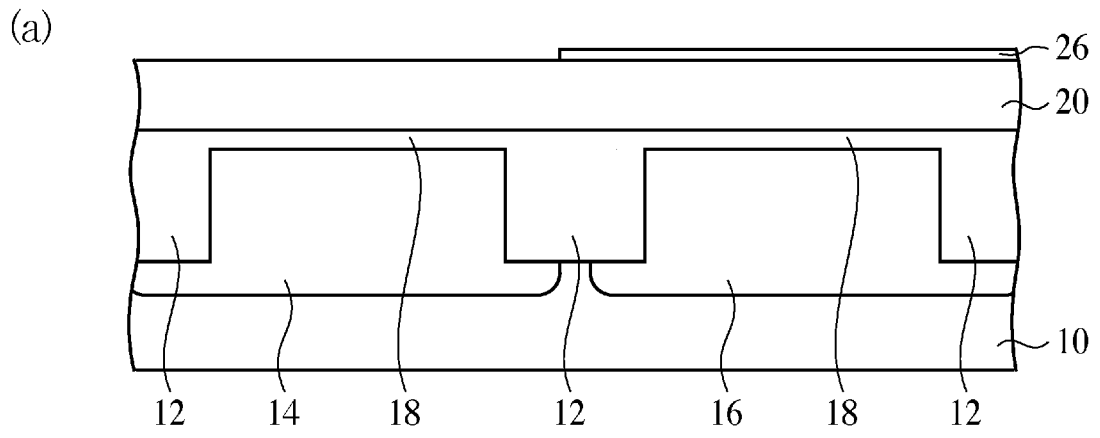


(b)



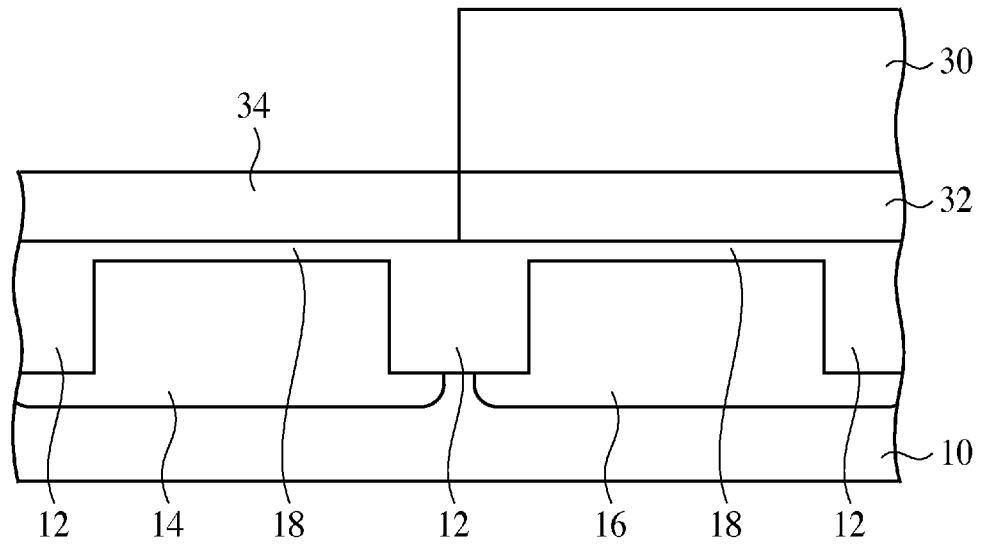


[図17]

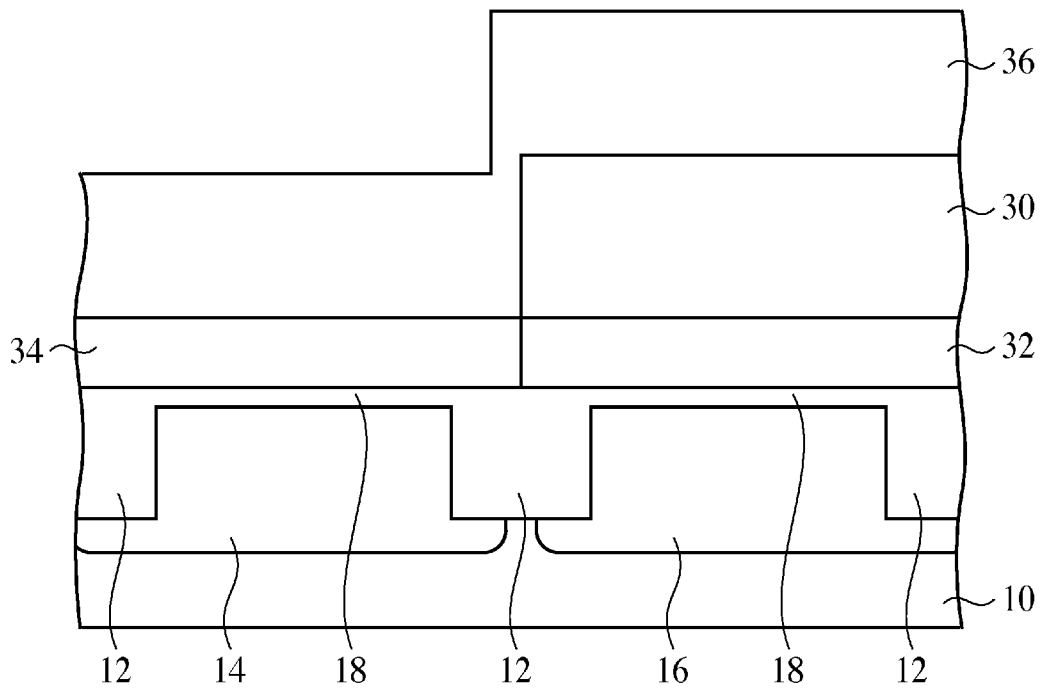


[図18]

(a)

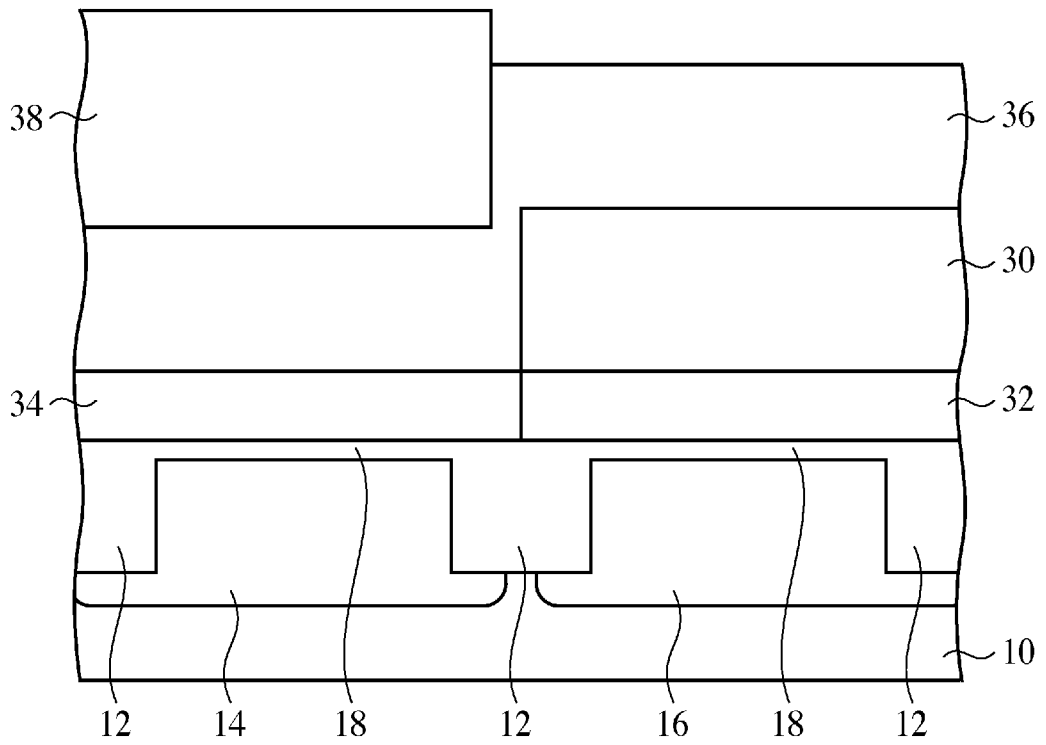


(b)

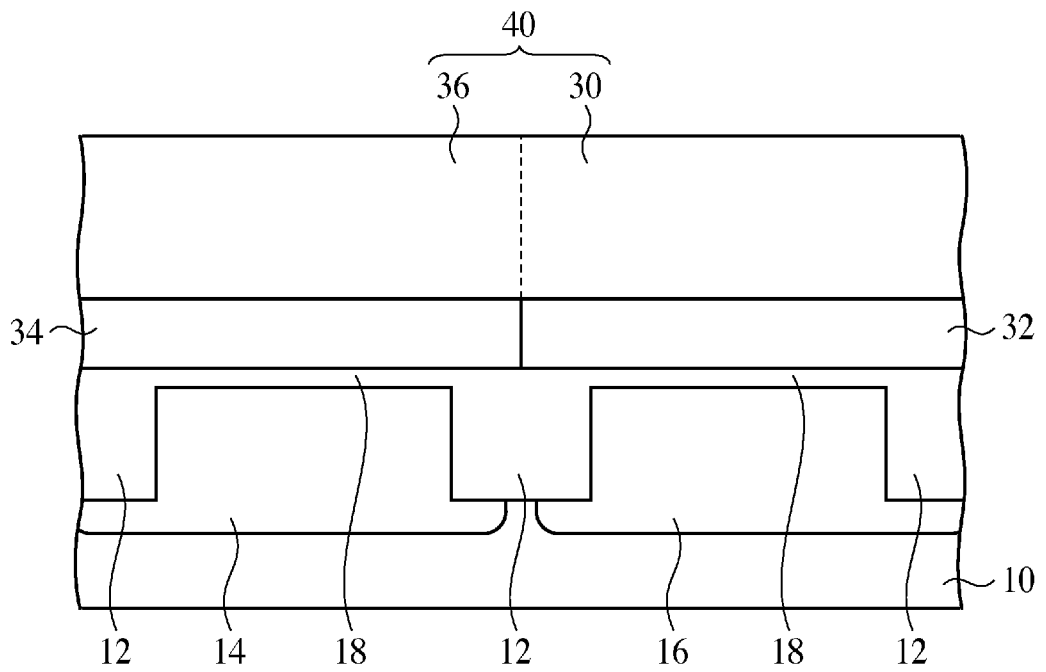


[図19]

(a)

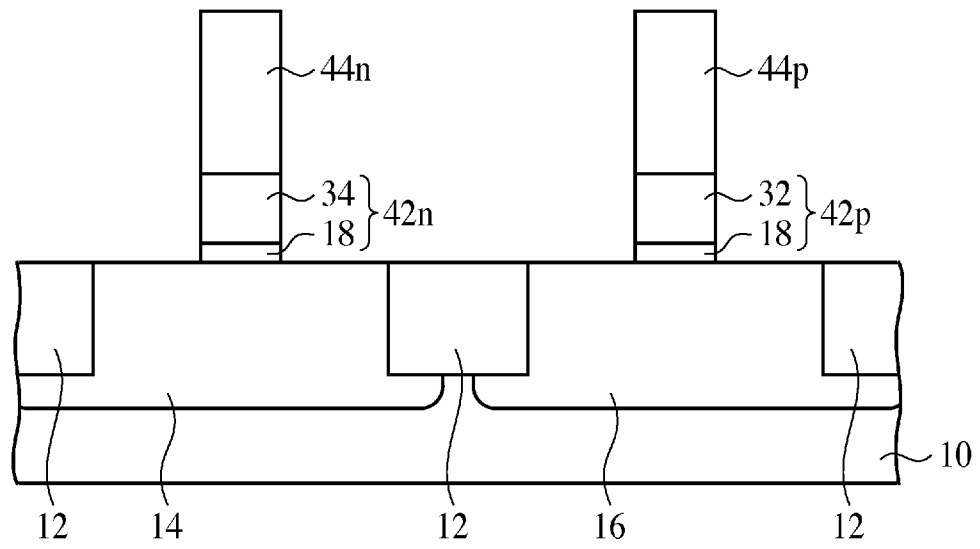


(b)

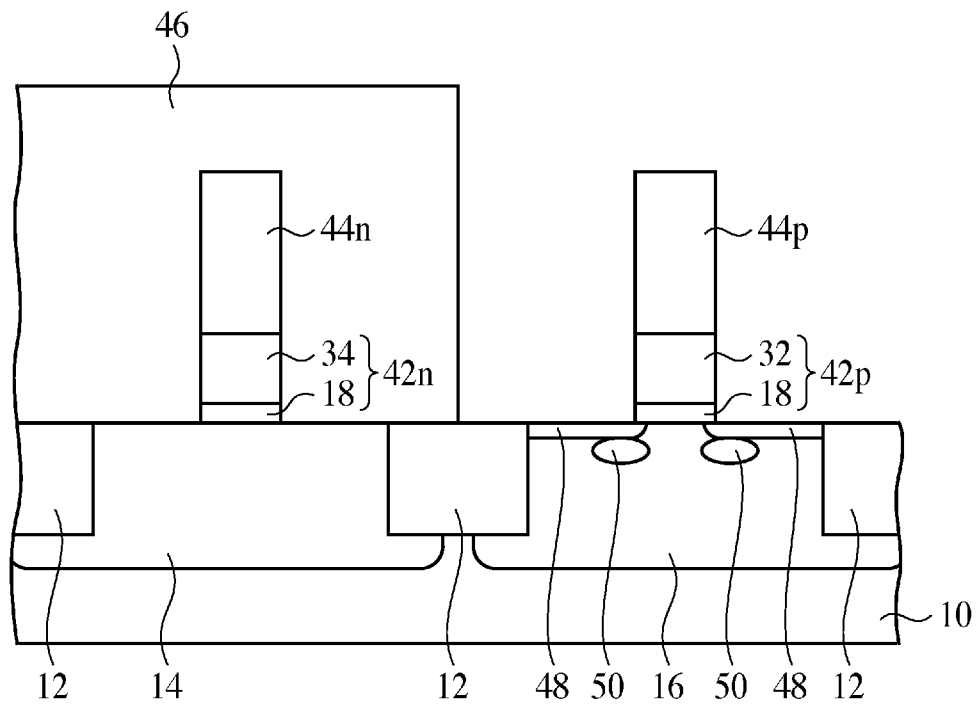


[図20]

(a)

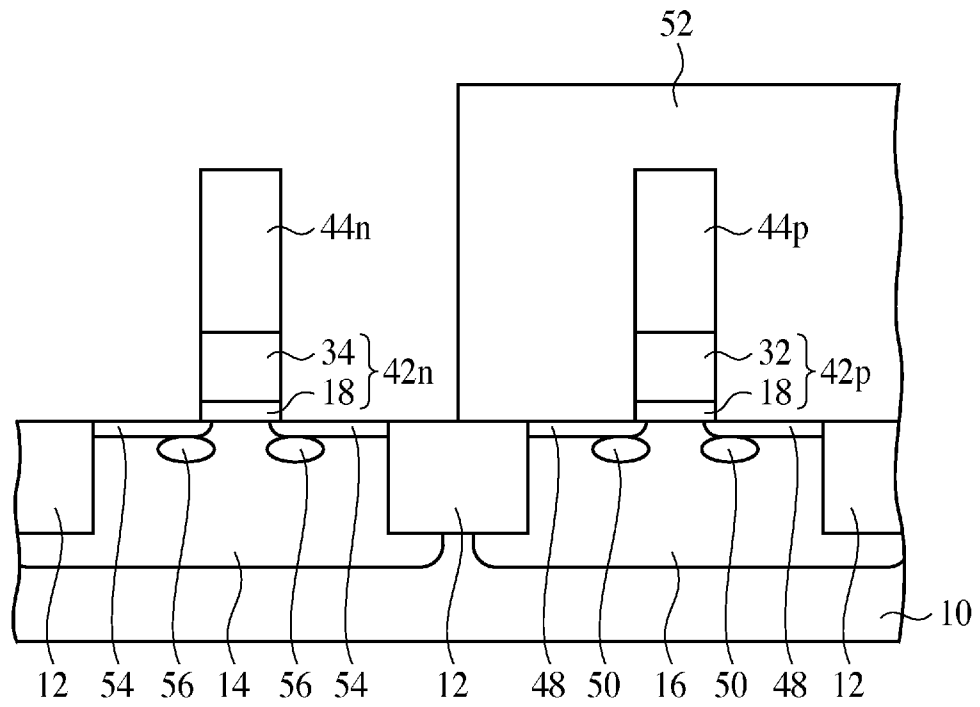


(b)

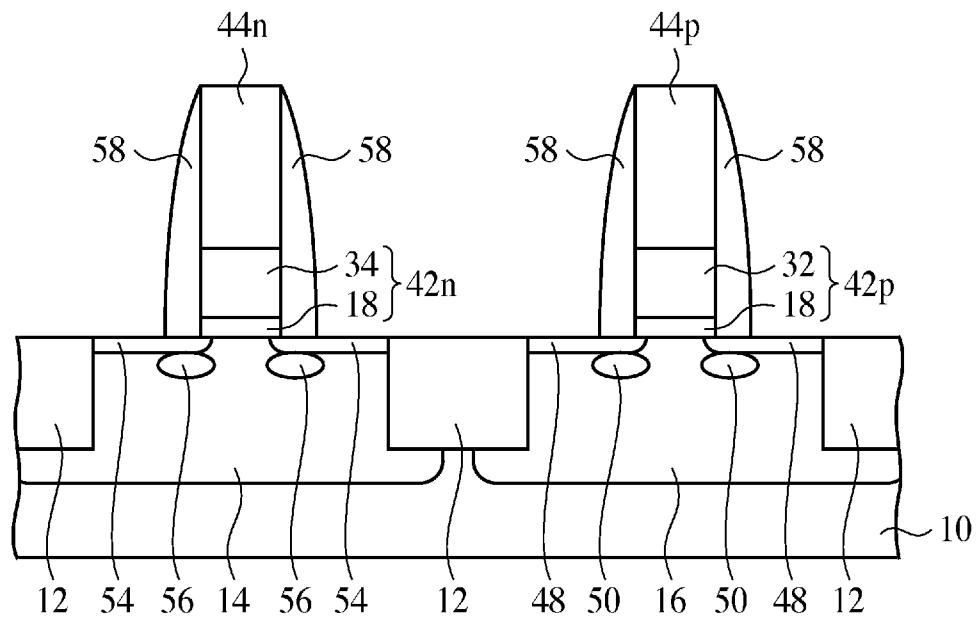


[図21]

(a)

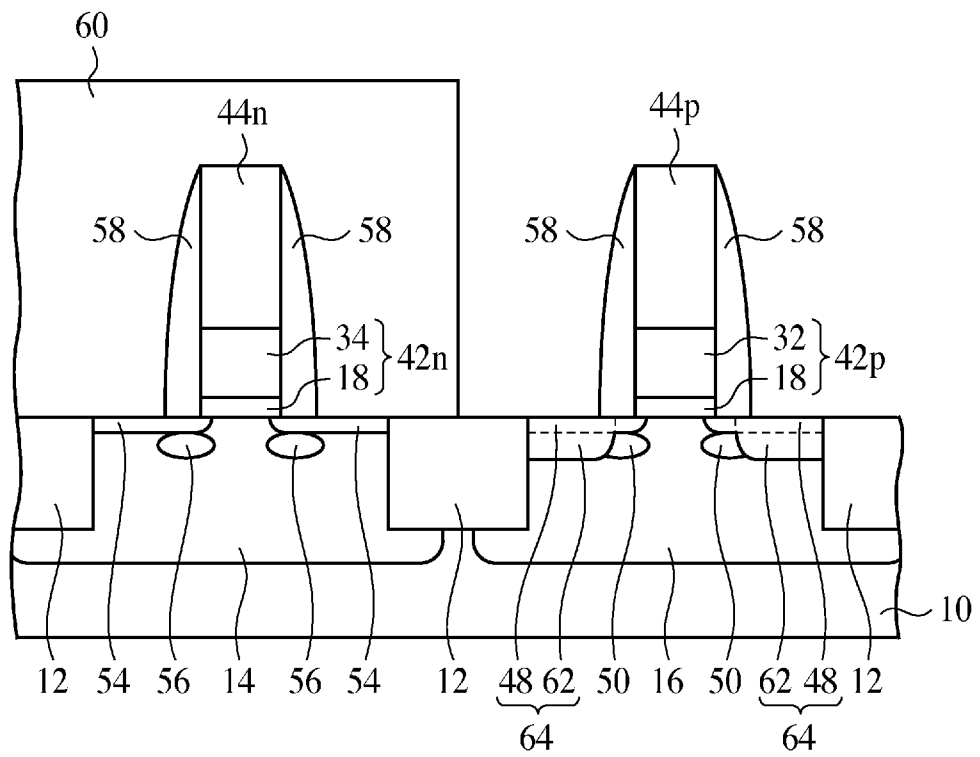


(b)

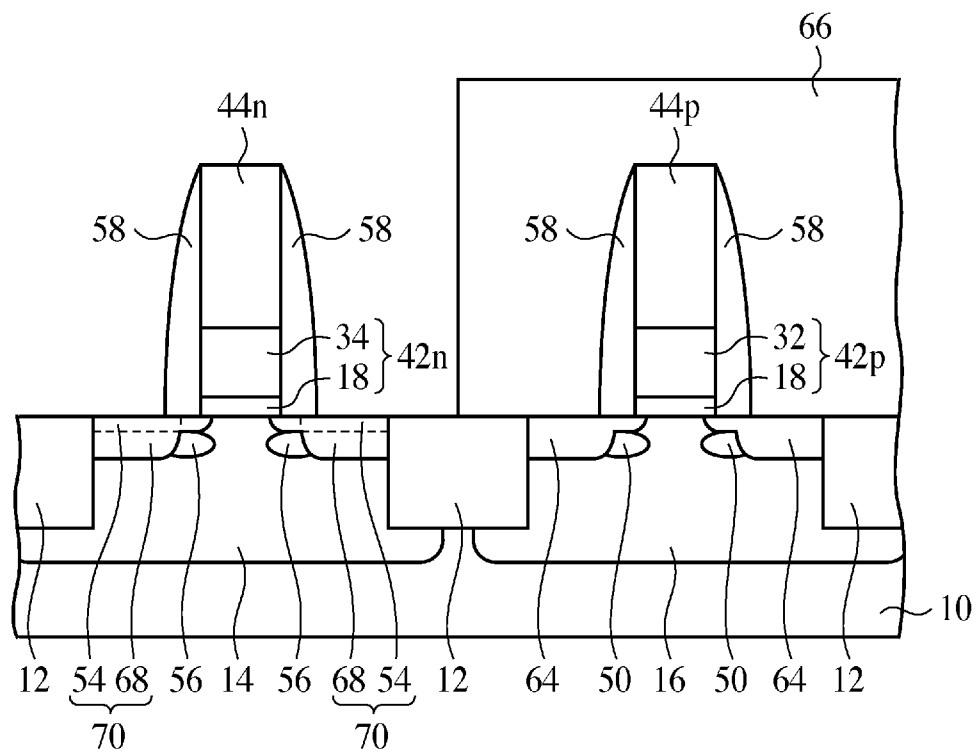


[図22]

(a)



(b)



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2006/319459

**A. CLASSIFICATION OF SUBJECT MATTER**

H01L21/8238(2006.01)i, H01L21/283(2006.01)i, H01L27/092(2006.01)i,  
H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8238, H01L21/283, H01L27/092, H01L29/423, H01L29/49, H01L29/78,  
H01L21/336, H01L21/31

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-108439 A (Samsung Electronics Co., Ltd.), 20 April, 2006 (20.04.06), Full text; Figs. 1 to 9 (Family: none)	1-13
Y	JP 2006-164998 A (Renesas Technology Corp.), 22 June, 2006 (22.06.06), Full text; Figs. 1 to 24 (Family: none)	1-13
Y	JP 2005-79309 A (Semiconductor Leading Edge Technologies, Inc.), 24 March, 2005 (24.03.05), Full text; Figs. 1 to 12 & US 2005/0045970 A1 & KR 2005-0021336 A	1-13

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
26 December, 2006 (26.12.06)

Date of mailing of the international search report  
09 January, 2007 (09.01.07)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2006/319459

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-86511 A (NEC Electronics Corp.), 30 March, 2006 (30.03.06), Full text; Figs. 1 to 6 & US 2006/0038236 A1	1-13
Y	JP 2006-93670 A (NEC Electronics Corp.), 06 April, 2006 (06.04.06), Full text; Figs. 1 to 11 & US 2006/0043497 A1	5-13



A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int.Cl. H01L21/8238(2006.01)i, H01L21/283(2006.01)i, H01L27/092(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野  
 調査を行った最小限資料 (国際特許分類 (IPC))  
 Int.Cl. H01L21/8238, H01L21/283, H01L27/092, H01L29/423, H01L29/49, H01L29/78, H01L21/336, H01L21/31

最小限資料以外の資料で調査を行った分野に含まれるもの  
 日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2006年  
 日本国実用新案登録公報 1996-2006年  
 日本国登録実用新案公報 1994-2006年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2 0 0 6 - 1 0 8 4 3 9 A (三星電子株式会社) 2006.04.20, 全文, 図1-9 (ファミリーなし)	1-13
Y	J P 2 0 0 6 - 1 6 4 9 9 8 A (株式会社ルネサステクノロジ) 2006.06.22, 全文, 図1-24 (ファミリーなし)	1-13

C欄の続きにも文献が列挙されている。  パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 26.12.2006	国際調査報告の発送日 09.01.2007
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 安田 雅彦 電話番号 03-3581-1101 内線 3498	4L	9447
---	--	----	------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2 0 0 5 - 7 9 3 0 9 A (株式会社半導体先端テクノロジーズ) 2 0 0 5 . 0 3 . 2 4 , 全文, 図1-12 & US 2 0 0 5 / 0 0 4 5 9 7 0 A 1 & KR 2 0 0 5 - 0 0 2 1 3 3 6 A	1-13
Y	J P 2 0 0 6 - 8 6 5 1 1 A (NECエレクトロニクス株式会社) 2 0 0 6 . 0 3 . 3 0 , 全文, 図1-6 & US 2 0 0 6 / 0 0 3 8 2 3 6 A 1	1-13
Y	J P 2 0 0 6 - 9 3 6 7 0 A (NECエレクトロニクス株式会社) 2 0 0 6 . 0 4 . 0 6 , 全文, 図1-11 & US 2 0 0 6 / 0 0 4 3 4 9 7 A 1	5-13