

(12) 发明专利申请

(10) 申请公布号 CN 102751967 A

(43) 申请公布日 2012. 10. 24

(21) 申请号 201110424045. 8

(22) 申请日 2011. 12. 13

(30) 优先权数据

13/089, 160 2011. 04. 18 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 彭永州 苑敏学 张智贤

(74) 专利代理机构 北京德恒律师事务所 11306

代理人 陆鑫 房岭梅

(51) Int. Cl.

H03K 5/135(2006. 01)

H03K 5/14(2006. 01)

H03L 7/16(2006. 01)

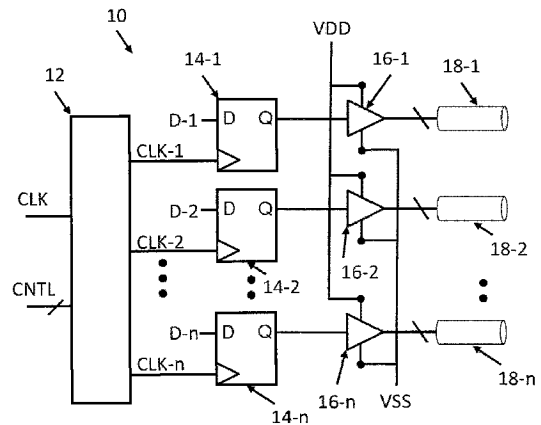
权利要求书 2 页 说明书 6 页 附图 4 页

(54) 发明名称

多相时钟发生器和数据传输线

(57) 摘要

一个实施例是集成电路。该集成电路包括时钟发生器和数据传输线。时钟发生器生成时钟信号。至少一些时钟信号与输入至时钟发生器中的输入时钟信号具有相位差, 以及至少一些时钟信号具有相对于至少另一个时钟信号的不同相位差。至少部分地通过至少一个时钟信号来触发每条数据传输线。本发明还提供了一种多相时钟发生器和数据传输线。



1. 一种集成电路,包括:

时钟发生器,生成时钟信号,所述时钟信号中的至少一些与输入至所述时钟发生器中的输入时钟信号具有相位差,以及所述时钟信号中的至少一些具有相对于至少另一个时钟信号的不同相位差;以及

数据传输线,至少部分地通过所述时钟信号中的至少一个来触发所述数据传输线的每一条。

2. 根据权利要求 1 所述的集成电路,其中,所述时钟发生器包括延迟线,每条所述延迟线都连接至所述输入时钟信号,所述延迟线中的至少一条对应于所述时钟信号中的至少一个。

3. 根据权利要求 2 所述的集成电路,其中,所述延迟线的每一条都具有电连接至锁相环 (PLL)、延迟锁定环 (DLL) 或它们的组合的输出,和 / 或

其中,所述延迟线的每一条都被配置为基于控制信号输出与所述输入时钟信号相比具有可变相位差的信号,和 / 或

其中,所述延迟线的每一条都包括:

串联连接的延迟单元;以及

可控开关,所述可控开关的每一个都电连接至一个所述延迟单元的输出,所述可控开关的输出电连接在一起。

4. 根据权利要求 2 所述的集成电路,其中,所述延迟线的每一条都包括:

串联连接的延迟单元;

多路复用器,具有电连接至所述串联连接的延迟单元的输出输入以及具有至少两个所选输出;以及

自适应缓冲器,每个所述自适应缓冲器都电连接至所述至少两个所选输出中的对应一个,所述自适应缓冲器的输出电连接在一起。

5. 根据权利要求 1 所述的集成电路,还包括:

数据锁存器,所述数据锁存器的每一个都具有被所述时钟信号中的对应一个触发的数据输入和数据输出;以及

输出缓冲器,所述输出缓冲器的每一个都具有作为所述数据锁存器中的一个的数据输出的输入,所述输出缓冲器的每一个的输出都电连接至所述传输线中的对应一条。

6. 一种集成电路,包括:

多相时钟发生器,具有多个输出时钟信号,所述多个输出时钟信号中的每一个都具有相对于输入时钟信号的延迟,所述输出时钟信号中的至少一些与至少另一个输出时钟信号相比具有不同延迟,所述输出时钟信号触发对应的数据传输线,所述多相时钟发生器包括:

可配置延迟线,每一个都具有所述输入时钟信号作为输入;以及

延迟锁定环 (DLL) 和 / 或锁相环 (PLL),所述 DLL 和 / 或 PLL 的每一个都具有所述可配置延迟线中的一条的输出作为输入,并且所述 DLL 和 / 或 PLL 的每一个都输出所述输出时钟信号中的一个。

7. 根据权利要求 6 所述的集成电路,其中,所述可配置延迟线的每一条都包括:

延迟单元,串联连接,所述延迟单元具有对应延迟输出;以及

开关,能够由控制信号控制,所述控制信号选择所述开关中的一个的输出节点作为所述时钟信号中的一个,和 / 或

其中,所述延迟单元的每一个都包括缓冲器,

其中,所述可配置延迟线的每一条都包括内插器,和 / 或

其中,所述可配置延迟线的每一条都包括:

延迟单元,串联连接,所述延迟单元具有对应延迟输出;

N- 至 -2 多路复用器,具有延迟输出作为输入并具有两个所选输出;以及

自适应缓冲器,每一个都具有所述两个所选输出中的一个作为输入,所述自适应缓冲器的输出电连接在一起,和 / 或

所述自适应缓冲器的每一个都包括:

缓冲器,具有电连接在一起的输入;以及

开关,具有电连接在一起的输出,每个开关的输入都电连接至对应缓冲器的输出。

8. 一种方法,包括:

生成多个相移时钟信号,所述相移时钟信号的每一个都相对于其他相移时钟信号具有不同的相移;

基于所述相移时钟信号触发触发器;以及

将来自所述触发器的数据信号输出到传输线上。

9. 根据权利要求 8 所述的方法,其中,生成相移时钟信号包括:配置延迟线,以基于控制信号为所述相移时钟信号提供延迟,和 / 或

其中,生成所述相移时钟信号包括:通过延迟线传送时钟信号,所述延迟线的每一条都提供可变延迟,和 / 或

通过在串联连接的延迟单元的输出之间切换延迟线的输出来提供所述可变延迟的每一个,和 / 或

其中,生成所述相移时钟信号包括:通过延迟线传送时钟信号,所述延迟线的每一条都提供可变延迟,和 / 或

通过选择串联连接的延迟单元的输出并确定所选输出之间或大于所述所选输出的所述可变延迟来提供所述可变延迟的每一个。

10. 根据权利要求 8 所述的方法,还包括:在所述数据信号被输出到所述传输线上之前,缓冲来自所述触发器的所述数据信号。

多相时钟发生器和数据传输线

技术领域

[0001] 本发明涉及半导体领域,更具体地,本发明涉及一种多相时钟发生器和数据传输线。

背景技术

[0002] 通常,集成电路具有许多传输线,这些传输线在集成电路的操作期间在芯片的各个部分之间传送信号。典型地,传输线上数字数据的转换会引起电源或接地供给中的噪声,这会劣化芯片上信号的质量。由于多条传输线和多个信号转换状态,因此可能会加重噪声。例如,该问题会在最近的 2.5D 或 3D 结构中增加,其中,2.5D 或 3D 结构包括多个芯片,每一个芯片都具有使用公共电源或接地供给的许多传输线。

[0003] 针对生成噪声所尝试的一种解决方法是创建更多的电源和接地输入/输出(I/O)。然而,更多的电源和接地 I/O 通常导致面积损失。面积损失对于大容量数据线来说是不可接受的。

[0004] 所尝试的另一种解决方式是减小与电源和接地供给的电感以减小噪声。然而,减小电感对于一些应用来说是不可行的,这是因为其不能满足封装的最小电感的限制,并且制造电感在工艺上来说会是精细且昂贵的。

[0005] 因此,本领域需要克服上述问题而不存在例如上述所尝试解决方法的所提出缺点。

发明内容

[0006] 为了解决现有技术中所存在的问题,根据本发明的一个方面,提供了一种集成电路,包括:时钟发生器,生成时钟信号,所述时钟信号中的至少一些与输入至所述时钟发生器中的输入时钟信号具有相位差,以及所述时钟信号中的至少一些具有相对于至少另一个时钟信号的不同相位差;以及数据传输线,至少部分地通过所述时钟信号中的至少一个来触发所述数据传输线的每一条。

[0007] 在该集成电路中,所述时钟发生器包括延迟线,每条所述延迟线都连接至所述输入时钟信号,所述延迟线中的至少一条对应于所述时钟信号中的至少一个。

[0008] 在该集成电路中,所述延迟线的每一条都具有电连接至锁相环(PLL)、延迟锁定环(DLL)或它们的组合的输出。

[0009] 在该集成电路中,所述延迟线的每一条都被配置为基于控制信号输出与所述输入时钟信号相比具有可变相位差的信号。

[0010] 在该集成电路中,所述延迟线的每一条都包括:串联连接的延迟单元;以及可控开关,所述可控开关的每一个都电连接至一个所述延迟单元的输出,所述可控开关的输出电连接在一起。

[0011] 在该集成电路中,所述串联连接的延迟单元的每一个都包括延迟缓冲器。

[0012] 在该集成电路中,所述延迟线的每一条都包括:串联连接的延迟单元;多路复用

器,具有电连接至所述串联连接的延迟单元的输出的输入以及具有至少两个所选输出;以及自适应缓冲器,每个所述自适应缓冲器都电连接至所述至少两个所选输出中的对应一个,所述自适应缓冲器的输出电连接在一起。

[0013] 在该集成电路中,还包括:数据锁存器,所述数据锁存器的每一个都具有被所述时钟信号中的对应一个触发的数据输入和数据输出;以及输出缓冲器,所述输出缓冲器的每一个都具有作为所述数据锁存器中的一个的数据输出的输入,所述输出缓冲器的每一个的输出都电连接至所述传输线中的对应一条。

[0014] 根据本发明的另一方面,提供了一种集成电路,包括:多相时钟发生器,具有多个输出时钟信号,所述多个输出时钟信号中的每一个都具有相对于输入时钟信号的延迟,所述输出时钟信号中的至少一些与至少另一个输出时钟信号相比具有不同延迟,所述输出时钟信号触发对应的数据传输线,所述多相时钟发生器包括:可配置延迟线,每一个都具有所述输入时钟信号作为输入;以及延迟锁定环(DLL)和/或锁相环(PLL),所述DLL和/或PLL的每一个都具有所述可配置延迟线中的一条的输出作为输入,并且所述DLL和/或PLL的每一个都输出所述输出时钟信号中的一个。

[0015] 在该集成电路中,所述可配置延迟线的每一条都包括:延迟单元,串联连接,所述延迟单元具有对应延迟输出;以及开关,能够由控制信号控制,所述控制信号选择所述开关中的一个的输出节点作为所述时钟信号中的一个。

[0016] 在该集成电路中,所述延迟单元的每一个都包括缓冲器。

[0017] 在该集成电路中,所述可配置延迟线的每一条都包括内插器。

[0018] 在该集成电路中,所述可配置延迟线的每一条都包括:延迟单元,串联连接,所述延迟单元具有对应延迟输出; $N-1$ 至 2 多路复用器,具有延迟输出作为输入并具有两个所选输出;以及自适应缓冲器,每一个都具有所述两个所选输出中的一个作为输入,所述自适应缓冲器的输出电连接在一起。

[0019] 在该集成电路中,所述自适应缓冲器的每一个都包括:缓冲器,具有电连接在一起的输入;以及开关,具有电连接在一起的输出,每个开关的输入都电连接至对应缓冲器的输出。

[0020] 根据本发明的又一方面,提供了一种方法,包括:生成多个相移时钟信号,所述相移时钟信号的每一个都相对于其他相移时钟信号具有不同的相移;基于所述相移时钟信号触发触发器;以及将来自所述触发器的数据信号输出到传输线上。

[0021] 在该方法中,生成相移时钟信号包括:配置延迟线,以基于控制信号为所述相移时钟信号提供延迟。

[0022] 在该方法中,生成所述相移时钟信号包括:通过延迟线传送时钟信号,所述延迟线的每一条都提供可变延迟。

[0023] 在该方法中,通过在串联连接的延迟单元的输出之间切换延迟线的输出来提供所述可变延迟的每一个。

[0024] 在该方法中,通过选择串联连接的延迟单元的输出并确定所选输出之间或大于所述所选输出的所述可变延迟来提供所述可变延迟的每一个。

[0025] 在该方法中,还包括:在所述数据信号被输出到所述传输线上之前,缓冲来自所述触发器的所述数据信号。

附图说明

[0026] 为了更加完整地理解本发明的实施例及其优点,现在结合附图进行以下描述,其中:

[0027] 图 1 是根据实施例的包括具有数据传输线的多相时钟发生器的系统;

[0028] 图 2 是根据实施例的多相时钟发生器的实例;

[0029] 图 3 是根据实施例的具有可配置延迟的延迟线的第一实例;

[0030] 图 4 是根据实施例的具有可配置延迟的延迟线的第二实例;以及

[0031] 图 5 是根据实施例的自适应缓冲器的实例。

具体实施方式

[0032] 以下详细讨论本发明实施例的制造和用法。然而,应该理解,本公开提供了许多可以在各种特定环境下具体化的可应用新概念。所讨论的具体实施例仅仅示出了制造和使用所公开概念的特定方式,而不用于限制。

[0033] 在特定语境(即,在集成电路中包括数据传输线的系统)中描述了实施例。应该注意,传输线可以包括导线、传输总线等,和/或它们的组合。然而,本公开还可以应用于任何集成电路结构,诸如单芯片封装、2.5D 封装或 3D 封装。

[0034] 图 1 是根据实施例的具有数据传输线 18-1、18-2 和 18-n 的多相时钟发生器 12 的系统 10。多相时钟发生器 12 接收输入时钟信号 CLK 和 j 位控制信号 CNTL,并生成多相时钟信号,诸如时钟信号 CLK-1、CLK-2 至 CLK-n 其中,n 是所生成时钟信号的数量。所生成的时钟信号 CLK-1 至 CLK-n 的每一个通常都具有与输入的时钟信号 CLK 不同的相位或者具有与输入的时钟信号 CLK 不同的延迟传播,然而,所生成的时钟信号 CLK-1 至 CLK-n 中的一些可以具有与输入的时钟信号 CLK 相同的相位或延迟。如本领域已知的,相位差通常是指函数或信号相对于另一函数或信号的角度差,以及延迟通常是指函数或信号相对于另一函数或信号的定时差。所生成的时钟信号 CLK-1 至 CLK-n 的每一个都驱动对应的一个数据锁存器 14-1、14-2 至 14-n,其中,数据锁存器还可以为任意触发器。数据锁存器 14-1 至 14-n 中的每一个都具有沿着对应的传输线 18-1 至 18-n 所传输的对应数据输入 D-1、D-2 至 D-n。数据锁存器 14-1 至 14-n 中每一个的输出是对应缓冲器 16-1、16-2 至 16-n 的输入。对应缓冲器 16-1 至 16-n 的每一个点都连接在电源 VDD 和地 VSS 之间,并且缓冲器 16-1 至 16-n 的每一个都作用于沿着对应的数据传输线 18-1 至 18-n 传输数据信号的低阻抗驱动器。

[0035] 图 2 示出了根据实施例的多相时钟发生器 12 的实例。输入时钟信号 CLK 被输入至延迟线 30-1、30-2 至 30-n 中的每一条。延迟线 30-1 至 30-n 中的每一条通常将输入时钟信号 CLK 延迟一些量,然而延迟线 30-1 至 30-n 中的一条或多条可以不延迟输入时钟信号 CLK。如以下进一步所详细示出的,延迟线 30-1 至 30-n 可以分别具有固定的延迟,或者可以具有基于控制信号 CLK 的一些位的可配置延迟。每条延迟线 30-1 至 30-n 的输出是对应的延迟锁定环(DLL)或锁相环(PLL)32-1、32-2 至 32-n(诸如抗扭斜 DLL 或 PLL)的输入。DLL/PLL 32-1 至 32-n 输出所生成的时钟信号 CLK-1 至 CLK-n 中的对应一个。DLL 或 PLL 的结构在本领域中是已知的。PLL 通常用于生成具有“锁”相或与输入信号匹配的输出信号。类似地,DLL 通常用于生成具有与输入信号锁定的延迟的输出信号。

[0036] 控制信号 CNTL 可以为任意位宽 (诸如 j 位), 并且可以根据实施例而变化。值得注意的是, 尽管各种位的控制信号 CNTL 被示出为直接输入至延迟线 30-1 至 30-n, 但控制信号还可以输入至中间控制逻辑, 其具有来自输入至延迟线 30-1 至 30-n 的控制逻辑的输出。本领域的技术人员基于本文所描述的实施例容易地理解控制逻辑的可能结构。

[0037] 图 3 示出了具有可配置延迟的延迟线 30' 的第一实例。输入时钟信号 CLK 被输入至串联连接的 N 个延迟单元, 其具有所示出的延迟单元 40、42、44 和 46。在该实施例中, 延迟单元 40、42、44 和 46 的每一个都是缓冲器, 诸如两个串联连接的反相器, 其对输入至缓冲器的信号施加延迟 ΔT_n 。例如, 用于对应延迟单元 40、42、44 和 46 的延迟 ΔT_1 、 ΔT_2 、 ΔT_3 和 ΔT_n 可以根据设计选择相同或不同。延迟单元 40、42、44 和 46 的每一个的输出都连接至对应的开关 50、52、54 和 56, 该开关 50、52、54 和 56 被输入至延迟线 30' 的控制信号 CNTL 的各位的对应位 CNTL1' -1、CNTL1' -2、CNTL1' -3 和 CNTL1' -k 所控制。开关 50、52、54 和 56 具有一起连接至延迟信号 DELAY 的输出节点。在该配置中, 当开关 50、52、54 和 56 中的一个闭合时, 其他开关保持打开, 使得延迟信号 DELAY 具有相对于与延迟单元 (在传送通过闭合开关之前传播延迟) 的数量相对应的时钟信号 CLK 的延迟, 并输出为延迟信号 DELAY。例如, 如果开关 52 闭合且开关 50、54 和 56 打开, 则延迟信号 DELAY 具有与有延迟单元 40 和 42 引起的延迟相对应的 $2\Delta T$ 的延迟。

[0038] 图 4 示出了具有可配置延迟的延迟线 30'' 的第二实例, 诸如示例性内插器。输入时钟信号 CLK 被输入至串联连接的 N 个延迟单元, 其具有所示出的延迟单元 60、62、64 和 66。图 4 中的延迟单元可以与图 3 中的延迟单元相同或类似。延迟单元 60、62、64 和 66 的每一个的输出都输入至 $N-1$ 至 2 多路复用器 70。多路复用器 70 输出基于控制信号 CNTL1'' 所选择的两个延迟信号, 其中, 控制信号 CNTL1'' 是输入至延迟线 30'' 的控制信号 CNTL 中的位。多路复用器 70 的输出被输入至对应的自适应缓冲器 72 和 74 (如图 5 所示)。基于输入至自适应缓冲器 72 和 74 的对应控制信号 CNTL2 和 CNTL3 (它们均为控制信号 CNTL 中的位), 自适应缓冲器 72 和 74 连接至一起以输出延迟信号 DELAY。延迟信号 DELAY 的延迟具有与从多路复用器 70 输出的两个信号的延迟之间的延迟相对应的延迟。例如, 如果通过多路复用器 70 来输出具有延迟 ΔT 的延迟单元 60 的输出和具有延迟 $2\Delta T$ 的延迟单元 62 的输出, 则延迟信号 DELAY 可具有 ΔT 和 $2\Delta T$ 之间的延迟。

[0039] 图 5 示出了图 4 的延迟线 30'' 的自适应缓冲器 72/74。自适应缓冲器 72/74 包括缓冲器 80、82 和 84。缓冲器 80、82 和 84 的每一个都具有例如来自图 4 中的多路复用器 70 的一个输出的输入信号 IN。缓冲器 80、82 和 84 的每一个都连接至对应的开关 86、88 和 90, 其中, 通过控制信号 CNTL-1、CNTL-2、CNTL-m (它们均是如图 4 所示 CNTL2 和 CNTL3 中的位) 的对应位来控制开关 86、88 和 90 的每一个。开关 86、88 和 90 连接至一起并输出输出信号 OUT, 其可以连接至其他自适应缓冲器的输出信号 OUT 以输出图 4 的延迟信号 DELAY。

[0040] 参照图 4 和图 5, 控制信号 CNTL2 和 CNTL3 的位提供加权以确定由内插器输出的延迟信号 DELAY 的延迟。例如, 如果控制信号 CNTL2 具有对远远多于控制信号 CNTL3 的位的驱动强度进行加权的位, 则延迟信号 DELAY 将具有与输入至自适应缓冲器 74 的信号的延迟相比更接近输入至自适应缓冲器 72 的信号的延迟的延迟。例如, 如果控制信号 CNTL3 具有对远远多于控制信号 CNTL2 的位的驱动强度进行加权的位, 则延迟信号 DELAY 将具有与输入至自适应缓冲器 72 的信号的延迟相比更接近输入至自适应缓冲器 74 的信号的延迟的延

迟。此外,如果控制信号 CNTL2 和 CNTL3 被均等加权,则延迟信号 DELAY 通常将具有接近于输入至对应的自适应缓冲器 72 和 74 的延迟差的一半加上具有最小延迟的信号的延迟。例如,如果具有延迟 ΔT 和 $2\Delta T$ 的信号分别被输入至对应的自适应缓冲器 72 和 74,则控制信号被均等加权,延迟信号 DELAY 的延迟通常将为 $\Delta T + 1/2(2\Delta T - \Delta T)$ 。本领域普通技术人员应该容易地理解控制信号 CNTL2 和 CNTL3 的不同加权以获得各种延迟并实现等效电路,该不同加权和等效电路均为本发明实施例所能预期。

[0041] 诸如图 1 至图 4 所示的实施例可以生成具有不同相位的时钟信号。不同的相位可以为延迟(诸如上述 ΔT)的整数倍,或者可以为任何生成的差。然后,时钟信号可以驱动其中具有数据输入的对应数据锁存器。数据锁存器的输出沿着例如横跨半导体芯片的对应传输线来传输。通过使时钟信号具有不同的相位,传输线上的数据转移可以以异步时序发生。转移的异步时序会导致在单个瞬间发生较少的转移,由此与仅适用单个时钟相比会减小由同步切换输出生成的电源或接地面上的噪声量。此外,对于低摆幅传输可以增加定时容限,并且传输信号的功耗可以由于偏移的时间间隔而减小。

[0042] 一个实施例是集成电路。该集成电路包括时钟发生器和数据传输线。时钟发生器生成时钟信号。至少一些时钟信号与输入至时钟发生器中的输入时钟信号具有相位差,以及至少一些时钟信号具有相对于至少另一个时钟信号的不同相位差。至少部分地通过至少一个时钟信号来触发每条数据传输线。

[0043] 另一个实施例是集成电路。该集成电路包括多相时钟发生器,其中,多相时钟发生器包括可配置延迟以及延迟锁定环(DLL)和/或锁相环(PLL)。多相时钟发生器具有多个输出时钟信号。多个输出时钟信号的每一个都具有相对于输入时钟信号的延迟,并且至少一些输出时钟信号与至少另一个输出时钟信号相比具有不同延迟。输出时钟信号触发对应的输出传输线。可配置延迟线的每一个都具有输入时钟信号来作为输入。DLL 和/或 PLL 的每一个都具有可配置延迟线中的一条的输出来作为输入,并且 DLL 和/或 PLL 的每一个都输出输出时钟信号中的一个。

[0044] 又一实施例为一种方法,包括:生成多个相移时钟信号;基于相移时钟信号触发触发器;以及将来自触发器的数据信号输出到传输线上。相移时钟信号的每一个都具有相对于其他相移时钟信号的不同相移。

[0045] 尽管已经详细描述了本发明的实施例及其优点,但应该理解,在不背离由所附权利要求限定的本公开的精神和范围的情况下,可以进行各种改变、替换和修改。例如,图 1 至图 4 中的输入时钟信号 CLK 可用于驱动数据锁存器,该数据锁存器用于与驱动另一数据锁存器的至少一个其他相移时钟信号一起沿着传输线进行数据传输。此外,输入时钟信号 CLK 可被直接传送至数据锁存器,或者可以通过延迟线传送,诸如通过连接至延迟线的输入的开关来传送。此外,可以在本领域技术人员知识范围内使用和考虑延迟线的许多其他结构而不需要过多实验。此外,每条延迟线都可以诸如通过具有与期望的相移相对应的串联延迟单元的数量来具有固定的非可配置延迟。例如,如果期望 $2\Delta T$ 相移,则只有两个延迟单元可被串联,以使延迟信号具有期望的相移。上述附图用虚线示出了如何在实施例中考虑附图的更多或更少的部件。

[0046] 此外,实施例考虑可以在各种部件中使用控制逻辑。如上所讨论的,多相时钟发生器 12 可具有中间控制逻辑。此外,每条延迟线都可以具有控制逻辑,其可以与其他延迟线

相同或不同,使得对应的控制信号可被输入至控制逻辑,并且控制逻辑的输出可以控制对应的部件。在本领域普通技术人员的技能和知识的范围内考虑这些结构。

[0047] 此外,本申请的范围不限于说明书中描述的处理、机器、制造、物质组成、装置、方法和步骤的特定实施例。如本领域的技术人员可以从本发明实施例的公开所容易理解的,可以根据本公开利用现有或稍后开发的执行与本文所描述对应实施例基本相同的功能并实现基本相同结果的处理、机器、制造、物质组成、装置、方法或步骤。因此,所附权利要求用于在它们的范围内包括这些处理、机器、制造、物质组成、装置、方法或步骤。

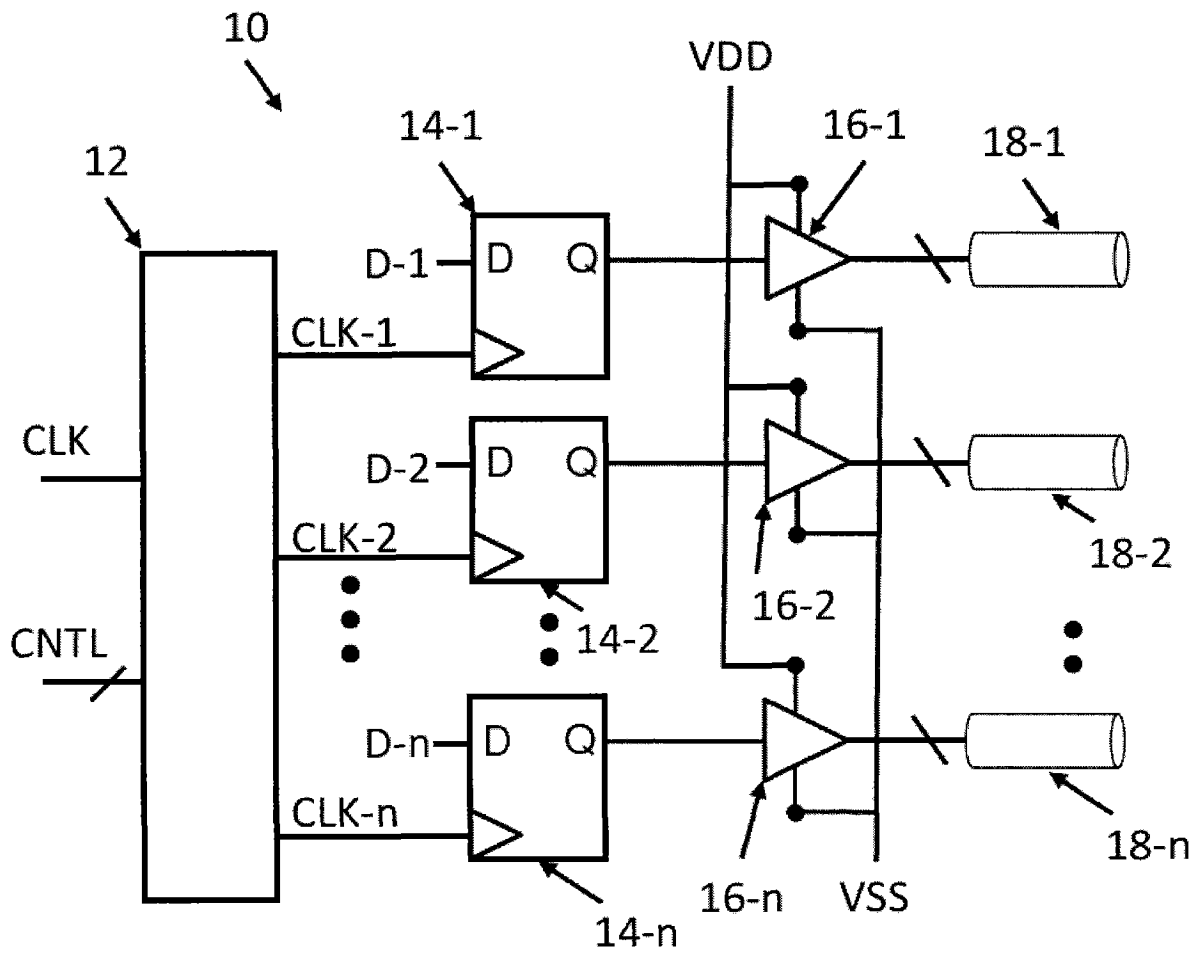


图 1

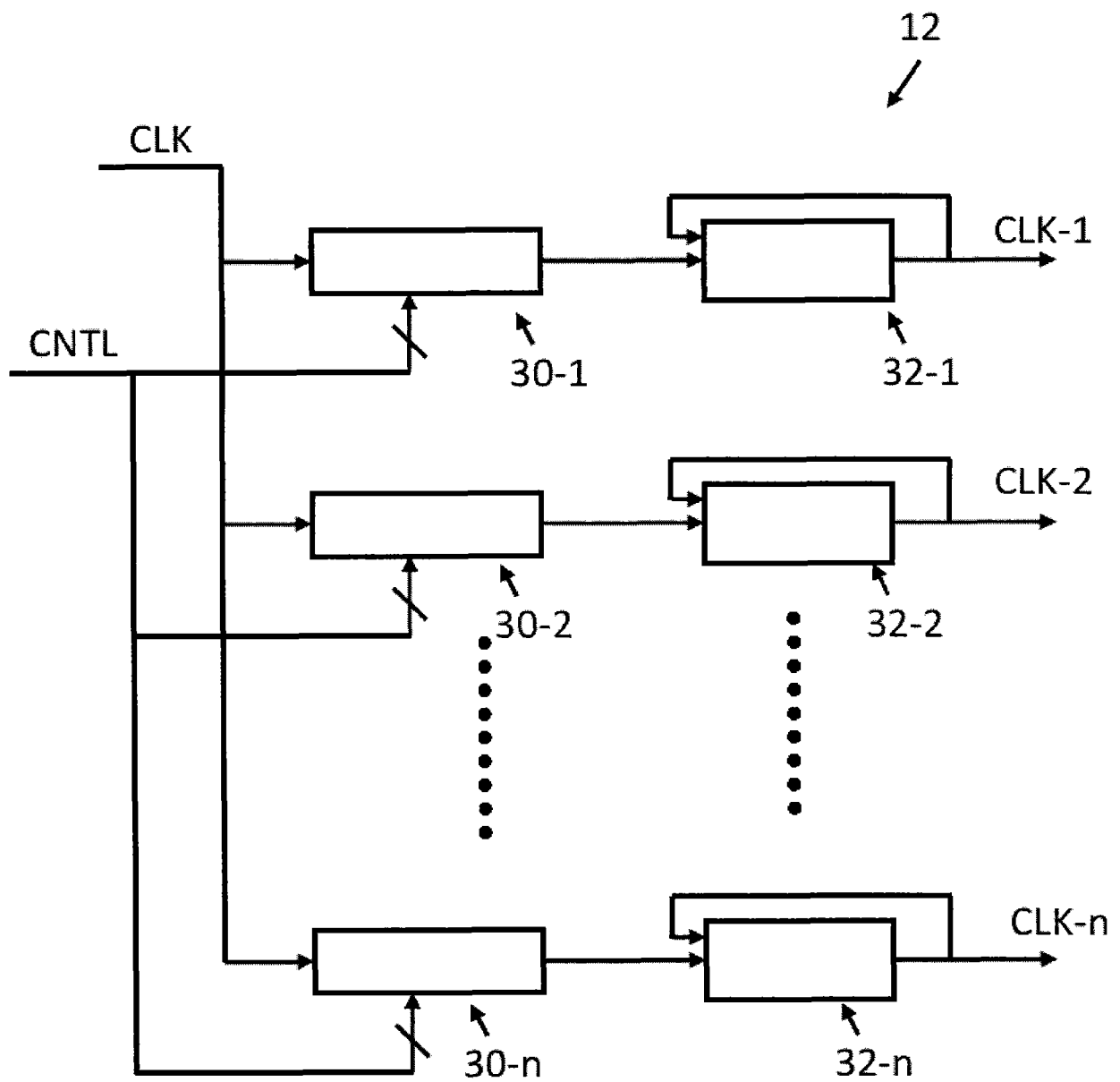


图 2

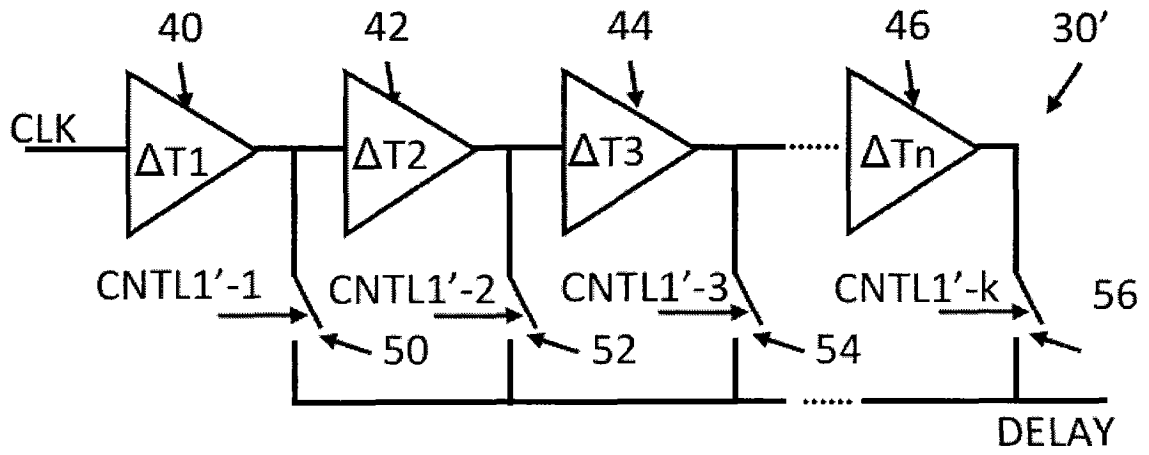


图 3

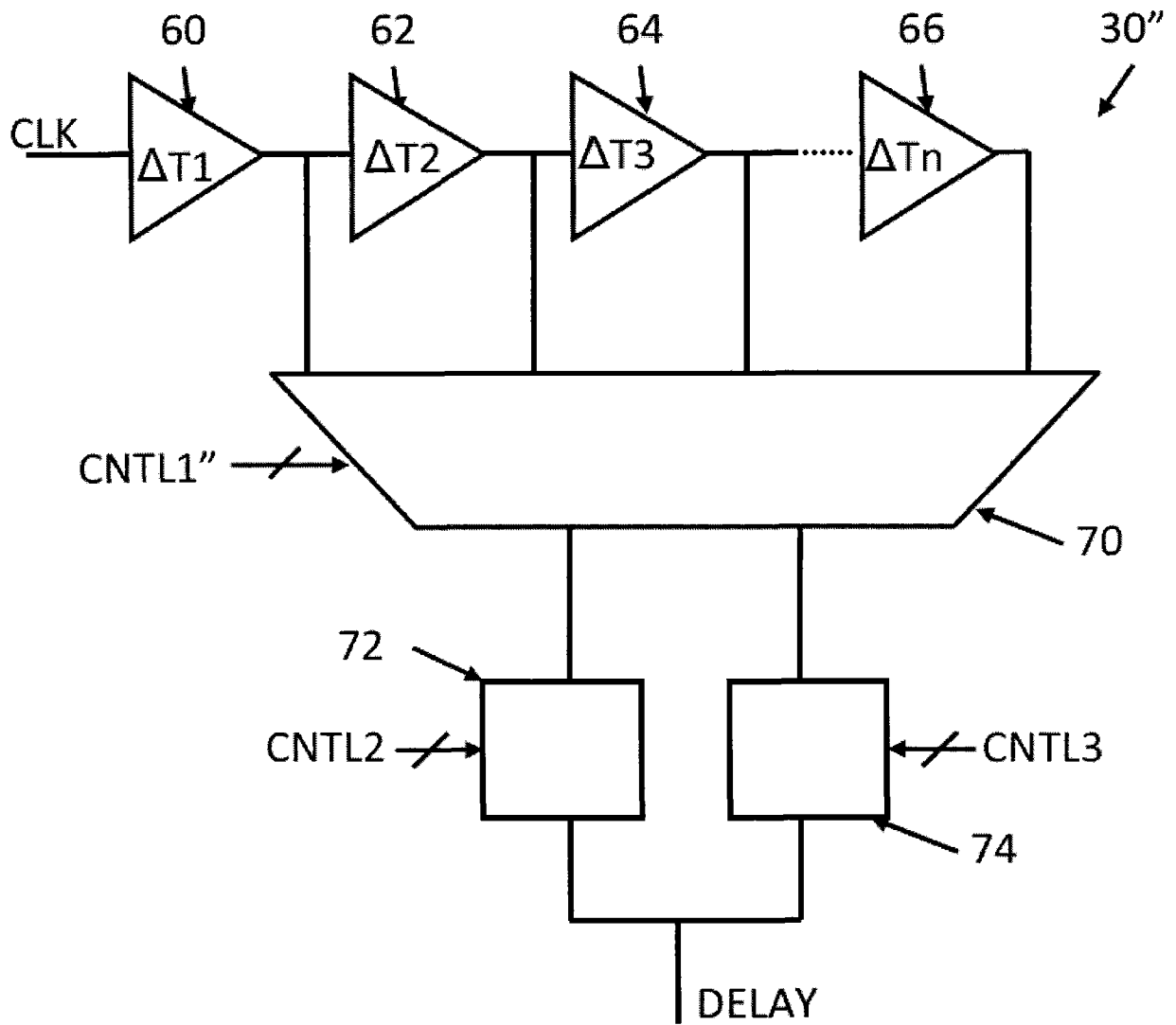


图 4

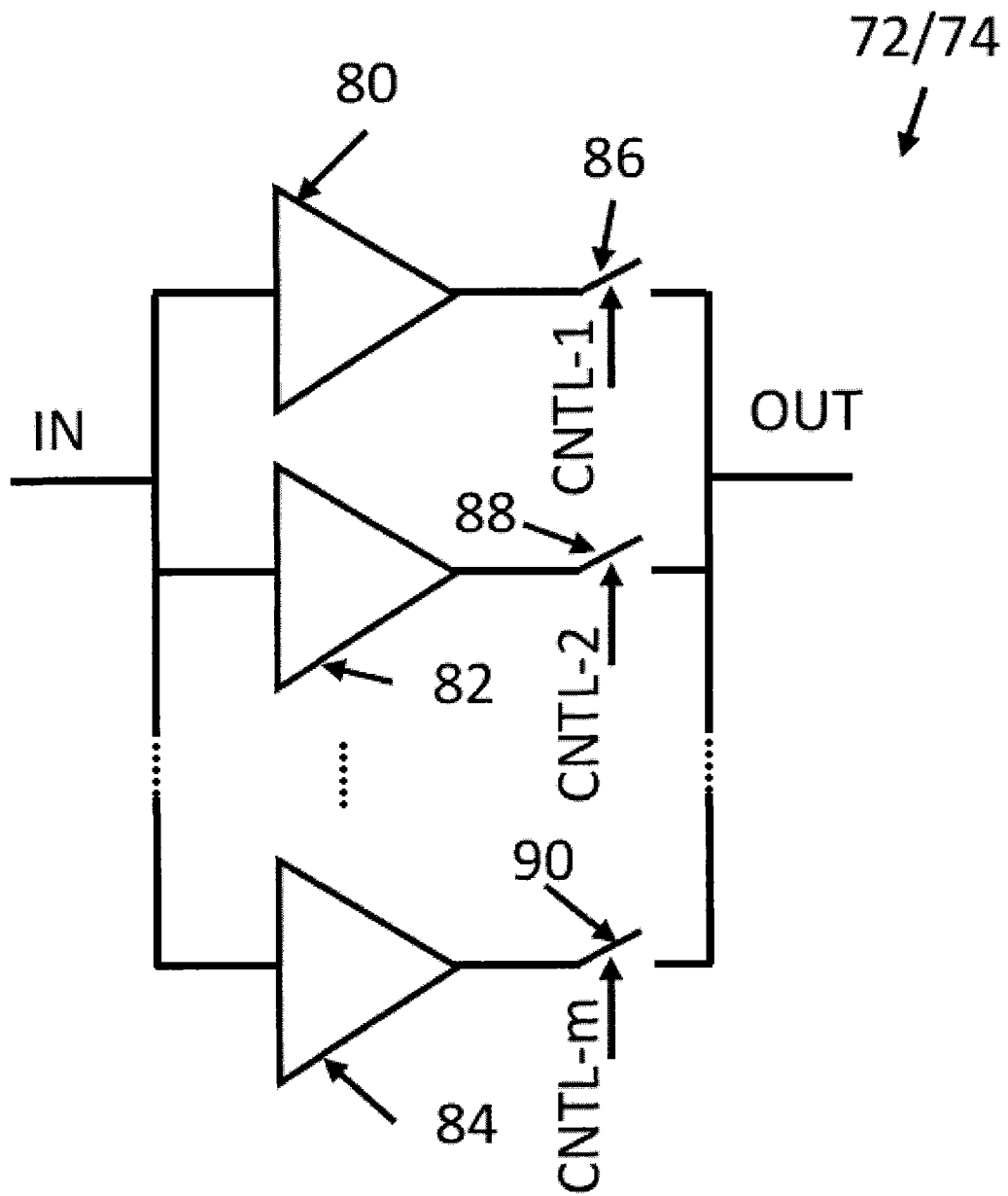


图 5