



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년12월21일
(11) 등록번호 10-2480012
(24) 등록일자 2022년12월16일

(51) 국제특허분류(Int. Cl.)
G11C 8/08 (2006.01) G11C 13/00 (2006.01)
G11C 7/12 (2006.01)
(52) CPC특허분류
G11C 8/08 (2013.01)
G11C 13/0021 (2013.01)
(21) 출원번호 10-2018-0067565
(22) 출원일자 2018년06월12일
심사청구일자 2021년06월10일
(65) 공개번호 10-2019-0140721
(43) 공개일자 2019년12월20일
(56) 선행기술조사문헌
KR1020150115534 A*
(뒷면에 계속)

(73) 특허권자
삼성전자 주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
간가사니 벤카타라마나
경기도 수원시 영통구 매영로 366, 722동 1402호
(영통동, 현대아파트)
김무성
경기도 용인시 수지구 성북2로76번길 31, 104동
501호(성북동, 푸른마을푸르지오)
(뒷면에 계속)
(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 9 항

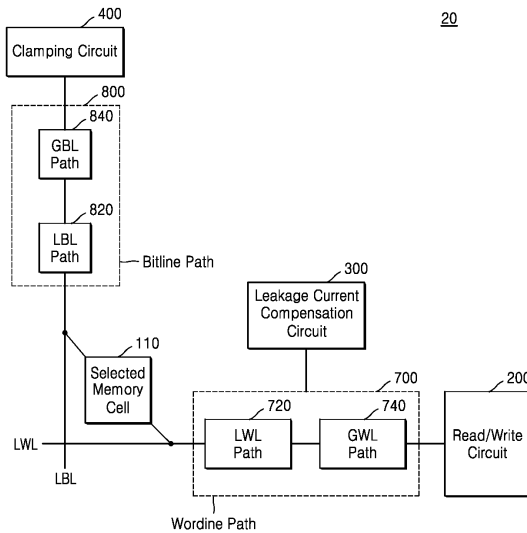
심사관 : 신우열

(54) 발명의 명칭 오프 셀들의 전류를 보상하는 메모리 장치 및 그것의 동작 방법

(57) 요약

본 개시에 따르면, 메모리 장치는 복수의 워드라인들 및 복수의 비트라인들이 교차하는 지점들에 각각 배치되는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이, 메모리 장치의 독출 동작 모드에서, 복수의 메모리 셀들 중 선택 메모리 셀과 연결된 선택 워드라인의 전압과 기준 전압 사이의 전압 차이 값을 증폭하도록 구성되는 센스 앰플리파이어 및 선택 메모리 셀로부터 센스 앰플리파이어에 이르기까지의 선택 워드라인 경로와 연결되고, 독출 동작 모드에서, 선택 워드라인에 연결된 비선택 메모리 셀들에 의해 발생하는 총 누설 전류를 보상하도록 구성되는 누설 전류 보상 회로를 포함할 수 있다.

대표도 - 도5a



(52) CPC특허분류

G11C 7/12 (2013.01)

(72) 발명자

나태희

서울특별시 구로구 신도림로 110, 101동 206호(신도림동, 신도림우성1차아파트)

신준호

경기도 화성시 동탄반석로 231, 146동 1902호(석우동, 동탄예당마을 롯데캐슬)

(56) 선행기술조사문헌

KR1020170078649 A*

KR100587694 B1

KR1020060022009 A

KR1020160005549 A

KR1020160050534 A

KR1020160073169 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

메모리 장치에 있어서,

복수의 워드라인들 및 복수의 비트라인들이 교차하는 지점들에 각각 배치되는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이;

상기 메모리 장치의 독출 동작 모드에서, 상기 복수의 메모리 셀들 중 선택 메모리 셀과 연결된 선택 워드라인의 전압과 기준 전압 사이의 전압 차이 값을 증폭하도록 구성되는 센스 앰플리파이어(sense amplifier); 및

상기 선택 메모리 셀로부터 상기 센스 앰플리파이어에 이르기까지의 선택 워드라인 경로와 연결되고, 상기 독출 동작 모드에서, 상기 선택 워드라인에 연결된 비선택 메모리 셀들에 의해 발생하는 총 누설 전류를 보상하도록 구성되는 누설 전류 보상 회로(leakage current compensation circuit)를 포함하고,

상기 누설 전류 보상 회로는,

상기 복수의 비트라인들 중 상기 선택 메모리 셀에 연결된 선택 비트라인이 프리차지 되는 프리차지 구간(precharge section)에서, 상기 선택 워드라인 경로와 전기적으로 연결되고, 상기 선택 워드라인과 상기 센스 앰플리파이어의 제1 단의 전하가 공유되는 차지 셰어구간(charge share section)에서, 상기 선택 워드라인 경로와 전기적으로 분리되도록 구성되는 것을 특징으로 하는 메모리 장치.

청구항 2

제1항에 있어서,

상기 누설 전류 보상 회로는,

상기 선택 워드라인 경로 상의 제1 트랜지스터와 연결됨으로써 상기 제1 트랜지스터와 함께 커런트 미러(current mirror)를 형성하고, 상기 제1 트랜지스터에 상기 총 누설 전류의 값을 나타내는 제1 전류 값의 전류를 흘리도록 구성되는 것을 특징으로 하는 메모리 장치.

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 독출 동작 모드에서, 상기 메모리 장치의 외부로부터 입력되는 상기 선택 메모리 셀의 어드레스를 기초로, 상기 선택 워드라인 경로와 상기 누설 전류 보상 회로 사이의 전기적 흐름 경로를 선택적으로 형성하는 선택 로직 회로(selection logic circuit)를 더 포함하는 메모리 장치.

청구항 5

제1항에 있어서,

상기 복수의 워드라인들 각각은, 글로벌 워드라인 및 복수의 로컬 워드라인들을 포함하고,

상기 복수의 비트라인들 각각은, 글로벌 비트라인 및 복수의 로컬 비트라인들을 포함하고,

상기 선택 메모리 셀의 일단은, 선택 글로벌 워드라인에 연결된 선택 로컬 워드라인에 연결되고,

상기 선택 워드라인 경로는, 상기 선택 메모리 셀의 상기 일단으로부터 상기 선택 글로벌 워드라인에 이르기까지의 전기적 경로를 나타내는 선택 로컬 워드라인 경로 및 상기 선택 글로벌 워드라인으로부터 상기 센스 앰플리파이어에 이르기까지의 전기적 경로를 나타내는 선택 글로벌 워드라인 경로를 포함하는 것을 특징으로 하는

메모리 장치.

청구항 6

제5항에 있어서,

상기 누설 전류 보상 회로는,

상기 선택 로컬 워드라인 경로에 포함되어 상기 선택 로컬 워드라인과 상기 선택 글로벌 워드라인 사이의 전기적 흐름 경로를 선택적으로 형성하도록 구성되는 로컬 워드라인 선택 트랜지스터와 연결되는 것을 특징으로 하는 메모리 장치.

청구항 7

제5항에 있어서,

상기 누설 전류 보상 회로는,

상기 선택 글로벌 워드라인 경로에 포함되어 상기 선택 글로벌 워드라인과 상기 센스 앰플리파이어 사이의 전기적 흐름 경로를 선택적으로 형성하도록 구성되는 글로벌 워드라인 선택 트랜지스터와 연결되는 것을 특징으로 하는 메모리 장치.

청구항 8

삭제

청구항 9

삭제

청구항 10

제5항에 있어서,

상기 누설 전류 보상 회로는,

상기 센스 앰플리파이어의 제1 단에 연결되어 상기 선택 로컬 워드라인의 전하를 선택적으로 방전시키도록(discharge) 구성되는 디스차지 트랜지스터와 연결되는 것을 특징으로 하는 메모리 장치.

청구항 11

제1항에 있어서,

상기 메모리 장치는,

상기 메모리 셀 어레이와 주변 회로가 적층 방향으로 배치되는 COP(Cell-On-Peri) 구조를 가지는 것을 특징으로 하고,

상기 누설 전류 보상 회로는,

상기 메모리 장치의 상기 COP 구조에서 페리(peri)로부터 상기 적층 방향으로 연장되는 중심 영역(center area)에 위치하는 것을 특징으로 하는 메모리 장치.

청구항 12

메모리 장치에 있어서,

복수의 글로벌 워드라인들 각각에 연결된 복수의 로컬 워드라인들 및 복수의 글로벌 비트라인들 각각에 연결된 복수의 로컬 비트라인들의 교차점에 연결되는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이;

상기 복수의 메모리 셀들 중 선택 메모리 셀에 연결된 선택 로컬 워드라인 상에 위치하고, 상기 선택 메모리 셀과 선택 글로벌 워드라인 사이의 전기적 흐름 경로를 선택적으로 형성하도록 구성되는 로컬 워드라인 선택 트랜지스터; 및

상기 메모리 장치의 독출 동작 모드에서, 상기 로컬 워드라인 선택 트랜지스터와 연결되어, 상기 선택 로컬 워드라인에 연결된 비선택 메모리 셀들에 의해 발생하는 누설 전류를 합한 값을 나타내는 제1 전류 값을 보상하도록 구성되는 누설 전류 보상 회로(leakage current compensation circuit)를 포함하는 메모리 장치.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001] 본 개시의 기술적 사상은 메모리 장치에 관한 것으로서, 자세하게는 독출 동작(read operation) 모드에서, 오프 셀들의 전류를 보상하기 위한 저항성 메모리 장치 및 저항성 메모리 장치의 동작 방법에 관한 것이다.

배경 기술

[0002] 메모리 장치의 고용량화 및 저전력화의 요구에 따라 비휘발성인 동시에 리프레쉬가 필요 없는 차세대 메모리 장치에 관한 연구가 진행되고 있다. 이러한 차세대 메모리 장치는 DRAM(Dynamic Random Access Memory)의 고집적성, 플래쉬 메모리의 비휘발성, SRAM(Static RAM)의 고속성 등을 갖출 것이 요구된다. 차세대 메모리 장치로는 PRAM(Phase change RAM), NFGM(Nano Floating Gate Memory), PoRAM(Polymer RAM), MRAM(Magnetic RAM), FeRAM(Ferroelectric RAM), RRAM(Resistive RAM) 등이 상술한 요구 사항에 부응하는 차세대 메모리 장치로 거론되고 있다.

[0003] 메모리 장치의 성능을 향상시키기 위한 중요한 과제들 중 하나는 메모리 장치의 독출 동작의 성능을 향상시킴으로써 독출 동작의 신뢰성을 향상시키는 것이다. 메모리 장치의 독출 동작의 성능을 향상시키기 위한 다양한 방안들이 요구되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 개시의 기술적 사상은 저항성 메모리 장치에 관한 것으로서, 메모리 장치의 독출 에러를 줄임으로써 독출 동

작의 신뢰성을 향상시키기 위한 방법 및 장치를 제공한다.

과제의 해결 수단

[0005] 상기와 같은 목적을 달성하기 위하여, 본 개시의 기술적 사상의 일측면에 따른 메모리 장치는, 복수의 워드라인들 및 복수의 비트라인들이 교차하는 지점들에 각각 배치되는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이, 메모리 장치의 독출 동작 모드에서, 복수의 메모리 셀들 중 선택 메모리 셀과 연결된 선택 워드라인의 전압과 기준 전압 사이의 전압 차이 값을 증폭하도록 구성되는 센스 앰플리파이어 및 선택 메모리 셀로부터 센스 앰플리파이어에 이르기까지의 선택 워드라인 경로와 연결되고, 독출 동작 모드에서, 선택 워드라인에 연결된 비선택 메모리 셀들에 의해 발생하는 총 누설 전류를 보상하도록 구성되는 누설 전류 보상 회로를 포함할 수 있다.

[0006] 본 개시의 기술적 사상의 일측면에 따른 메모리 장치는, 복수의 글로벌 워드라인들 각각에 연결된 복수의 로컬 워드라인들 및 복수의 글로벌 비트라인들 각각에 연결된 복수의 로컬 비트라인들의 교차점에 연결되는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이, 복수의 메모리 셀들 중 선택 메모리 셀에 연결된 선택 로컬 워드라인 상에 위치하고, 선택 메모리 셀과 선택 글로벌 워드라인 사이의 전기적 흐름 경로를 선택적으로 형성하도록 구성되는 로컬 워드라인 선택 트랜지스터 및 메모리 장치의 독출 동작 모드에서, 로컬 워드라인 선택 트랜지스터와 연결되어, 선택 로컬 워드라인에 연결된 비선택 메모리 셀들에 의해 발생하는 누설 전류를 합한 값을 나타내는 제1 전류 값을 보상하도록 구성되는 누설 전류 보상 회로를 포함할 수 있다.

[0007] 본 개시의 기술적 사상의 일측면에 따른 메모리 장치는, 복수의 글로벌 워드라인들에 연결된 복수의 로컬 워드라인들 및 복수의 글로벌 비트라인들에 연결된 복수의 로컬 비트라인들의 교차점에 연결되는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이, 복수의 메모리 셀들 중 선택 메모리 셀에 연결된 선택 로컬 워드라인과 연결되는 선택 글로벌 워드라인 상에 위치하고, 선택 로컬 워드라인과 메모리 장치의 독출/기입 회로 사이의 전기적 흐름 경로를 선택적으로 형성하도록 구성되는 글로벌 워드라인 선택 트랜지스터 및 메모리 장치의 독출 동작 모드에서, 글로벌 워드라인 선택 트랜지스터와 연결되어, 복수의 메모리 셀들 중 선택 로컬 워드라인에 연결된 오프 셀들에 의해 발생하는 제1 전류 값을 보상하도록 구성되는 누설 전류 보상 회로를 포함할 수 있다.

[0008] 본 개시의 기술적 사상의 일측면에 따른 복수의 타이틀들을 포함하는 메모리 장치에 있어서, 복수의 타이틀 각각은, 교차하는 복수의 워드라인들 및 복수의 비트라인들 사이에 연결되는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이, 메모리 장치의 독출 동작 모드에서, 복수의 메모리 셀들 중 선택 메모리 셀에 연결된 선택 워드라인의 전압과 기준 전압 사이의 전압 차이 값을 증폭하도록 구성되는 센스 앰플리파이어, 센스 앰플리파이어의 일단에 연결되고, 메모리 장치의 독출 동작 모드에서, 선택 워드라인의 전하를 방전시키는 디스차지 트랜지스터 및 메모리 장치의 독출 동작 모드에서, 디스차지 트랜지스터와 연결되어, 복수의 메모리 셀들 중 선택 워드라인에 연결된 오프 셀들에 의해 발생하는 제1 전류 값을 보상하도록 구성되는 누설 전류 보상 회로를 포함할 수 있다.

[0009] 본 개시의 기술적 사상의 일측면에 따른 복수의 메모리 셀들을 포함하는 메모리 장치는, 복수의 메모리 셀들 중 선택 메모리 셀과 메모리 장치의 독출/기입 회로 사이의 전기적 경로에 포함된 제1 트랜지스터 및 제1 트랜지스터의 게이트와 연결되고, 제1 트랜지스터와 동일한 특성을 갖는 제2 트랜지스터를 포함하는 누설 전류 보상 회로를 포함할 수 있고, 누설 전류 보상 회로는, 상기 선택 메모리 셀로부터 데이터를 독출하는 상기 메모리 장치의 독출 동작 모드에서, 상기 선택 메모리 셀이 연결된 선택 워드라인과 연결된 비선택 메모리 셀들에 의해 발생하는 누설 전류와 같은 크기의 전류를 상기 제1 트랜지스터에 흐르게 할 수 있다.

발명의 효과

[0010] 본 개시의 예시적 실시 예에 따르면, 메모리 장치의 독출 동작 모드에서, 비선택 셀들에 의해 발생하는 누설 전류에 의한 오차를 보상함으로써 독출 윈도우(read window) 및 센싱 마진(sensing margin)을 넓게 확보할 수 있다.

[0011] 또한 본 개시의 예시적 실시 예에 따르면, 독출 윈도우 및 센싱 마진을 넓게 확보함으로써 독출 에러를 줄일 수 있고, 독출 동작의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 개시의 예시적 실시예에 따른 메모리 장치를 나타내는 블록도이다.

- 도 2a 내지 도 2d는 본 개시의 예시적 실시예에 따른 메모리 장치의 구조를 나타낸다.
- 도 3a는 본 개시의 예시적 실시예에 따른 메모리 셀 어레이의 비트라인 연결 구조를 나타낸다.
- 도 3b는 본 개시의 예시적 실시예에 따른 메모리 셀 어레이의 워드라인 연결 구조를 나타낸다.
- 도 3c는 본 개시의 예시적 실시예에 따른 타일과 독출/기입 회로를 나타내는 블록도이다.
- 도 4a 내지 도 4d는 본 개시의 예시적 실시예에 따른 메모리 셀을 나타낸다.
- 도 5a 내지 도 5c는 본 개시의 예시적 실시예에 따른 메모리 장치를 나타낸다.
- 도 6은 본 개시의 예시적 실시예에 따른 저항성 메모리 셀의 전류-전압 특성 그래프 및 결정질 상태의 메모리 셀에 흐르는 전류 그래프를 나타낸다.
- 도 7a 및 도 7b는 본 개시의 예시적 실시예에 따른 독출 동작 모드에서의 전압 그래프를 나타낸다.
- 도 7c는 본 개시의 예시적 실시예에 따른 메모리 장치의 누설 전류로 인한 독출 윈도우 감소 및 센싱 마진의 감소를 설명하기 위한 그래프를 나타낸다.
- 도 8a 및 도 8b는 본 개시의 예시적 실시예에 따른 메모리 장치를 나타낸다.
- 도 8c는 본 개시의 예시적 실시예에 따른 선택 로직 회로를 나타낸다.
- 도 9는 본 개시의 예시적 실시예에 따라 도 8a 내지 도 8c의 메모리 장치의 독출 동작 모드에서의 전압 그래프를 나타낸다.
- 도 10a 및 도 10b는 본 개시의 예시적 실시예에 따른 메모리 장치를 나타낸다.
- 도 11a 및 도 11b는 본 개시의 예시적 실시예에 따라 도 10a 및 도 10b의 메모리 장치의 독출 동작 모드에서의 전압 그래프를 나타낸다.
- 도 12a 및 도 12b는 본 개시의 예시적 실시예에 따른 메모리 장치를 나타낸다.
- 도 13a 및 도 13b는 본 개시의 예시적 실시예에 따라 도 12a 및 도 12b의 메모리 장치의 독출 동작 모드에서의 전압 그래프를 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명한다.
- [0014] 도 1은 본 개시의 예시적 실시예에 따른 메모리 장치(10)를 나타내는 블록도이다. 메모리 장치(10)는 메모리 셀 어레이(100), 독출/기입 회로(200), 누설 전류 보상 회로(300), 클램핑 회로(400), 제어 로직(500) 및 전압 생성기(600)를 포함할 수 있다.
- [0015] 메모리 셀 어레이(100)는 복수의 제1 신호 라인들과 복수의 제2 신호 라인들이 교차하는 영역들에 각각 배치되는 복수의 메모리 셀들을 포함할 수 있다. 예시적 실시 예에서, 복수의 제1 신호 라인들은 복수의 워드라인들일 수 있고, 복수의 제2 신호 라인들은 복수의 비트라인들일 수 있다. 다른 예시적 실시 예에서, 복수의 제1 신호 라인들은 복수의 비트라인들일 수 있고, 복수의 제2 신호 라인들은 복수의 워드라인들일 수 있다. 이러한 메모리 셀 어레이(100)를 포함하는 메모리 장치(10)를 크로스 포인트(cross point) 메모리 장치라고 지칭할 수 있다.
- [0016] 예시적 실시 예에서, 복수의 워드라인들 각각은, 글로벌 워드라인(global wordline) 및 적어도 하나의 로컬 워드라인(local wordline)을 포함할 수 있다. 예를 들어, 하나의 워드라인은 글로벌 워드라인 및 상기 글로벌 워드라인과 로컬 워드라인 선택 트랜지스터를 통해 전기적으로 연결되는 적어도 하나의 로컬 워드라인을 포함할 수 있다.
- [0017] 또한 예시적 실시예에서, 복수의 비트라인들 각각은, 글로벌 비트라인(global bitline) 및 적어도 하나의 로컬 비트라인(local bitline)을 포함할 수 있다. 예를 들어, 하나의 비트라인은 글로벌 비트라인 및 상기 글로벌 비트라인과 로컬 비트라인 선택 트랜지스터를 통해 전기적으로 연결되는 적어도 하나의 로컬 비트라인을 포함할 수 있다.
- [0018] 본 개시의 예시적 실시예들에서, 복수의 메모리 셀들은 가변 저항 소자를 포함하는 저항성 메모리 셀들을 포함

할 수 있다. 예를 들어, 가변 저항 소자가 상 변화 물질(phase change material)로서 온도에 따라 저항이 변화하는 경우, 메모리 장치(10)는 PRAM(Phase-change Random Access Memory)이 될 수 있다. 여기서, 상 변화 물질은 2개의 원소를 화합한 GaSb, InSb, InSe, Sb₂Te₃, GeTe, 3개의 원소를 화합한 GeSbTe, GaSeTe, InSbTe, SnSb₂Te₄, InSbGe, 4개의 원소를 화합한 AgInSbTe, (GeSn)SbTe, GeSb(SeTe), Te₈₁Ge₁₅Sb₂S₂ 와 같은 다양한 종류의 물질을 포함할 수 있다. 다른 예로, 가변 저항 소자가 상부 전극, 하부 전극 및 그 사이에 있는 전이금속 산화물(complex metal oxide)로 형성된 경우에는, 메모리 장치(10)는 RRAM(Resistive Random Access Memory)이 될 수 있다. 이에 따라, 메모리 장치(10)는 저항성 메모리 장치라고 칭할 수 있다.

[0019] 도 1에 도시되어 있지는 않지만, 일 실시 예에서, 메모리 장치(10)는 로우 디코더 및/또는 컬럼 디코더를 포함할 수 있다. 로우 디코더는 제어 로직(500)으로부터 제공되는 로우 어드레스에 응답하여 워드라인 선택 동작을 수행할 수 있으며, 컬럼 디코더는 제어 로직(500)으로부터 제공되는 컬럼 어드레스에 응답하여 비트라인 선택 동작을 수행할 수 있다.

[0020] 독출/기입 회로(200)는 메모리 셀 어레이(100)와 제1 신호 라인들 및/또는 제2 신호 라인들을 통해 연결되어 메모리 셀에 데이터를 기입하거나, 메모리 셀로부터 데이터를 독출할 수 있다. 예시적 실시 예에서, 독출/기입 회로(200)는 복수의 워드라인들과 연결되어 데이터를 기입하거나, 데이터를 독출하는 동작을 수행할 수 있다. 일 실시 예에서, 독출/기입 회로(200)는 로우 디코더를 통해 선택된 워드라인과 연결될 수 있다. 또한 일 실시 예에서, 독출/기입 회로(200)는 독출 회로 및 기입 회로를 포함할 수 있다.

[0021] 본 명세서에서, 메모리 장치(10)가 독출/기입 회로(200)를 통해 데이터를 독출하는 동작을 수행하는 경우, 메모리 장치(10)가 데이터 독출 동작 모드 하에 있다고 지칭할 수 있다. 또한, 본 명세서에서, 선택 메모리 셀은 복수의 메모리 셀들 중 기입, 독출 및/또는 소거 동작 등이 수행되는 메모리 셀을 의미할 수 있다. 메모리 장치(10)의 기입 동작, 독출 동작 및 소거 동작을 일컬어 데이터 동작이라 칭할 수 있다. 또한 본 명세서에서, 비선택(unselected) 메모리 셀은, 메모리 셀들 중 선택 메모리 셀 이외의 메모리 셀을 의미할 수 있다. 또한 본 명세서에서, 선택 워드라인은 복수의 워드라인들 중 선택 메모리 셀이 연결된 워드라인을 의미할 수 있고, 선택 비트라인은 복수의 비트라인들 중 선택 메모리 셀이 연결된 비트라인을 의미할 수 있다.

[0022] 누설 전류 보상 회로(300)는, 메모리 장치(10)의 독출 동작 모드에서, 선택 메모리 셀에 연결된 선택 워드라인과 연결된 비선택 메모리 셀들에서 흐르는 누설 전류 값들의 합을 나타내는 제1 전류 값을 보상할 수 있다. 이를 위해, 누설 전류 보상 회로(300)는, 선택 메모리 셀로부터 독출/기입 회로(200)에 이르기까지의 전기적 경로에 연결될 수 있다. 예시적 실시 예에서, 누설 전류 보상 회로(300)는 로컬 워드라인 선택 트랜지스터에 연결될 수 있는데, 이 실시 예에 대해서는 도 8a 내지 도 9를 참조해 보다 자세히 설명된다. 또한 예시적 실시 예에서, 누설 전류 보상 회로(300)는 글로벌 워드라인 선택 트랜지스터에 연결될 수 있는데, 이 실시 예에 대해서는 도 10a 내지 도 11b를 참조해 보다 자세히 설명된다. 또한 예시적 실시 예에서, 누설 전류 보상 회로(300)는 센스 앰플리파이어의 일단에 연결되는 디스차지 트랜지스터에 연결될 수 있는데, 이 실시 예에 대해서는 도 12a 및 도 12b를 참조해 보다 자세히 설명된다.

[0023] 클램핑 회로(400)는 메모리 셀 어레이(100)와 복수의 비트라인들을 통해 연결될 수 있다. 클램핑 회로(400)는, 메모리 장치(10)의 데이터 독출 동작 모드에서, 선택 메모리 셀과 연결된 선택 비트라인을 프리차지(precharge)할 수 있다. 일 실시 예에서, 클램핑 회로(400)는 컬럼 디코더를 통해 선택된 비트라인과 연결될 수 있다.

[0024] 제어 로직(500)은 메모리 장치(10)의 외부(예를 들어, 메모리 컨트롤러)로부터 수신된 커맨드(CMD), 어드레스(ADDR) 및 제어 신호(CTRL)를 기초로 메모리 셀 어레이(100)에 데이터를 기입하거나, 메모리 셀 어레이(100)로부터 데이터를 독출하기 위한 각종 내부 제어 신호를 생성할 수 있다. 즉, 제어 로직(500)은 메모리 장치(10) 내의 각종 동작을 전반적으로 제어할 수 있다. 본 개시에 따른 일 실시예에서, 메모리 장치(10)가 수행하는 일련의 제어 동작은 제어 로직(500)에 의해 수행될 수 있다.

[0025] 전압 생성기(600)는 기입 동작에 이용되는 기입 전압(Vwrite) 및 독출 동작에 이용되는 독출 전압(Vread)을 생성할 수 있다. 기입 전압(Vwrite) 및 독출 전압(Vread)은 글로벌 비트라인 및 로컬 비트라인으로 제공되거나, 글로벌 워드라인 및 로컬 워드라인으로 제공될 수 있다. 전압 생성기(600)는 독출/기입 회로(200)에 포함된 센스 앰플리파이어에 제공되는 기준 전압(Vref)을 생성할 수 있으며, 클램핑 회로(400)에 제공되는 클램프 전압도 생성할 수 있다.

[0026] 메모리 장치(10)의 집적도가 증가함에 따라, 하나의 워드라인과 교차하는 비트라인들의 수가 증가하고 있다. 비트라인들의 수가 증가함에 따라, 선택 워드라인과 연결된 비선택 메모리 셀들의 수가 증가할 수 있다. 따라서,

비선택 메모리 셀들 각각에 흐르는 누설 전류의 양이 작은 경우에도, 복수의 비선택 메모리 셀들에 의해 발생하는 총 누설 전류 양을 나타내는 제1 전류 값은 메모리 장치(10)의 데이터 동작의 신뢰성에 영향을 미칠 수 있는 수준에 이를 수 있다. 예를 들어, 비선택 메모리 셀들에 의한 누설 전류는 도 7b와 같이 워드라인의 전위 레벨을 증가시켜 센싱 마진을 감소시킬 수 있다.

- [0027] 본 개시의 예시적 실시예에 따르면, 메모리 장치(10)는, 독출 동작 모드에서, 누설 전류 보상 회로(300)가 비선택 셀들에 의해 발생하는 누설 전류를 보상함으로써, 독출 윈도우(read window) 및 센싱 마진(sensing margin)을 넓게 확보할 수 있다. 메모리 장치(10)는, 독출 윈도우 및 센싱 마진을 넓게 확보함으로써 독출 에러를 줄일 수 있고, 독출 동작의 신뢰성을 향상시킬 수 있다.
- [0028] 도 1을 비롯한 이하의 도면들은, 독출/기입 회로(200)가 메모리 셀 어레이(100)와 워드라인들(WLs)을 통해 연결되는 실시 예를 도시한다. 하지만, 구현에 따라 독출/기입 회로(200)는 메모리 셀 어레이(100)와 비트라인들(BLs)을 통해 연결될 수도 있다. 이 경우, 독출/기입 회로(200)와 연결된 신호 라인들이 워드라인들(WLs)이 아닌 비트라인들(BLs)이라는 점을 제외하고, 본 개시에 따른 기술적 사상이 동일하게 적용될 수 있다. 예를 들어, 독출/기입 회로(200)가 메모리 셀 어레이(100)와 비트라인들(BLs)을 통해 연결되는 경우, 누설 전류 보상 회로(300)는 선택 메모리 셀로부터 독출/기입 회로(200)에 이르기까지의 비트라인 상의 전기적 경로와 연결될 수 있다.
- [0029] 도 2a 내지 도 2d는 본 개시의 예시적 실시예에 따른 메모리 장치(10)의 구조를 나타낸다.
- [0030] 도 2a를 참조하면, 메모리 장치(10)는 메모리 셀 어레이와 주변 회로(peripheral circuit)가 적층 방향(제3 방향)으로 배치되는 COP(Cell-On-Peri 또는 Cell-Over-Peri) 구조를 가질 수 있다.
- [0031] 메모리 장치(10)는 패드(pad), 페리 영역(peripheral area), 중심 영역(center area) 및 복수의 메모리 블록들을 포함할 수 있다. 페리 영역(peripheral area)는 패드(pad) 상에 제3 방향으로 적층 될 수 있으며, 복수의 메모리 블록들은 페리 영역 상에 제3 방향으로 적층 될 수 있다.
- [0032] 패드는 메모리 장치(10)의 외부와의 전기적 연결을 제공할 수 있으며, 페리 영역은 메모리 장치(10)의 동작을 위한 다양한 주변 회로들을 포함할 수 있다. 중심 영역은 페리 영역의 주변 회로들로부터 생성되는 전기적 신호들을 메모리 셀들로 전달하는 역할을 한다. 일 실시예에서, 도 1의 누설 전류 보상 회로(300)는 중심 영역에 포함될 수 있다.
- [0033] 제1 메모리 블록(Bank_1) 내지 제N 메모리 블록(Bank_N)(단, N은 자연수) 각각은 중심 영역을 기준으로 구분되는 두 개의 메모리 셀 영역들을 포함할 수 있다.
- [0034] 도 2b는 본 개시의 예시적 실시예에 따른 메모리 블록(Bank_i)를 나타낸다. 도 2b의 메모리 블록(Bank_i)는 도 2a의 제1 메모리 블록(Bank_1) 내지 제N 메모리 블록(Bank_N) 중 하나의 메모리 블록을 예시적으로 나타낼 수 있다. 메모리 블록(Bank_i)는 제1 영역(Region_1), 제2 영역(Region_2) 및 블록 제어 로직(520)을 포함할 수 있다. 일 실시예에서, 제1 영역(Region_1) 및 제2 영역(Region_2) 각각은 하프 메모리 블록을 나타낼 수 있으며, 블록 제어 로직(520)은 도 2a의 중심 영역에 포함될 수 있다.
- [0035] 제1 영역(Region_1) 및 제2 영역(Region_2) 각각은 복수의 메모리 베이들을 포함할 수 있다. 예를 들어, 제1 영역(Region_1) 및 제2 영역(Region_2) 각각은 제1 메모리 베이(Bay_1) 내지 제M 메모리 베이(Bay_M)(단, M은 자연수)를 포함할 수 있다.
- [0036] 블록 제어 로직(520)은 메모리 블록(Bank_i)에 포함된 메모리 셀 어레이들의 데이터 동작에 관한 다양한 제어 동작을 수행할 수 있다. 일 실시예에서, 블록 제어 로직(520)은 도 1의 제어 로직(500)에 포함되는 구성으로 볼 수 있다.
- [0037] 도 2c는 본 개시의 예시적 실시예에 따른 메모리 베이(Bay_j)를 나타낸다. 도 2c의 메모리 베이(Bay_j)는 도 2b의 제1 메모리 베이(Bay_1) 내지 제M 메모리 베이(Bay_M) 중 하나의 메모리 베이를 예시적으로 나타낼 수 있다.
- [0038] 메모리 베이(Bay_j)는 복수의 타일들을 포함할 수 있다. 예를 들어, 메모리 베이(Bay_j)는 제1 타일(Tile_1) 내지 제L 타일(Tile_L)(단, L은 자연수)을 포함할 수 있다.
- [0039] 도 2d는 본 개시의 예시적 실시예에 따른 타일을 나타낸다. 도 2d의 타일은 도 2c의 제1 타일(Tile_1) 내지 제L 타일(Tile_L) 중 하나의 타일을 예시적으로 나타낼 수 있다.
- [0040] 타일은 복수의 층을 구비한 3차원 구조를 갖는 저항성 메모리일 수 있다. 예를 들어, 타일은 제1 층(F1) 및 제2

층(F2)을 포함할 수 있다. 제1 층(F1) 및 제2 층(F2) 각각은 복수의 워드라인들 및 복수의 비트라인들이 교차하는 영역에 위치하는 메모리 셀들을 포함하는 메모리 셀 어레이를 포함할 수 있다.

- [0041] 도 2a 내지 도 2d를 참조하여, 메모리 장치(10)를 구성하는 단위로서 메모리 뱅크, 메모리 베이, 타일이 도시되었으나, 본 개시에 따른 기술적 사상이 이에 한정되는 것은 아니다.
- [0042] 도 3a는 본 개시의 예시적 실시예에 따른 메모리 셀 어레이의 비트라인 연결 구조를 나타낸다. 특히, 도 3a는 하나의 타일(Tile_i)과 클램핑 회로(400)가 복수의 비트라인들을 통해 연결되는 구조를 나타낸다. 도 3a를 참조하면, 일 실시 예에서, 복수의 비트라인들 각각은 글로벌 비트라인 및 적어도 하나의 로컬 비트라인을 포함할 수 있다.
- [0043] 클램핑 회로(400)는 제1 글로벌 비트라인(GBL<1>) 내지 제N 글로벌 비트라인(GBL<N>)(단, N은 자연수이며, 도 2a의 N과는 별개의 숫자)과 연결될 수 있다. 제1 글로벌 비트라인(GBL<1>)은 제1 글로벌 비트라인 선택 트랜지스터(GY_1)를 통해 클램핑 회로(400)와 연결될 수 있으며, 제1 글로벌 비트라인 선택 트랜지스터(GY_1)는 제1 글로벌 비트라인 선택 신호(VGY_1)에 기초하여 제1 글로벌 비트라인(GBL<1>)과 클램핑 회로(400) 사이의 전기적 흐름 경로를 선택적으로 형성할 수 있다. 제1 글로벌 비트라인(GBL<1>)의 상기 연결 구조는 제2 글로벌 비트라인(GBL<2>) 내지 제N 글로벌 비트라인(GBL<N>)에도 동일한 방식에 의해 적용될 수 있다.
- [0044] 마찬가지로 방식에 의해, 제1 글로벌 비트라인(GBL<1>) 내지 제N 글로벌 비트라인(GBL<N>) 각각은 M개(단, M은 자연수이며, 도 2b의 M과는 별개의 숫자)의 로컬 비트라인들과 연결될 수 있다.
- [0045] 타일(Tile_i)은 N*M개의 로컬 비트라인들과 로컬 워드라인들이 교차하는 영역에 배치되는 메모리 셀들을 포함할 수 있다.
- [0046] 도 3b는 본 개시의 예시적 실시예에 따른 메모리 셀 어레이의 워드라인 연결 구조를 나타낸다. 특히, 도 3b는 하나의 하프 타일(Half_Tile_1)과 데이터 선택 라인(SDL<j>)이 복수의 워드라인들을 통해 연결되는 구조를 나타낸다. 도 3b를 참조하면, 일 실시 예에서, 복수의 워드라인들 각각은 글로벌 워드라인 및 적어도 하나의 로컬 워드라인을 포함할 수 있다.
- [0047] 데이터 선택 라인(SDL<j>)은 하나의 하프 타일(Half_Tile_1)이 독출/기입 회로와 연결되는 데이터 라인을 나타낼 수 있다. 데이터 선택 라인(SDL<j>)은 제1 글로벌 워드라인(GWL<1>) 내지 제K 글로벌 워드라인(GWL<K>)(단, K는 자연수)과 연결될 수 있다. 제1 글로벌 워드라인(GWL<1>)은 제1 글로벌 워드라인 선택 트랜지스터(GX_1)를 통해 데이터 선택 라인(SDL<j>)과 연결될 수 있으며, 제1 글로벌 워드라인 선택 트랜지스터(GX_1)는 제1 글로벌 워드라인 선택 신호(VGX_1)에 기초하여 제1 글로벌 워드라인(GWL<1>)과 데이터 선택 라인(SDL<j>) 사이의 전기적 흐름 경로를 선택적으로 형성할 수 있다. 제1 글로벌 워드라인(GWL<1>)의 상기 연결 구조는 제2 글로벌 워드라인(GWL<2>) 내지 제K 글로벌 워드라인(LWL<K>)에도 동일한 방식에 의해 적용될 수 있다.
- [0048] 마찬가지로 방식에 의해, 제1 글로벌 워드라인(GWL<1>) 내지 제K 글로벌 워드라인(GWL<K>) 각각은 L개(단, L은 자연수이며, 도 2c의 L과는 별개의 숫자)의 로컬 워드라인들과 연결될 수 있다.
- [0049] 하프 타일(Half_Tile_1)은 K*L개의 로컬 워드라인들과 로컬 비트라인들이 교차하는 영역에 메모리 셀들을 포함할 수 있다.
- [0050] 도 3c는 본 개시의 예시적 실시예에 따른 타일과 독출/기입 회로(200)를 나타내는 블록도이다. 도 3c의 제1 하프 타일(Half_Tile_1) 및 제2 하프 타일(Half_Tile_2) 각각은 도 3b의 하프 타일과 같은 연결 구조를 가질 수 있다.
- [0051] 제1 하프 타일(Half_Tile_1) 및 제2 하프 타일(Half_Tile_2)은 각각 제1 데이터 선택 라인(SDL<1>) 및 제2 데이터 선택 라인(SDL<2>)을 통해 독출/기입 회로(200)와 연결될 수 있다.
- [0052] 제1 데이터 선택 라인(SDL<1>) 및 제2 데이터 선택 라인(SDL<2>) 각각에는 제1 디스차지 트랜지스터(DIS_1) 및 제2 디스차지 트랜지스터(DIS_2)가 연결될 수 있다. 제1 디스차지 트랜지스터(DIS_1)는 제1 디스차지 제어 신호(VDIS_1)에 기초해 제1 데이터 선택 라인(SDL<1>)을 방전시킬 수 있다. 예를 들어, 제1 하프 타일(Half_Tile_1)에 포함된 선택 메모리 셀에 대한 독출 동작 모드 내 워드라인 프리차지 구간에서, 제1 디스차지 트랜지스터(DIS_1)는 제1 데이터 선택 라인(SDL<1>)을 방전시킬 수 있다. 제2 디스차지 트랜지스터(DIS_2)도 제1 디스차지 트랜지스터(DIS_1)와 마찬가지로 이해될 수 있다.
- [0053] 도 4a 내지 도 4d는 본 개시의 예시적 실시예에 따른 메모리 셀을 나타낸다.

- [0054] 도 4a를 참조하면, 메모리 셀(110a)은 가변 저항 소자(112a) 및 스위칭 소자(114a)를 포함할 수 있다. 여기서, 가변 저항 소자(112a)는 가변 저항체(또는, 가변 저항 물질)라고 지칭할 수 있다.
- [0055] 예시적 실시 예에 있어서, 가변 저항 소자(112a)는 로컬 비트라인(LBL) 및 스위칭 소자(114a) 사이에 연결되며, 스위칭 소자(114a)는 가변 저항 소자(112a) 및 로컬 워드라인(LWL) 사이에 연결될 수 있다. 다만, 이에 한정되는 것은 아니고, 스위칭 소자(114a)가 로컬 비트라인(LBL) 및 가변 저항 소자(112a) 사이에 연결되며, 가변 저항 소자(112a)가 스위칭 소자(114a) 및 로컬 워드라인(LWL) 사이에 연결될 수 있다.
- [0056] 가변 저항 소자(112a)는 인가되는 전기적 펄스에 의해 복수 개의 저항 상태들 중 하나로 변동될 수 있다. 예시적 실시 예에 따르면, 가변 저항 소자(112a)는 전류 양에 따라 결정 상태가 변화하는 상 변화 물질(phase change material)을 포함할 수 있다. 이러한 상 변화 물질은 비교적 저항이 높은 비정질 상태(amorphous state)와 비교적 저항이 낮은 결정 상태(crystal state)를 가질 수 있다. 상 변화 물질은 전류의 양에 따라 발생하는 줄 열(Joule's heat)에 의해 상(phase)이 변화될 수 있다. 그리고, 이와 같은 상 변화를 이용해 데이터를 기입할 수 있다.
- [0057] 스위칭 소자(114a)는 연결된 선택 워드라인(LWL)에 인가되는 전압에 따라 가변 저항 소자(112a)로의 전류 공급을 제어할 수 있다. 스위칭 소자(114a)는 칼코게나이드(chalcogenide) 화합물을 포함하는 오보닉 임계 스위치(OTS, Ovonic Threshold Switch)일 수 있다.
- [0058] 도 4b를 참조하면, 메모리 셀(110b)은 가변 저항 소자(112b) 및 오보닉 임계 스위치(114b)를 포함할 수 있다. 다시 말해, 도 4b는 도 4a에서 스위칭 소자가 오보닉 임계 스위치(114b)인 일 실시 예를 나타낸다.
- [0059] 도 4c를 참조하면, 메모리 셀(110c)은 가변 저항 소자(112c) 및 양방향 다이오드(114c)를 포함할 수 있다. 다시 말해, 도 4c는 도 4a에서 스위칭 소자가 양방향 다이오드(114c)인 일 실시 예를 나타낸다.
- [0060] 도 4d를 참조하면, 메모리 셀(110d)은 가변 저항 소자(112d)를 포함할 수 있다. 가변 저항 소자(112d)는 로컬 워드라인(LWL) 및 로컬 비트라인(LBL) 사이에 연결될 수 있다. 메모리 셀(110d)은 로컬 워드라인(LWL) 및 로컬 비트라인(LBL)에 각각 인가되는 전압들에 의해서 데이터를 저장할 수 있다.
- [0061] 도 5a 내지 도 5c는 본 개시의 예시적 실시예에 따른 메모리 장치(20)를 나타낸다. 도 5a 내지 도 5c의 독출/기입 회로(200), 누설 전류 보상 회로(300) 및 클램핑 회로(400)에 대한 도 1과 중복되는 설명은 생략한다.
- [0062] 도 5a를 참조하면, 메모리 장치(20)는 독출/기입 회로(200), 누설 전류 보상 회로(300) 및 클램핑 회로(400)를 포함할 수 있다. 메모리 장치(20)는 데이터 독출 모드에서, 교차하는 로컬 워드라인(LWL)과 로컬 비트라인(LBL) 사이에 배치되는 선택 메모리 셀(110)로부터 데이터를 독출할 수 있다. 선택 메모리 셀(110)과 연결된 로컬 워드라인(LWL)은 선택 로컬 워드라인이라 칭해질 수 있으며, 선택 메모리 셀(110)과 연결된 로컬 비트라인(LBL)은 선택 로컬 비트라인이라 칭해질 수 있다. 또한, 선택 로컬 워드라인과 연결된 글로벌 워드라인은 선택 글로벌 워드라인이라 칭해질 수 있으며, 선택 로컬 비트라인과 연결된 글로벌 비트라인은 선택 글로벌 비트라인이라 칭해질 수 있다.
- [0063] 선택 메모리 셀(110)과 로컬 비트라인(LBL)이 연결된 노드(node)로부터 클램핑 회로(400)에 이르기까지의 전기적 경로를 비트라인 경로(800)라 칭할 수 있다. 본 명세서에서, 선택 메모리 셀(110)에 연결된 비트라인 경로(800)는 선택 비트라인 경로라 칭해질 수 있다. 비트라인 경로(800)는 선택 로컬 비트라인 상의 전기적 경로를 나타내는 로컬 비트라인 경로(820) 및 선택 글로벌 비트라인 상의 전기적 경로를 나타내는 글로벌 비트라인 경로(840)를 포함할 수 있다.
- [0064] 선택 메모리 셀(110) 및 로컬 워드라인(LWL)이 연결된 노드로부터 독출/기입 회로(200)에 이르기까지의 전기적 경로를 워드라인 경로(700)라 칭할 수 있다. 본 명세서에서, 선택 메모리 셀(110)에 연결된 워드라인 경로(700)는 선택 워드라인 경로라 칭해질 수 있다. 워드라인 경로(700)는 선택 로컬 워드라인 상의 전기적 경로를 나타내는 로컬 워드라인 경로(720) 및 선택 글로벌 워드라인 상의 전기적 경로를 나타내는 글로벌 워드라인 경로(740)를 포함할 수 있다.
- [0065] 선택 로컬 워드라인에는 복수의 비선택 메모리 셀들이 연결되어 있을 수 있고, 상기 복수의 비선택 메모리 셀들에 의해 발생하는 누설 전류들에 의해 선택 로컬 워드라인의 전압 레벨이 증가할 수 있다.
- [0066] 누설 전류 보상 회로(300)가 워드라인 경로(700)와 연결됨에 따라, 누설 전류 보상 회로(300)는 비선택 메모리 셀들에 의해 발생하는 누설 전류들을 합한 값인 제1 전류 값을 보상할 수 있다.

- [0067] 도 5b를 참조하면, 제1 층의 로컬 워드라인(LWL1<i></i>) 및 제2 층의 로컬 워드라인 사이(LWL2<i></i>)에서 메모리 셀들이 제1 층 및 제2 층을 형성할 수 있고, 제1 층의 메모리 셀 및 제2 층의 메모리 셀 사이의 연결 노드에 로컬 비트라인이 연결될 수 있다. 제j 로컬 비트라인(LBL<j>)과 제2 층의 제i 로컬 워드라인(LWL2<i></i>) 사이에 연결된 메모리 셀이 선택 메모리 셀인 것을 가정하여 설명한다.
- [0068] 선택 메모리 셀로부터 독출/기입 회로(200)에 이르기까지의 전기적 경로를 나타내는 워드라인 경로(700)는 로컬 워드라인 경로(720) 및 글로벌 워드라인 경로(740)를 포함할 수 있다.
- [0069] 로컬 워드라인 경로(720)는 로컬 워드라인 저항(R_LWL) 및 로컬 워드라인 선택 트랜지스터(LX)를 포함할 수 있다. 로컬 워드라인 선택 트랜지스터(LX)는, 로컬 워드라인 선택 신호(VLX)에 기초해, 선택 로컬 워드라인과 선택 글로벌 워드라인 사이의 전기적 흐름 경로를 선택적으로 형성할 수 있다. 여기서, 로컬 워드라인 저항(R_LWL)은 로컬 워드라인 경로(720)에 포함된 기생 저항(parasitic resistor)을 나타낼 수 있다.
- [0070] 글로벌 워드라인 경로(740)는 글로벌 워드라인 저항(R_GWL) 및 글로벌 워드라인 선택 트랜지스터(GX)를 포함할 수 있다. 글로벌 워드라인 선택 트랜지스터(GX)는, 글로벌 워드라인 선택 신호(VGX)에 기초해, 선택 글로벌 워드라인과 독출/기입 회로(200) 사이의 전기적 흐름 경로를 선택적으로 형성할 수 있다. 여기서, 글로벌 워드라인 저항(R_GWL)은 글로벌 워드라인 경로(740)에 포함된 기생 저항(parasitic resistor)을 나타낼 수 있다.
- [0071] 선택 메모리 셀로부터 클램핑 회로(400)에 이르기까지의 전기적 경로를 나타내는 비트라인 경로(800)는 로컬 비트라인 경로(820) 및 글로벌 비트라인 경로(840)를 포함할 수 있다.
- [0072] 로컬 비트라인 경로(820)는 로컬 비트라인 저항(R_LBL) 및 로컬 비트라인 선택 트랜지스터(LY)를 포함할 수 있다. 로컬 비트라인 선택 트랜지스터(LY)는, 로컬 비트라인 선택 신호(VLY)에 기초해, 선택 로컬 비트라인과 선택 글로벌 비트라인 사이의 전기적 흐름 경로를 선택적으로 형성할 수 있다. 여기서, 로컬 비트라인 저항(R_LBL)은 로컬 비트라인 경로(820)에 포함된 기생 저항(parasitic resistor)을 나타낼 수 있다.
- [0073] 글로벌 비트라인 경로(840)는 글로벌 비트라인 저항(R_GBL) 및 글로벌 비트라인 선택 트랜지스터(GY)를 포함할 수 있다. 글로벌 비트라인 선택 트랜지스터(GY)는, 글로벌 비트라인 선택 신호(VGY)에 기초해, 선택 글로벌 비트라인과 클램핑 회로(400) 사이의 전기적 흐름 경로를 선택적으로 형성할 수 있다. 여기서, 글로벌 비트라인 저항(R_GBL)은 글로벌 비트라인 경로(840)에 포함된 기생 저항(parasitic resistor)을 나타낼 수 있다.
- [0074] 누설 전류 보상 회로(300)는 워드라인 경로(700)와 전기적으로 연결될 수 있다.
- [0075] 도 5c를 참조하면, 워드라인 경로(700)는 독출 회로(220)와 연결되는 노드에 연결되어 선택 로컬 워드라인 및 선택 글로벌 워드라인을 프리차지 하는 디스차지 트랜지스터(DIS)를 포함하는 구성으로 이해될 수 있다.
- [0076] 클램핑 회로(400)는 제1 트랜지스터(TR1) 및 OP 앰프(420)를 포함할 수 있다. 클램핑 회로(400)는 OP 앰프(420)로 입력되는 클램프 전압(V_clamp)을 이용하여, 메모리 장치(20)의 독출 동작 모드 내 비트라인 프리차지 구간에서, 선택 글로벌 비트라인 및 선택 로컬 비트라인을 프리차지 할 수 있다.
- [0077] 독출 회로(220)는 센스 앰플리파이어(sense amplifier; 222)를 포함할 수 있다. 센스 앰플리파이어(222)는, 독출 동작 모드에서, 선택 메모리 셀이 연결된 선택 워드라인 전압과 기준 전압(Vref) 사이의 전압 차이 값을 증폭하여 센스앰프 출력 값(SA_out)을 출력할 수 있다. 일 실시 예에서, 독출 동작 모드 내에서 선택 로컬 워드라인과 제1 노드(Node1)의 전하가 공유되는 차지 세어 구간에서, 센스 앰플리파이어(222)는 전하가 공유된 뒤의 제1 노드(Node1)의 전압(V_NSA)과 기준 전압(Vref) 사이의 전압 차이 값을 증폭하여 센스앰프 출력 값(SA_out)을 출력할 수 있다.
- [0078] 워드라인 경로(700)는 그 경로 상에 적어도 하나의 기생 캐패시터(parasitic capacitor)를 포함할 수 있다. 예를 들어, 로컬 워드라인 경로(720), 글로벌 워드라인 경로(740) 및 워드라인 경로(700)에 포함된 기생 캐패시터들을 각각 제1 캐패시터(C1) 내지 제6 캐패시터(C6)와 같이 표현할 수 있다.
- [0079] 본 개시의 예시적 실시예에 따르면, 메모리 장치(20)는, 독출 동작 모드에서, 누설 전류 보상 회로(300)가 비선택 셀들에 의해 발생하는 누설 전류를 보상함으로써, 독출 윈도우(read window) 및 센싱 마진(sensing margin)을 넓게 확보할 수 있다. 메모리 장치(20)는, 독출 윈도우 및 센싱 마진을 넓게 확보함으로써 독출 에러를 줄일 수 있고, 독출 동작의 신뢰성을 향상시킬 수 있다.
- [0080] 도 6은 본 개시의 예시적 실시예에 따른 저항성 메모리 셀의 전류-전압 특성 그래프 및 결정질 상태의 메모리 셀에 흐르는 전류 그래프를 나타낸다. 저항성 메모리 셀의 저항이 낮은 결정질 상태는 SET 상태라 칭해질 수 있

으며, 저항성 메모리 셀의 저항이 높은 비정질 상태는 RESET 상태라 칭해질 수 있다.

- [0081] 저항성 메모리 셀의 전류-전압 특성 그래프를 참고하면, 메모리 셀은 SET 상태와 RESET 상태에서 상이한 전류-전압 특성을 나타낼 수 있다. 메모리 장치는, 독출 동작 모드에서, 이와 같은 SET 상태와 RESET 상태의 전류-전압 특성의 차이를 이용해 선택 메모리 셀의 데이터를 독출할 수 있다. 예를 들어, 메모리 장치는 선택 메모리 셀 양단에 SET 상태 곡선의 임계 전압(V_{th_set})과 RESET 상태 곡선의 임계 전압(V_{th_reset}) 사이 값을 갖는 독출 전압(V_a)을 인가함으로써 SET 상태의 메모리 셀과 RESET 상태의 메모리 셀을 구별해낼 수 있다. 저항성 메모리 셀의 데이터를 독출하는 방식에 대해 이하에서 도 5c를 함께 참조하여 설명한다.
- [0082] 선택 메모리 셀(110)이 RESET 상태인 경우에 대해 먼저 설명한다. 메모리 장치(20)는 데이터 독출을 위해 선택 메모리 셀(110) 양단에 독출 전압(V_a)을 인가할 수 있다. 예를 들어, 메모리 장치(20)는 선택 로컬 워드라인을 $-V_a/2$ 의 전압으로 프리차지 하고, 선택 로컬 비트라인을 $+V_a/2$ 의 전압으로 프리차지 함으로써 선택 메모리 셀(110) 양단에 독출 전압(V_a)을 인가할 수 있다. 전류-전압 특성 그래프 상의 RESET 곡선을 참조할 때, RESET 상태의 선택 메모리 셀(110) 양단에 독출 전압(V_a)이 인가되는 경우, 선택 메모리 셀(110)에는 리셋 피크 전류(I_{rp}) 만큼의 전류가 흐를 수 있다. 여기서 리셋 피크 전류(I_{rp})는 피크 전류(I_{peak})와 비교할 때 무시할 수 있을 만큼 작은 값의 전류를 나타낼 수 있다. 따라서, 선택 로컬 워드라인의 전압 레벨의 변화가 없거나, 실질적으로 변화가 없는 것과 동일할 수 있다.
- [0083] 반면, 선택 메모리 셀(110)이 SET 상태인 경우에 대해 설명한다. 메모리 장치(20)는 데이터 독출을 위해 선택 메모리 셀(110) 양단에 독출 전압(V_a)을 인가할 수 있다. 전류-전압 특성 그래프 상의 SET 곡선을 참조할 때, SET 상태의 선택 메모리 셀(110) 양단에 독출 전압(V_a)이 인가되는 경우, 선택 메모리 셀(110)에는 순간적으로 피크 전류(I_{peak}) 값의 전류가 흐르게 된다. 비트라인 경로 상의 기생 저항 및 기생 캐패시터에 의해, 피크 전류(I_{peak}) 값은 독출 전압(V_a)에 지수적으로(exponentially) 비례할 수 있다. 따라서, 선택 메모리 셀(110) 양단에 흐르는 전류의 시간에 대한 그래프는 도 6의 우측과 같은 그래프에서 SET 곡선을 나타낼 수 있다.
- [0084] 도 6의 우측의 그래프를 참조하면, 선택 메모리 셀(110)이 SET 상태인 경우, 선택 메모리 셀(110)에는 순간적으로 피크 전류(I_{peak}) 값의 전류가 흐르고, 이후 선택 로컬 워드라인에 기생하는 캐패시터들에 의해 선택 로컬 워드라인의 전압 레벨이 올라감에 따라 선택 메모리 셀(110) 양단의 전압이 감소하게 되고, 선택 메모리 셀(110) 양단의 전압이 감소함에 따라 선택 메모리 셀(110)에 흐르는 전류도 작아지게 된다. 이 때, 선택 메모리 셀(110)에 리셋 최소 전류 값(I_{rst_min}) 이상의 전류가 흐르게 되는 경우, 큰 전류의 통전에 따라 발생하는 주울 열(Joule Heat)에 의해 선택 메모리 셀(110)의 상태가 SET 상태에서 RESET 상태로 변화할 수 있다. 선택 메모리 셀(110)의 상태가 의도치 않게 변화하는 것은 독출 에러를 야기할 수 있기 때문에, 도 6의 우측의 그래프 상에서 제1 시간 폭($W1$)을 줄임으로써 독출 에러의 발생을 줄일 수 있다.
- [0085] 도 7a 및 도 7b는 본 개시의 예시적 실시예에 따른 독출 동작 모드에서의 전압 그래프를 나타낸다. 도 7a 및 도 7b는 누설 전류 보상 회로가 없는 경우의 전압 그래프를 나타낸다. 도 7a 및 도 7b는 도 5c를 함께 참조하여 설명된다.
- [0086] 특히, 도 7a는, 비선택 메모리 셀들에 의한 누설 전류가 없는 경우를 가정한 이상적인 그래프를 나타낸다. 독출 동작 모드는 워드라인 프리차지 구간, 비트라인 프리차지 구간 및 차지 세어 구간을 포함할 수 있다.
- [0087] 워드라인 프리차지 구간에서, 메모리 장치(20)는 선택 글로벌 워드라인 및 선택 로컬 워드라인을 제1 전압 값으로 프리차지 할 수 있다. 제1 전압 값은 음의 독출 전압(V_a)의 절반의 값을 나타낼 수 있다.
- [0088] 비트라인 프리차지 구간에서, 메모리 장치(20)는 선택 글로벌 비트라인 및 선택 로컬 비트라인을 제2 전압 값으로 프리차지 할 수 있다. 제2 전압 값은 독출 전압(V_a)의 절반의 값을 나타낼 수 있다. 비트라인 프리차지 구간에서, 워드라인은 플로팅(floating) 될 수 있다. 또한, 비트라인 프리차지 구간에서, 디스차지 트랜지스터(DIS)가 턴-오프 됨에 따라 제1 노드(Node1)의 전압(V_{NSA})은 기준 전압(V_{ref})과 같아질 수 있다. 비트라인이 프리차지 되어 선택 메모리 셀(110)에 독출 전압(V_a)이 인가되게 되면, 선택 메모리 셀(110)의 상태가 SET 상태인지, 아니면 RESTET 상태인지 여부에 따라 전압 그래프가 다른 특성을 나타내게 된다.
- [0089] 선택 메모리 셀(110)의 상태가 SET 상태인 경우, 선택 메모리 셀(110)에 전류가 흐르므로써 로컬 워드라인 전압(V_{LWL})이 기준 전압(V_{ref}) 보다 커질 수 있다.
- [0090] 선택 메모리 셀(110)의 상태가 RESTET 상태인 경우, 선택 메모리 셀(110)에 흐르는 전류가 매우 적기 때문에 로컬 워드라인 전압(V_{LWL})은 변화가 없거나, 실질적으로 변화가 없는 것과 같은 수준의 변화가 일어날 수 있다.

- [0091] 차지 세어 구간에서, 로컬 선택 워드라인과 제1 노드(Node1) 사이에서 전하가 공유될 수 있다. 로컬 선택 워드라인과 제1 노드(Node1)가 전하를 공유함에 따라 로컬 워드라인 전압(V_{LWL})과 제1 노드(Node1)의 전압(V_{NSA})은 같은 값을 갖게 될 수 있다.
- [0092] 차지 세어 구간 이후, 센스 앰플리파이어(222)는 제1 노드(Node1)의 전압(V_{NSA})과 기준 전압(V_{ref}) 사이의 전압 차이 값을 증폭하여 센스앰프 출력 값(SA_{out})을 출력할 수 있다. 도 7a를 참조하면, 선택 메모리 셀(110)이 SET 상태인 경우, 센스 앰플리파이어(222)는 제1 센싱 마진(SM_{1a})의 마진(margin)을 이용해 센싱할 수 있고, 선택 메모리 셀(110)이 RESET 상태인 경우, 센스 앰플리파이어(222)는 제2 센싱 마진(SM_{2a})의 마진을 이용해 센싱할 수 있다.
- [0093] 도 7b는, 비선택 메모리 셀들에 의한 누설 전류가 있는 경우를 가정한 그래프를 나타낸다. 도 7a와 비교할 때의 차이점을 중심으로 설명한다.
- [0094] 비트라인 프리차지 구간에서, 선택 메모리 셀 양단에는 독출 전압(V_a)이 인가되고, 선택 로컬 워드라인에 연결된 비선택 메모리 셀들 양단에는 독출 전압(V_a)의 절반 값을 갖는 전압이 인가되게 된다. 따라서, 도 6의 전류-전압 그래프 상에서 독출 전압(V_a)의 절반 값의 전압에 대응되는 전류가 각각의 비선택 메모리 셀들에 흐르게 될 수 있다. 비선택 메모리 셀들 각각에 흐르는 누설 전류들이 합쳐져 선택 로컬 워드라인에 흐르게 되는 경우, 로컬 워드라인 전압(V_{LWL})이 증가할 수 있다. 비트라인 프리차지 구간에서 로컬 워드라인 전압(V_{LWL})이 증가함에 따라 두 가지 문제점이 발생할 수 있다.
- [0095] 첫 째, 로컬 워드라인 전압(V_{LWL})이 증가함에 따라 실질적으로 선택 메모리 셀(110) 양단에 걸리는 전압의 크기가 감소할 수 있다. 다시 말해, 독출 전압(V_a)의 유효 값이 실질적으로 감소할 수 있는데, 이로 인해 메모리 장치(20)는 SET 상태의 메모리 셀을 RESET 상태로 판단할 수 있다. 즉, 독출 동작 모드에서, 독출 윈도우(read window)가 감소할 수 있다.
- [0096] 둘 째, 도 7b를 참조하면, 로컬 워드라인 전압(V_{LWL})이 증가함에 따라, RESET 상태의 선택 메모리 셀(110)에 대한 센싱 마진이 감소할 수 있다. 예를 들어, 도 7a와 도 7b를 비교하면, 도 7b의 제2 센싱 마진(SM_{2b})이 도 7a의 제2 센싱 마진(SM_{2a})에 비해 감소했음을 알 수 있다.
- [0097] 도 7c는 본 개시의 예시적 실시예에 따른 메모리 장치의 누설 전류로 인한 독출 윈도우 감소 및 센싱 마진의 감소를 설명하기 위한 그래프를 나타낸다.
- [0098] 도 7c의 좌측을 참조하면, 독출 전압(V_a)의 유효 값이 실질적으로 감소함에 따라, V_{cl1amp} 측에 대한 SET 상태의 메모리 셀의 산포가 우측으로 퍼질 수 있다. 따라서, 독출 윈도우가 감소할 수 있으며, 메모리 장치는 SET 상태의 메모리 셀을 RESET 상태로 판단할 수 있다.
- [0099] 도 7c의 우측을 참조하면, 로컬 워드라인 전압이 증가함에 따라, V_{ref} 측에 대한 RESET 상태의 메모리 셀의 산포가 우측으로 퍼질 수 있다. 따라서, 센싱 마진(SM)이 감소할 수 있으며, 메모리 장치는 RESET 상태의 메모리 셀을 SET 상태로 판단할 수 있다.
- [0100] 위와 같이, 비선택 메모리 셀들에 의한 누설 전류에 의해 독출 윈도우(read window)가 감소하고, 센싱 마진이 감소할 수 있기 때문에, 메모리 장치(20)는 비선택 메모리 셀들에 의한 누설 전류를 보상할 필요가 있다.
- [0101] 도 8a 및 도 8b는 본 개시의 예시적 실시예에 따른 메모리 장치(30)를 나타낸다. 도 8a 및 도 8b는, 메모리 장치(30)의 독출 동작 모드에서, 누설 전류 보상 회로(300)가 워드라인 경로(700) 상의 로컬 워드라인 선택 트랜지스터(LX)와 전기적으로 연결된 예시적 실시예를 도시한다. 도 8a 및 도 8b에 대해 도 5a 내지 도 5c와 중복되는 내용은 생략하기로 한다.
- [0102] 도 8a를 참조하면, 메모리 장치(30)의 독출 동작 모드에서, 누설 전류 보상 회로(300)는 로컬 워드라인 선택 트랜지스터(LX)와 전기적으로 연결될 수 있다. 일 실시 예에서, 누설 전류 보상 회로(300)는 로컬 워드라인 선택 트랜지스터(LX)의 게이트(gate)와 전기적으로 연결될 수 있다. 일 실시 예에서, 선택 로컬 워드라인에 연결된 비선택 메모리 셀들에 의해 발생하는 누설 전류의 합한 값이 제1 전류 값이라 할 때, 누설 전류 보상 회로(300)는 로컬 워드라인 선택 트랜지스터(LX)에 제1 전류 값의 전류가 흐르게 만들도록 구성될 수 있다. 누설 전류 보상 회로(300)가 로컬 워드라인 선택 트랜지스터(LX)에 제1 전류 값의 전류를 흐르게 만들 때, 디스차지 트랜지스터(DIS)는 턴-온되어 제1 전류 값의 전류가 흐르는 경로를 형성할 수 있다. 일 실시 예에서, 도 8b와 같이, 누설 전류 보상 회로(300)는 로컬 워드라인 선택 트랜지스터(LX)와 함께 커런트 미러(current mirror)를 형성할 수 있다.

- [0103] 도 8b를 참조하면, 메모리 장치(30)는 선택 로직 회로(selection logic circuit; 900)를 더 포함할 수 있다. 선택 로직 회로(900)는 로컬 워드라인 선택 트랜지스터(LX)의 게이트가 연결되는 경로를 선택할 수 있다. 예를 들어, 선택 로직 회로(900)는, 비트라인 프리차지 구간에서, 로컬 워드라인 선택 트랜지스터(LX)의 게이트와 누설 전류 보상 회로(300) 사이를 전기적으로 연결시킬 수 있다. 또한 예를 들어, 선택 로직 회로(900)는, 워드라인 프리차지 구간 및 차지 세어 구간에서는, 로컬 워드라인 선택 트랜지스터(LX)의 게이트와 로컬 워드라인 선택 신호(VLX)가 입력되는 신호 라인 사이를 전기적으로 연결되도록 로컬 워드라인 선택 트랜지스터(LX)의 게이트의 연결 경로를 선택할 수 있다.
 - [0104] 선택 로직 회로(900)는 로컬 워드라인 선택 회로(920) 및 보상 선택 회로(940)를 포함할 수 있다.
 - [0105] 로컬 워드라인 선택 회로(920)의 일단은 누설 전류 보상 회로와 연결되고, 타단은 복수의 로컬 워드라인들 중 하나의 로컬 워드라인에 전기적으로 연결될 수 있다. 누설 전류 보상 회로(300)는 하나의 메모리뱅크에 한 개가 포함될 수도 있고, 하나의 메모리 베이에 한 개가 포함될 수도 있고, 하나의 타일에 한 개가 포함될 수도 있다. 다시 말해, 복수의 로컬 워드라인 선택 트랜지스터들은 누설 전류 보상 회로(300)를 공유할 수 있고, 로컬 워드라인 선택 회로(920)는 공유되는 누설 전류 보상 회로(300)가 복수의 로컬 워드라인 선택 트랜지스터들 중 하나와 전기적으로 연결되도록 할 수 있다.
 - [0106] 보상 선택 회로(940)는, 스위치 제어 신호(CTRL_SW)에 기초해, 로컬 워드라인 선택 트랜지스터를 로컬 워드라인 선택 회로(920) 또는 로컬 워드라인 선택 신호가 입력되는 신호 라인에 선택적으로 전기적 연결시킬 수 있다. 이를 위해, 보상 선택 회로(940)는 스위칭 수단(942)을 포함할 수 있다.
 - [0107] 누설 전류 보상 회로(300)는, 선택 로컬 워드라인에 연결된 비선택 메모리 셀들의 누설 전류를 합한 제1 전류 값을 보상하도록 로컬 워드라인 선택 트랜지스터(LX)와 함께 커런트 미러(current mirror)를 형성할 수 있다. 일 실시예에서, 누설 전류 보상 회로(300)는 로컬 워드라인 선택 트랜지스터(LX)에 대응되는 트랜지스터(LX_M) 및 전류원(320)을 포함할 수 있다. 일 실시 예에서, 트랜지스터(LX_M)는 로컬 워드라인 선택 트랜지스터(LX)와 그 특성이 동일할 수 있다. 일 실시 예에서, 트랜지스터(LX_M)는 로컬 워드라인 선택 트랜지스터(LX)와 사이즈가 동일할 수 있다. 전류원(320)은 선택 로컬 워드라인에 연결된 비선택 메모리 셀들의 누설 전류를 합한 제1 전류 값의 전류를 흘리도록 하는 전류원일 수 있다. 일 실시예에서, 전류원(320)은, 도 6과 같은 저항성 메모리 셀의 전류-전압 특성(I-V characteristic)에 기초해 정해지되, 독출 전압의 절반에 대응되는 전압 값에 대응되는 전류 값을 나타내는 제2 전류 값에 로컬 비트라인들의 개수를 곱한 값에 대응되는 제1 전류 값의 전류를 흘리도록 하는 전류원일 수 있다. 예를 들어, 제1 전류 값을 I_1 , 제2 전류 값을 I_2 , 로컬 비트라인들의 개수를 N_{BL} 이라 한다면, 수식 관계는 아래와 같다.
- [0108]
$$I_1 = I_2 \times N_{BL}$$
- [0109] 도 8c는 본 개시의 예시적 실시예에 따른 선택 로직 회로(900)를 나타낸다. 선택 로직 회로(900)는 로컬 워드라인 선택 회로(920) 및 보상 선택 회로(940)를 포함할 수 있다. 로컬 워드라인 선택 회로(920) 및 보상 선택 회로(940)에 관한 도 8b와 중복되는 설명은 생략한다.
 - [0110] 로컬 워드라인 선택 회로(920)의 일단은 누설 전류 보상 회로와 연결되고, 타단은 복수의 로컬 워드라인들 중 하나의 로컬 워드라인에 전기적으로 연결될 수 있다.
 - [0111] 보상 선택 회로(940)는, 스위치 제어 신호(CTRL_SW)에 기초해, 로컬 워드라인 선택 트랜지스터를 로컬 워드라인 선택 회로(920) 또는 로컬 워드라인 선택 신호가 입력되는 신호 라인에 전기적으로 연결시킬 수 있다. 예를 들어, 비트라인 프리차지 구간에서, 보상 선택 회로(940)는 로컬 워드라인 선택 트랜지스터를 로컬 워드라인 선택 회로(920)에 연결시킴으로써 메모리 장치가 누설 전류를 보상하도록 할 수 있다. 또한 예를 들어, 워드라인 프리차지 구간 또는 차지 세어 구간에서, 보상 선택 회로(940)는 로컬 워드라인 선택 트랜지스터를 로컬 워드라인 선택 신호가 입력되는 신호 라인에 연결시킴으로써 로컬 워드라인 선택 트랜지스터가 로컬 워드라인 선택 신호에 의해 제어되도록 할 수 있다.
 - [0112] 도 9는 본 개시의 예시적 실시예에 따라 도 8a 내지 도 8c의 메모리 장치의 독출 동작 모드에서의 전압 그래프를 나타낸다. 도 9는 도 8b를 함께 참조하여 설명된다.
 - [0113] 독출 동작 모드는 워드라인 프리차지 구간, 비트라인 프리차지 구간 및 차지 세어 구간을 포함할 수 있다.
 - [0114] 워드라인 프리차지 구간에서, 메모리 장치(30)는 디스차지 제어 신호(VDIS)의 전압 레벨을 높임에 따라 디스차지 트랜지스터(DIS)를 턴-온시킬 수 있다. 디스차지 트랜지스터(DIS)가 턴-온 됨에 따라, 선택 로컬 워드라인

(LWL) 및 제1 노드(Node1)의 전압 레벨은 $-V_a/2$ 로 떨어질 수 있다.

- [0115] 비트라인 프리차지 구간에서, 메모리 장치(30)는 로컬 워드라인 선택 신호(VLX)의 전압 레벨을 일부 떨어뜨리고, 선택 로직 회로(900)를 제어함으로써 로컬 워드라인 선택 트랜지스터(LX)를 누설 전류 보상 회로(300)와 전기적으로 연결시킴으로써 로컬 워드라인 선택 트랜지스터(LX)를 부분적으로 턴-온 시킬 수 있다. 메모리 장치(30)는 글로벌 워드라인 선택 트랜지스터(GX) 및 디스차지 트랜지스터(DIS)를 턴-온 함으로써 누설 전류 보상 회로(300)에 의한 보상 전류가 흐르는 전기적 경로를 형성할 수 있다. 메모리 장치(30)는 글로벌 비트라인 선택 트랜지스터 및 로컬 비트라인 선택 트랜지스터를 턴-온 함으로써 선택 로컬 비트라인을 프리차지 할 수 있다. 단, 비트라인 프리차지 구간이 종료되기 전, 제1 구간(S1)에서, 메모리 장치(30)는 디스차지 트랜지스터(DIS)를 턴-오프 할 수 있다. 메모리 장치(30)는 디스차지 트랜지스터(DIS)를 턴-오프 함으로써 제1 노드(Node1)의 전압(V_{NSA}) 레벨을 기준 전압(V_{ref})과 같아지도록 할 수 있다. 제1 구간(S1)은 워드라인 프리차지 구간, 비트라인 프리차지 구간 및 차지 세어 구간과 비교할 때 매우 적은 시간 동안 유지될 수 있다.
- [0116] 차지 세어 구간에서, 메모리 장치(30)는 디벨롭 된 선택 로컬 워드라인과 제1 노드(Node1)의 전하를 공유시키기 위해 로컬 워드라인 선택 트랜지스터(LX)를 턴-온 할 수 있다. 선택 로컬 워드라인과 제1 노드(Node1)가 전하를 공유함에 따라, 제1 노드(Node1)의 전압은 선택 메모리 셀(110)이 SET 상태일 때와 RESTET 상태일 때 차이를 가지며, 센스 앰플리파이어(222)가 기준 전압과 비교함으로써 선택 메모리 셀(110)의 상태를 판단할 수 있다.
- [0117] 누설 전류 보상 회로(300)가 선택 로컬 워드라인에 연결된 비선택 메모리 셀들에 의해 발생하는 누설 전류를 보상함으로써, 독출 윈도우(read window) 및 센싱 마진(sensing margin)을 넓게 확보할 수 있다. 메모리 장치(30)는, 독출 윈도우 및 센싱 마진을 넓게 확보함으로써 독출 에러를 줄일 수 있고, 독출 동작의 신뢰성을 향상시킬 수 있다.
- [0118] 도 10a 및 도 10b는 본 개시의 예시적 실시예에 따른 메모리 장치(40)를 나타낸다. 도 10a 및 도 10b는, 메모리 장치(40)의 독출 동작 모드에서, 누설 전류 보상 회로(300)가 워드라인 경로(700) 상의 글로벌 워드라인 선택 트랜지스터(GX)와 연결된 예시적 실시예를 도시한다. 도 10a 및 도 10b에 대해 도 5a 내지 도 5c와 중복되는 내용은 생략하기로 한다.
- [0119] 도 10a를 참조하면, 메모리 장치(40)의 독출 동작 모드에서, 누설 전류 보상 회로(300)는 글로벌 워드라인 선택 트랜지스터(GX)와 연결될 수 있다. 일 실시예에서, 누설 전류 보상 회로(300)는 글로벌 워드라인 선택 트랜지스터(GX)의 게이트(gate)와 연결될 수 있다. 일 실시예에서, 선택 로컬 워드라인에 연결된 비선택 메모리 셀들에 의해 발생하는 누설 전류의 합한 값이 제1 전류 값이라 할 때, 누설 전류 보상 회로(300)는 글로벌 워드라인 선택 트랜지스터(GX)에 제1 전류 값의 전류가 흐르게 만들도록 구성될 수 있다. 글로벌 워드라인 선택 트랜지스터(GX)에 제1 전류 값의 전류가 흐름에 따라 로컬 워드라인 선택 트랜지스터(LX)에도 제1 전류 값의 전류가 흐를 수 있고, 결과적으로 누설 전류 보상 회로(300)는 누설 전류를 보상할 수 있다. 예를 들어, 도 10b와 같이, 누설 전류 보상 회로(300)는 글로벌 워드라인 선택 트랜지스터(GX)와 함께 커런트 미러(current mirror)를 형성할 수 있다.
- [0120] 메모리 장치(40)는, 비트라인 프리차지 구간에서, 로컬 워드라인 선택 신호(VLX)의 전압 레벨을 제어함으로써 로컬 워드라인 선택 트랜지스터(LX)를 완전히 턴-온(completely turn-on) 하거나 부분적으로 턴-온(partially turn-on) 할 수 있다. 트랜지스터의 턴-온 상태는, 완전한 턴-온 상태 및 부분적인 턴-온 상태를 포함할 수 있다. 트랜지스터의 완전한 턴-온 상태란, 트랜지스터 양단의 전류를 완전히 통전시키는 상태를 나타낼 수 있다. 완전한 턴-온 상태의 트랜지스터 양단의 등가 저항이 부분적인 턴-온 상태의 트랜지스터 양단의 등가 저항 보다 작을 수 있다. 트랜지스터의 부분적인 턴-온 상태란, 완전한 턴-온 상태에 비해 게이트에 작은 전압을 인가함으로써 양 단의 등가 저항을 완전한 턴-온 상태의 트랜지스터의 등가 저항보다 크게 만든 트랜지스터의 상태를 나타낼 수 있다. 로컬 워드라인 선택 트랜지스터(LX)의 게이트에 인가되는 로컬 워드라인 선택 신호(VLX)의 전압 레벨을 제어하기 위해, 워드라인 경로(700)는 로컬 워드라인 선택 신호 제어 회로(750)를 포함할 수 있다. 다시 말해, 로컬 워드라인 선택 신호 제어 회로(750)는 로컬 워드라인 선택 신호(VLX)의 전압 레벨을 제어함으로써 로컬 워드라인 선택 트랜지스터(LX)를 완전히 턴-온 하거나, 부분적으로 턴-온 할 수 있다.
- [0121] 비트라인 프리차지 구간에서, 메모리 장치(40)가 로컬 워드라인 선택 트랜지스터(LX)를 완전히 턴-온 하는 경우에는, 비트라인 프리차지 구간에서부터 제1 노드(Node1)와 선택 로컬 워드라인이 전하를 공유할 수 있기 때문에 센싱 마진을 넓게 확보할 수 있다.
- [0122] 비트라인 프리차지 구간에서, 메모리 장치(40)가 로컬 워드라인 선택 트랜지스터(LX)를 부분적으로 턴-온 하는

경우에는, 선택 로컬 워드라인에 병렬로 연결되는 캐패시터에서 선택 글로벌 워드라인에 연결된 캐패시터들이 배제됨에 따라 등가 캐패시턴스(capacitance)가 감소할 수 있다. 등가 캐패시턴스가 감소하게 되는 경우, 도 6의 우측에서 살폈던 SET 상태의 전류 그래프에서 제1 폭(W1)이 감소하게 되는 유리한 효과가 있을 수 있다.

[0123] 도 10b를 참조하면, 메모리 장치(40)는 선택 로직 회로(selection logic circuit; 900)를 더 포함할 수 있다. 선택 로직 회로(900)는 글로벌 워드라인 선택 트랜지스터(GX)의 연결 경로를 선택할 수 있다. 예를 들어, 선택 로직 회로(900)는, 비트라인 프리차지 구간에서, 글로벌 워드라인 선택 트랜지스터(GX)를 누설 전류 보상 회로(300)에 전기적으로 연결시킬 수 있다. 또한 예를 들어, 선택 로직 회로(900)는 워드라인 프리차지 구간 및 차지 세어 구간에서는 글로벌 워드라인 선택 트랜지스터(GX)가 글로벌 워드라인 선택 신호(VGX)가 입력되는 신호 라인과 전기적으로 연결되도록 글로벌 워드라인 선택 트랜지스터(GX)의 연결 경로를 선택할 수 있다.

[0124] 선택 로직 회로(900)는 도 8b를 참조해 설명된 선택 로직 회로(900)와 동일한 기능을 수행한다고 이해될 수 있다.

[0125] 누설 전류 보상 회로(300)는, 선택 로컬 워드라인에 연결된 비선택 메모리 셀들의 누설 전류를 합한 제1 전류 값을 보상하도록 글로벌 워드라인 선택 트랜지스터(GX)와 함께 커런트 미러(current mirror)를 형성할 수 있다. 일 실시예에서, 누설 전류 보상 회로(300)는 글로벌 워드라인 선택 트랜지스터(GX)에 대응되는 트랜지스터(GX_M) 및 전류원(320)을 포함할 수 있다. 일 실시 예에서, 트랜지스터(GX_M)는 글로벌 워드라인 선택 트랜지스터(GX)와 그 특성이 동일할 수 있다. 일 실시 예에서, 트랜지스터(GX_M)는 글로벌 워드라인 선택 트랜지스터(GX)와 사이즈가 동일할 수 있다.

[0126] 도 11a 및 도 11b는 본 개시의 예시적 실시예에 따라 도 10a 및 도 10b의 메모리 장치(40)의 독출 동작 모드에서의 전압 그래프를 나타낸다. 도 11a 및 도 11b와 관련하여 도 9와 중복되는 설명은 생략한다.

[0127] 도 11a는, 비트라인 프리차지 구간에서, 메모리 장치(40)는 로컬 워드라인 선택 트랜지스터(LX)를 부분적으로 턴-온 할 수 있다. 그 외의 그래프는 도 9와 동일한 추세를 나타낼 수 있다.

[0128] 도 11b는, 비트라인 프리차지 구간에서, 메모리 장치(40)는 로컬 워드라인 선택 트랜지스터(LX)를 완전히 턴-온 할 수 있다. 비트라인 프리차지 구간에서, 로컬 워드라인 선택 트랜지스터(LX)가 완전히 턴-온 됨에 따라 선택 로컬 워드라인(LWL)과 제1 노드(Node1)는 전하를 공유할 수 있다. 따라서, 차지 세어 구간이 끝난 뒤, 센스 앰플리파이어(222)는 선택 메모리 셀(110)의 SET 상태와 RESET 상태를 더 큰 센싱 마진을 이용해 센싱할 수 있다.

[0129] 도 12a 및 도 12b는 본 개시의 예시적 실시예에 따른 메모리 장치(50)를 나타낸다. 도 12a 및 도 12b는, 메모리 장치(50)의 독출 동작 모드에서, 누설 전류 보상 회로(300)가 제1 노드(Node1)에 연결된 디스차지 트랜지스터(DIS)와 전기적으로 연결된 예시적 실시예를 도시한다. 도 12a 및 도 12b에 대해 도 5a 내지 도 5c와 중복되는 내용은 생략하기로 한다.

[0130] 도 12a를 참조하면, 메모리 장치(50)의 독출 동작 모드에서, 누설 전류 보상 회로(300)는 디스차지 트랜지스터(DIS)와 전기적으로 연결될 수 있다. 일 실시예에서, 누설 전류 보상 회로(300)는 디스차지 트랜지스터(DIS)의 게이트(gate)와 전기적으로 연결될 수 있다. 일 실시예에서, 선택 로컬 워드라인에 연결된 비선택 메모리 셀들에 의해 발생하는 누설 전류의 합한 값이 제1 전류 값이라 할 때, 누설 전류 보상 회로(300)는 디스차지 트랜지스터(DIS)에 제1 전류 값의 전류가 흐르게 만들도록 구성될 수 있다. 디스차지 트랜지스터(DIS)에 제1 전류 값의 전류가 흐름에 따라 글로벌 워드라인 선택 트랜지스터(GX) 및 로컬 워드라인 선택 트랜지스터(LX)에도 제1 전류 값의 전류가 흐를 수 있고, 결과적으로 누설 전류 보상 회로(300)는 누설 전류를 보상할 수 있다. 예를 들어, 도 12b와 같이, 누설 전류 보상 회로(300)는 디스차지 트랜지스터(DIS)와 함께 커런트 미러(current mirror)를 형성할 수 있다.

[0131] 메모리 장치(50)는, 비트라인 프리차지 구간에서, 로컬 워드라인 선택 신호(VLX)의 전압 레벨을 제어함으로써 로컬 워드라인 선택 트랜지스터(LX)를 완전히 턴-온(completely turn-on) 하거나 부분적으로 턴-온(partially turn-on) 할 수 있다. 로컬 워드라인 선택 트랜지스터(LX)의 게이트에 인가되는 로컬 워드라인 선택 신호(VLX)의 전압 레벨을 제어하기 위해, 워드라인 경로(700)는 로컬 워드라인 선택 신호 제어 회로(750)를 포함할 수 있다. 다시 말해, 로컬 워드라인 선택 신호 제어 회로(750)는 로컬 워드라인 선택 신호(VLX)의 전압 레벨을 제어함으로써 로컬 워드라인 선택 트랜지스터(LX)를 완전히 턴-온 하거나, 부분적으로 턴-온 할 수 있다.

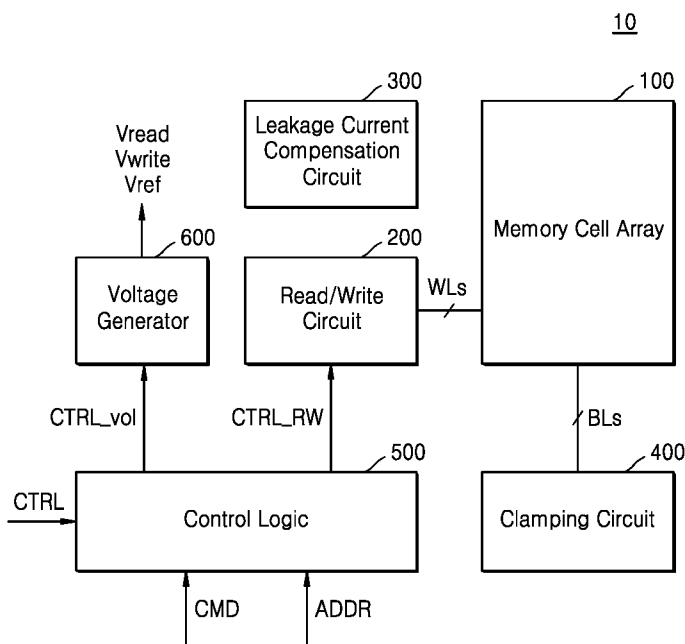
[0132] 도 12b를 참조하면, 메모리 장치(50)는 선택 로직 회로(selection logic circuit; 900)를 더 포함할 수 있다. 선택 로직 회로(900)는 디스차지 트랜지스터(DIS)의 연결 경로를 선택할 수 있다. 예를 들어, 선택 로직 회로(900)는, 비트라인 프리차지 구간에서, 디스차지 트랜지스터(DIS)를 누설 전류 보상 회로(300)에 전기적으로 연

결시킬 수 있다. 또한 예를 들어, 선택 로직 회로(900)는 워드라인 프리차지 구간 및 차지 세어 구간에서는 디스차지 트랜지스터(DIS)가 디스차지 제어 신호(VDIS)가 입력되는 신호 라인과 전기적으로 연결되도록 디스차지 트랜지스터(DIS)의 연결 경로를 선택할 수 있다.

- [0133] 선택 로직 회로(900)는 도 8b를 참조해 설명된 선택 로직 회로(900)와 동일한 기능을 수행한다고 이해될 수 있다.
- [0134] 누설 전류 보상 회로(300)는, 선택 로컬 워드라인에 연결된 비선택 메모리 셀들의 누설 전류를 합한 제1 전류값을 보상하도록 디스차지 트랜지스터(DIS)와 함께 커런트 미러(current mirror)를 형성할 수 있다. 일 실시예에서, 누설 전류 보상 회로(300)는 디스차지 트랜지스터(DIS)에 대응되는 트랜지스터(DIS_M) 및 전류원(320)을 포함할 수 있다.
- [0135] 도 13a 및 도 13b는 본 개시의 예시적 실시예에 따라 도 12a 및 도 12b의 메모리 장치(50)의 독출 동작 모드에서의 전압 그래프를 나타낸다. 도 13a 및 도 13b와 관련하여 도 9, 도 11a 및 도 11b와 중복되는 설명은 생략한다.
- [0136] 도 13a를 참조하면, 비트라인 프리차지 구간에서, 메모리 장치(50)는 로컬 워드라인 선택 트랜지스터(LX)를 부분적으로 턴-온 할 수 있다. 또한, 비트라인 프리차지 구간에서, 메모리 장치(50)는 디스차지 트랜지스터(DIS)를 누설 전류 보상 회로(300)와 연결하기 때문에, 디스차지 트랜지스터(DIS)는 부분적으로 턴-온 될 수 있다.
- [0137] 도 13b를 참조하면, 비트라인 프리차지 구간에서, 메모리 장치(50)는 로컬 워드라인 선택 트랜지스터(LX)를 완전히 턴-온 할 수 있다. 비트라인 프리차지 구간에서, 로컬 워드라인 선택 트랜지스터(LX)가 완전히 턴-온 됨에 따라 선택 로컬 워드라인(LWL)과 제1 노드(Node1)는 전하를 공유할 수 있다. 따라서, 차지 세어 구간이 끝난 뒤, 센스 앰플리파이어(222)는 선택 메모리 셀(110)의 SET 상태와 RESET 상태를 더 큰 센싱 마진을 이용해 센싱할 수 있다.
- [0138] 이상에서와 같이 도면과 명세서에서 예시적인 실시예들이 개시되었다. 본 명세서에서 특정한 용어를 사용하여 실시예들을 설명되었으나, 이는 단지 본 개시의 기술적 사상을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 개시의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 개시의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

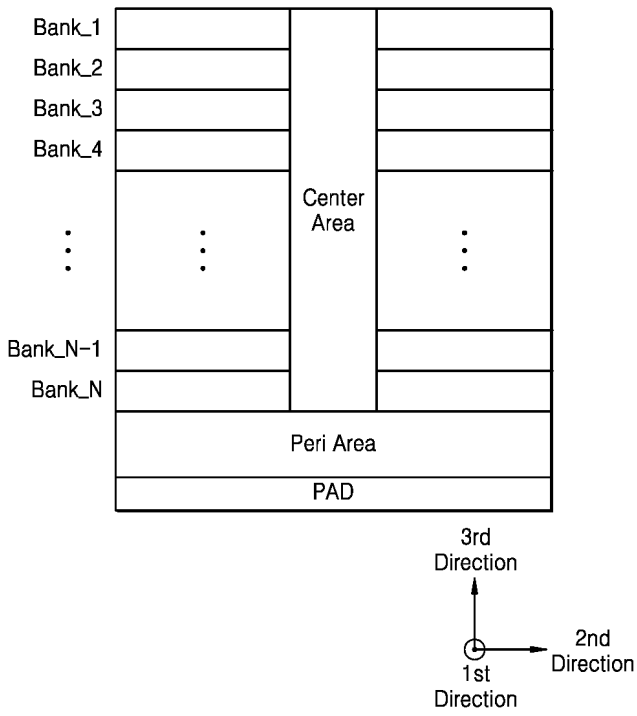
도면

도면1

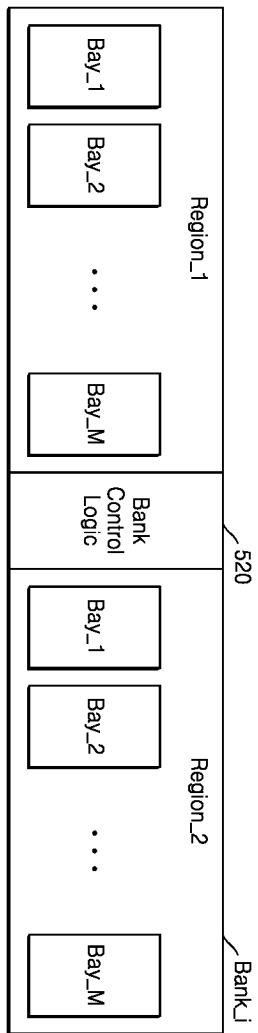


도면2a

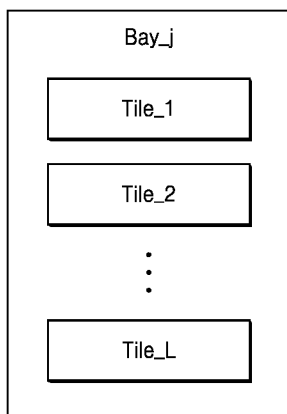
10



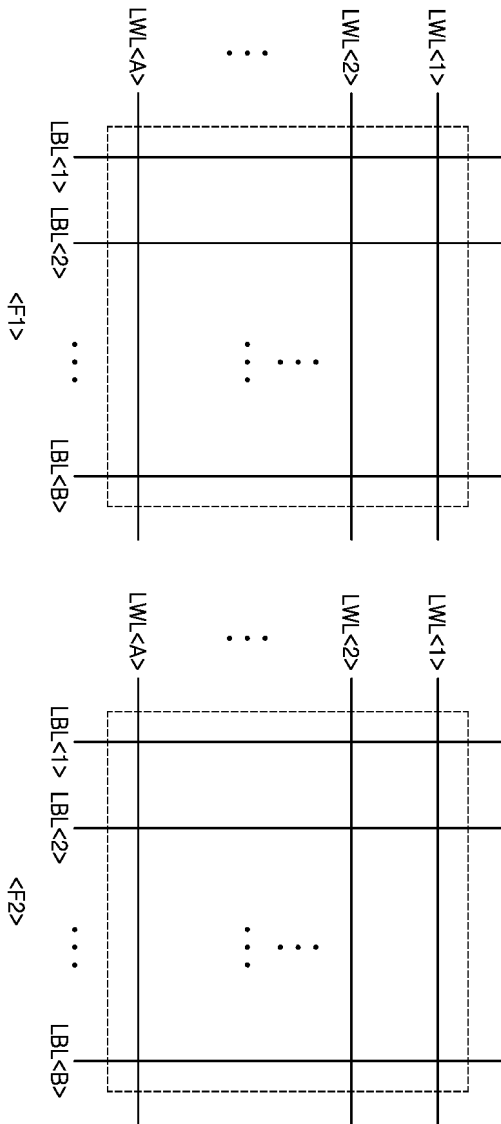
도면2b



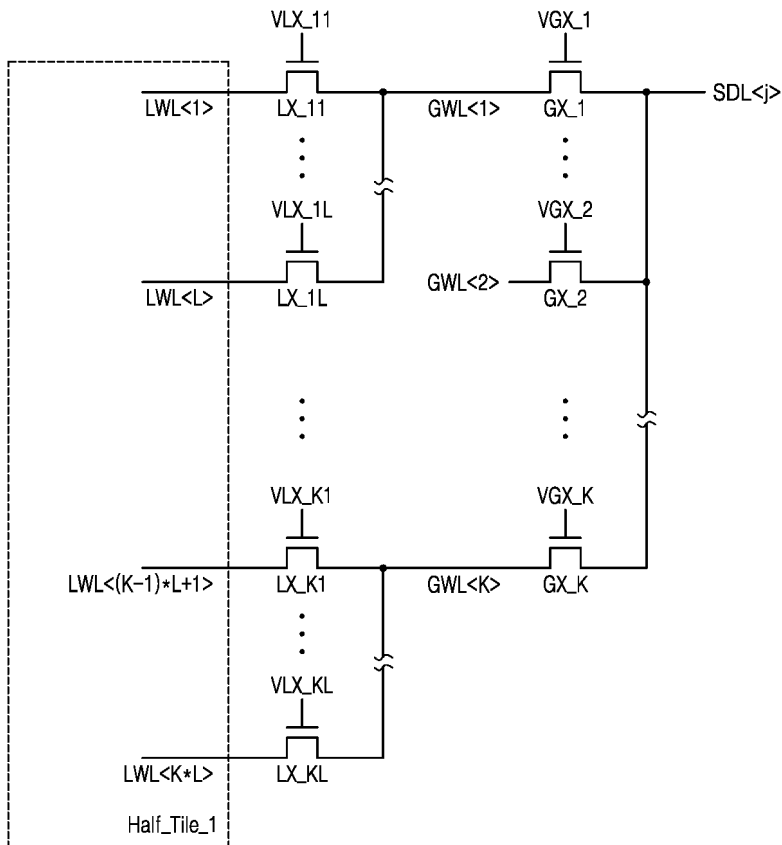
도면2c



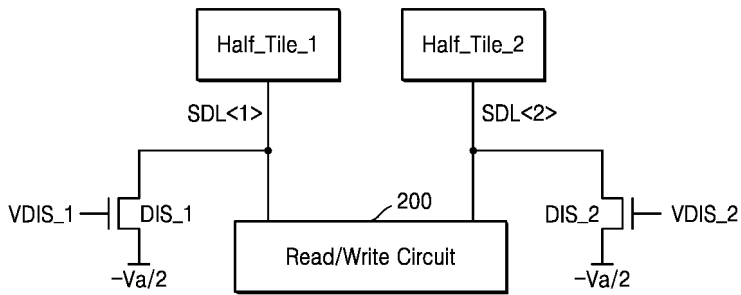
도면2d



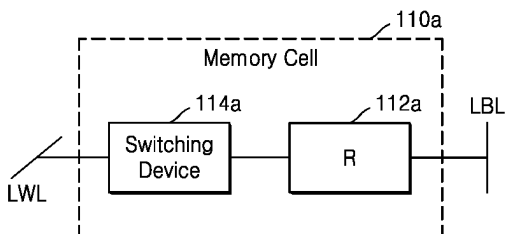
도면3b



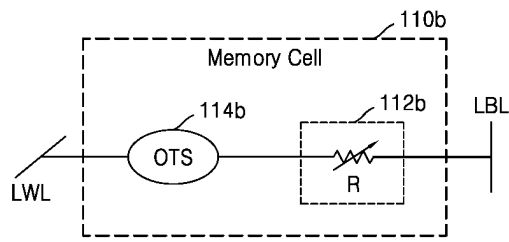
도면3c



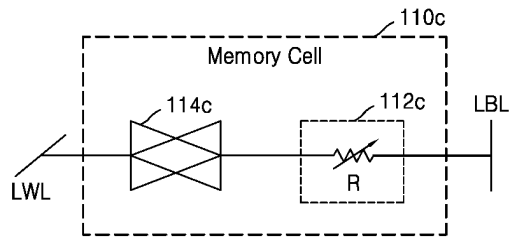
도면4a



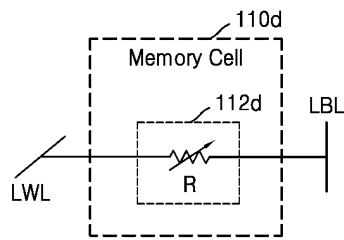
도면4b



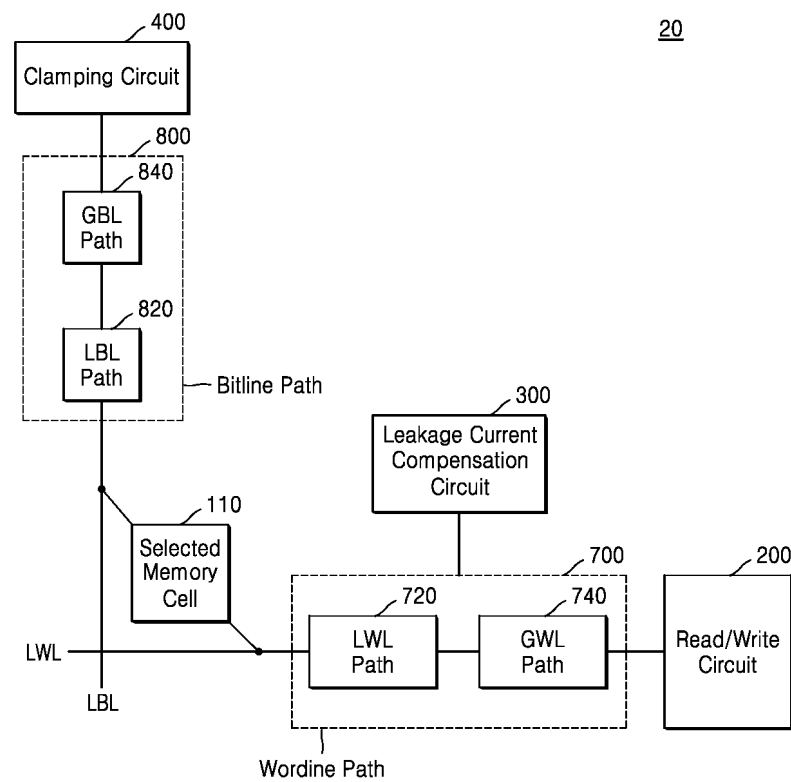
도면4c



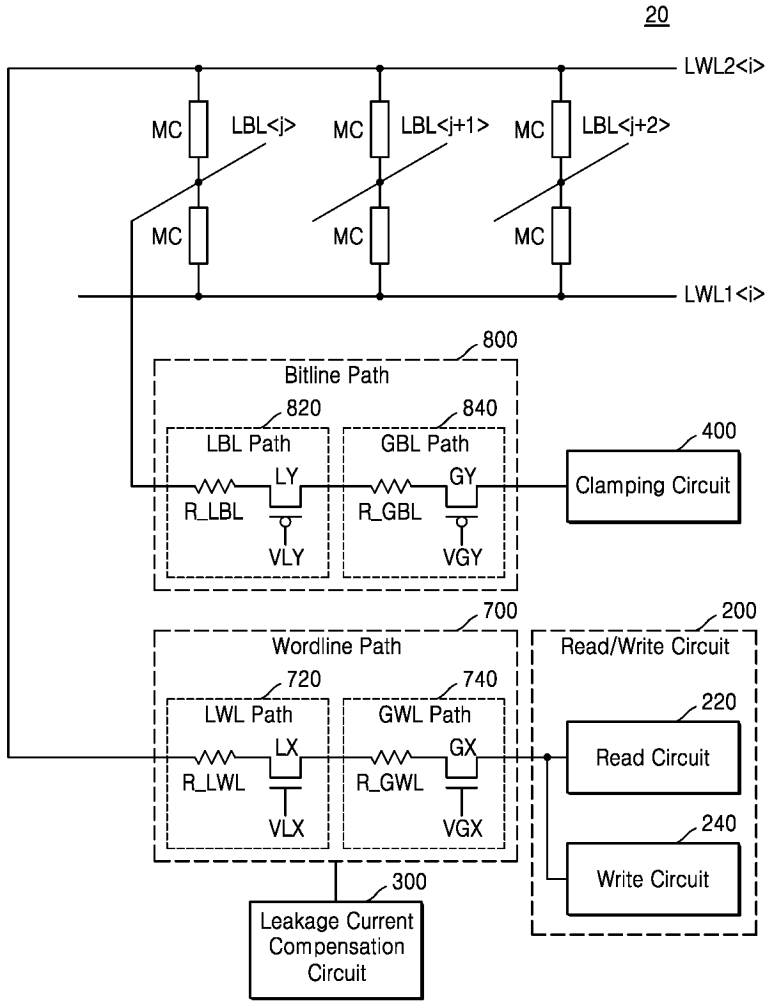
도면4d



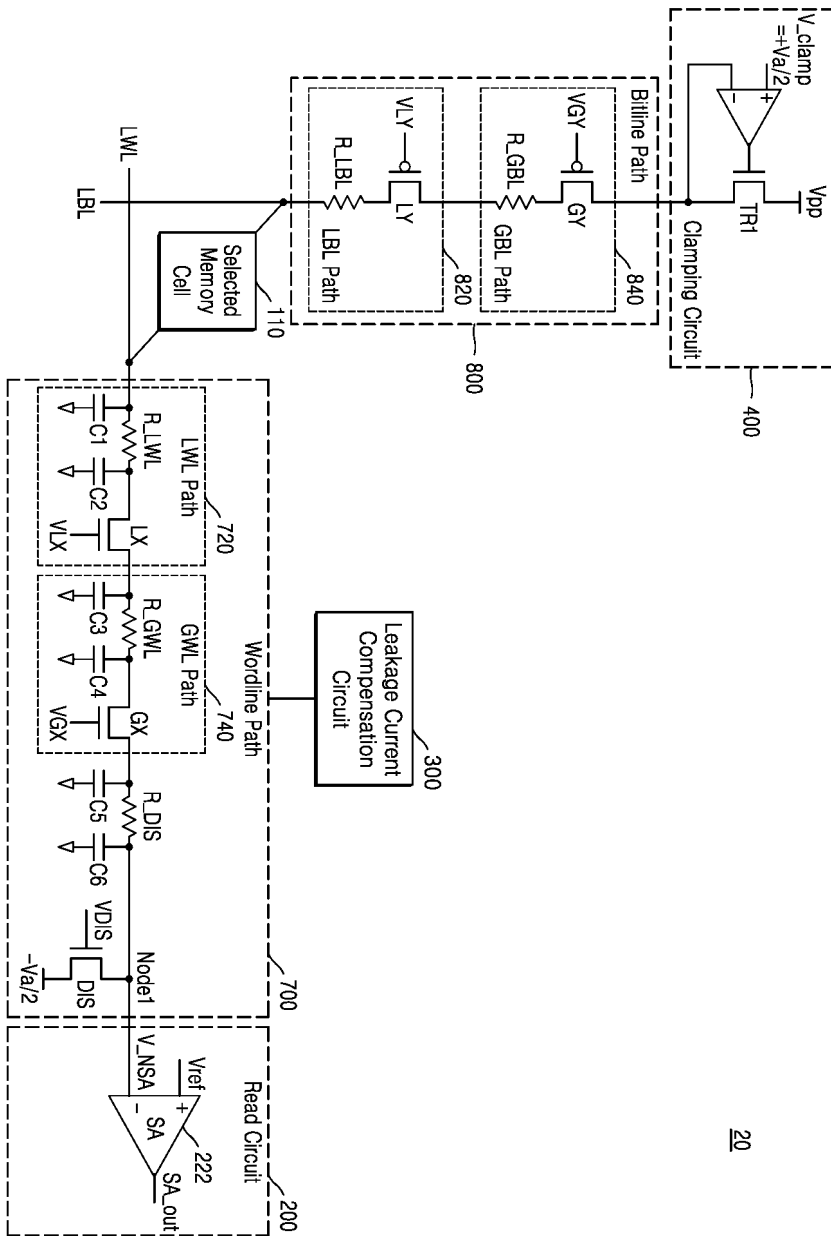
도면5a



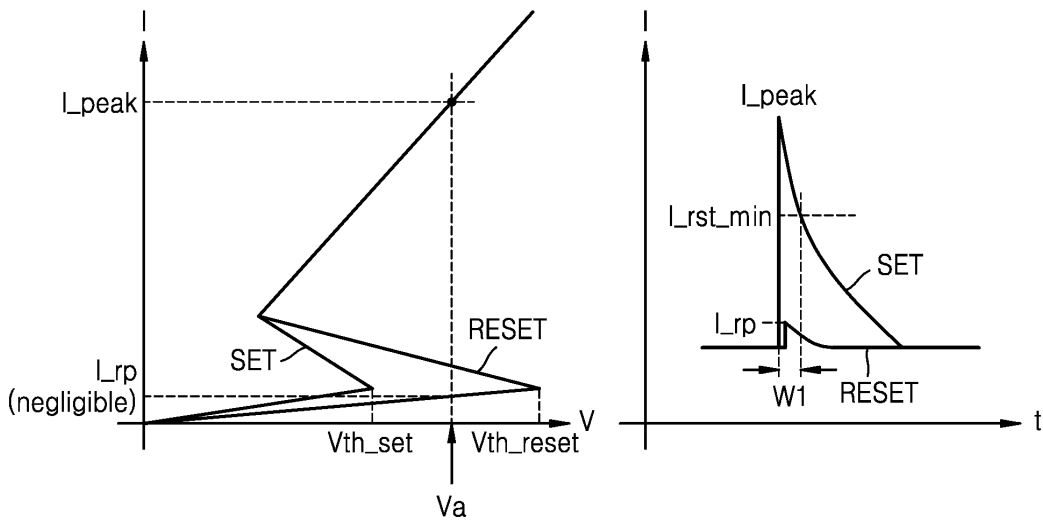
도면5b



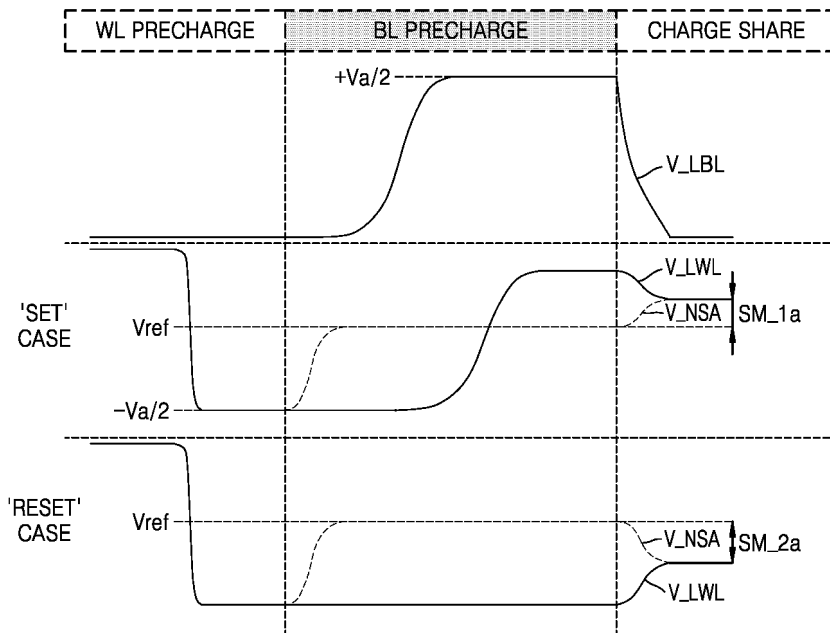
도면5c



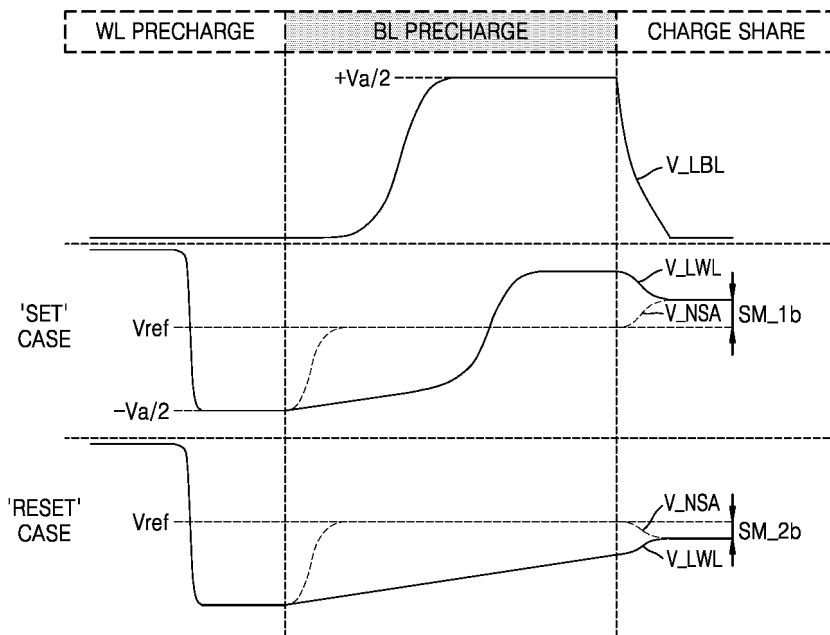
도면6



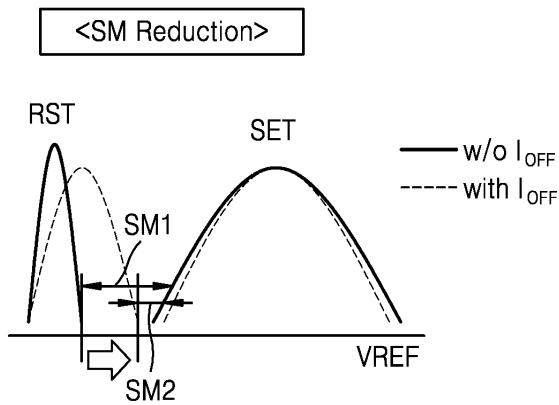
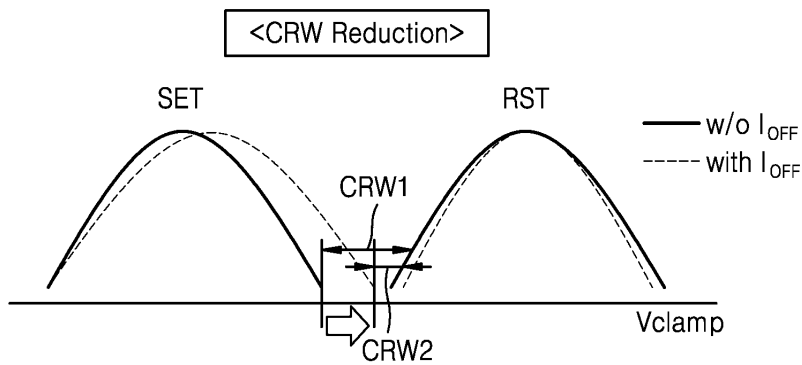
도면7a



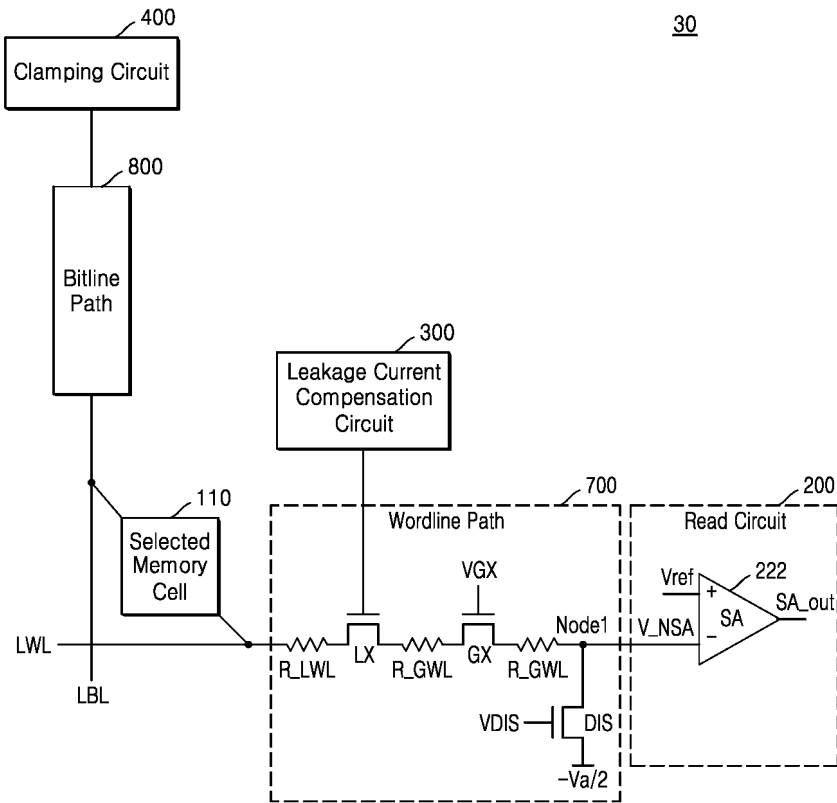
도면7b



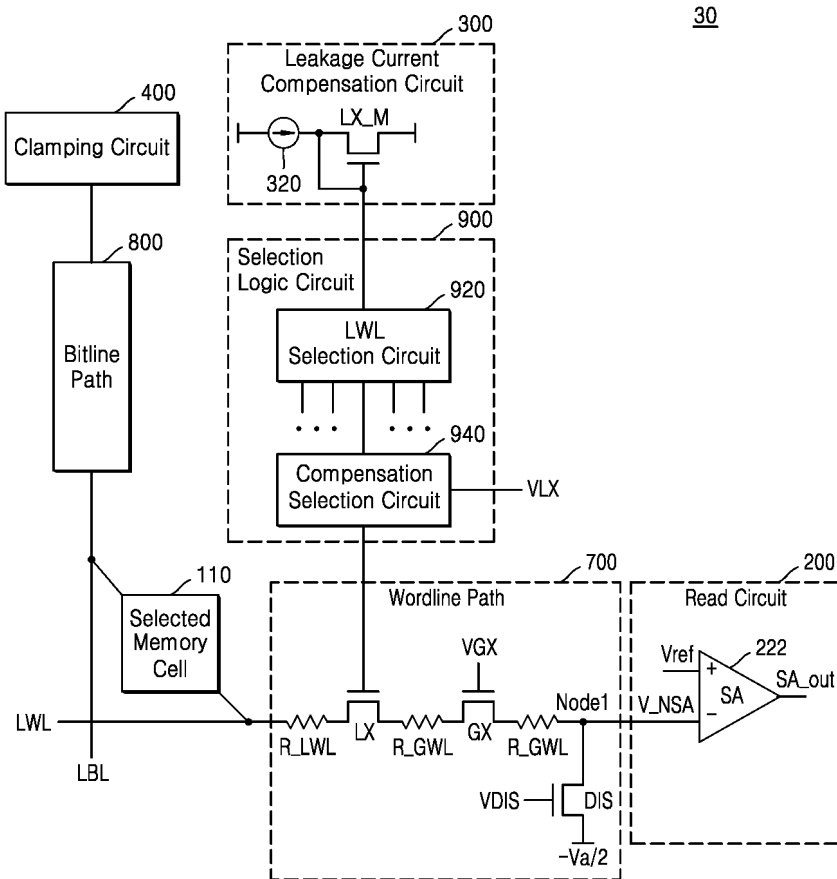
도면7c



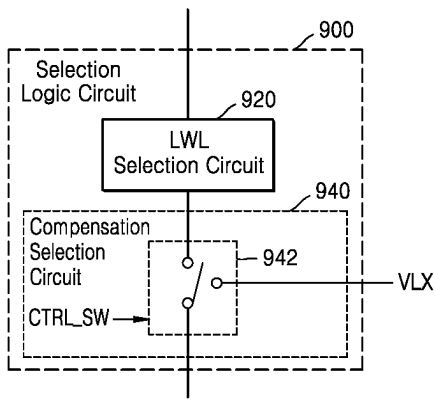
도면8a



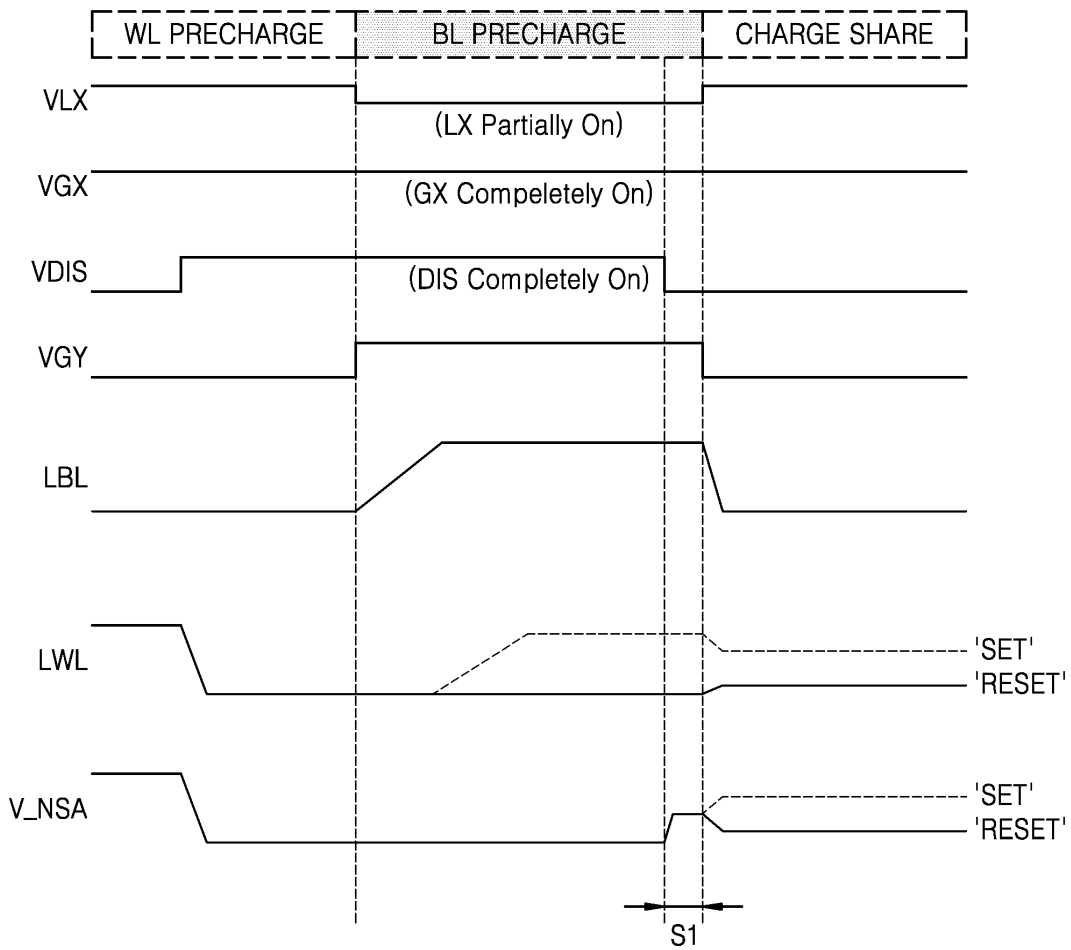
도면8b



도면8c

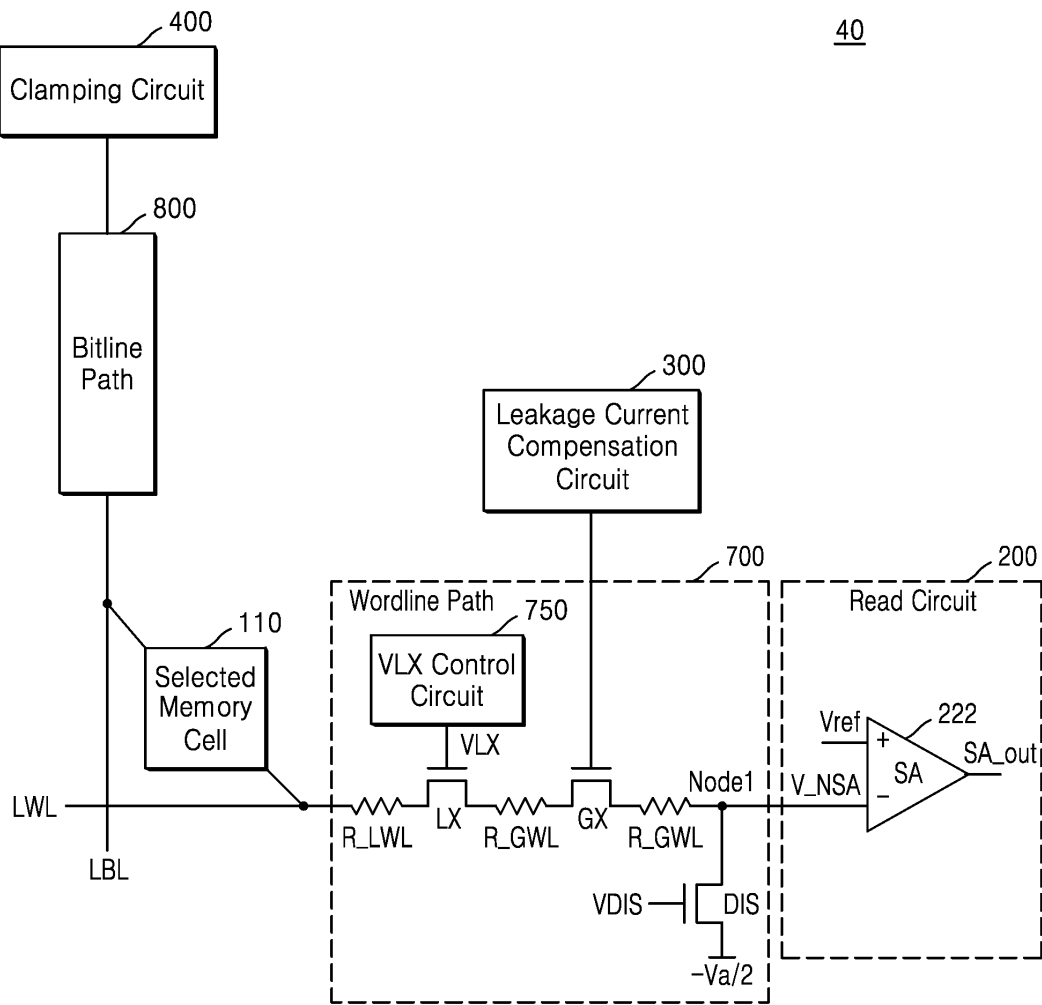


도면9



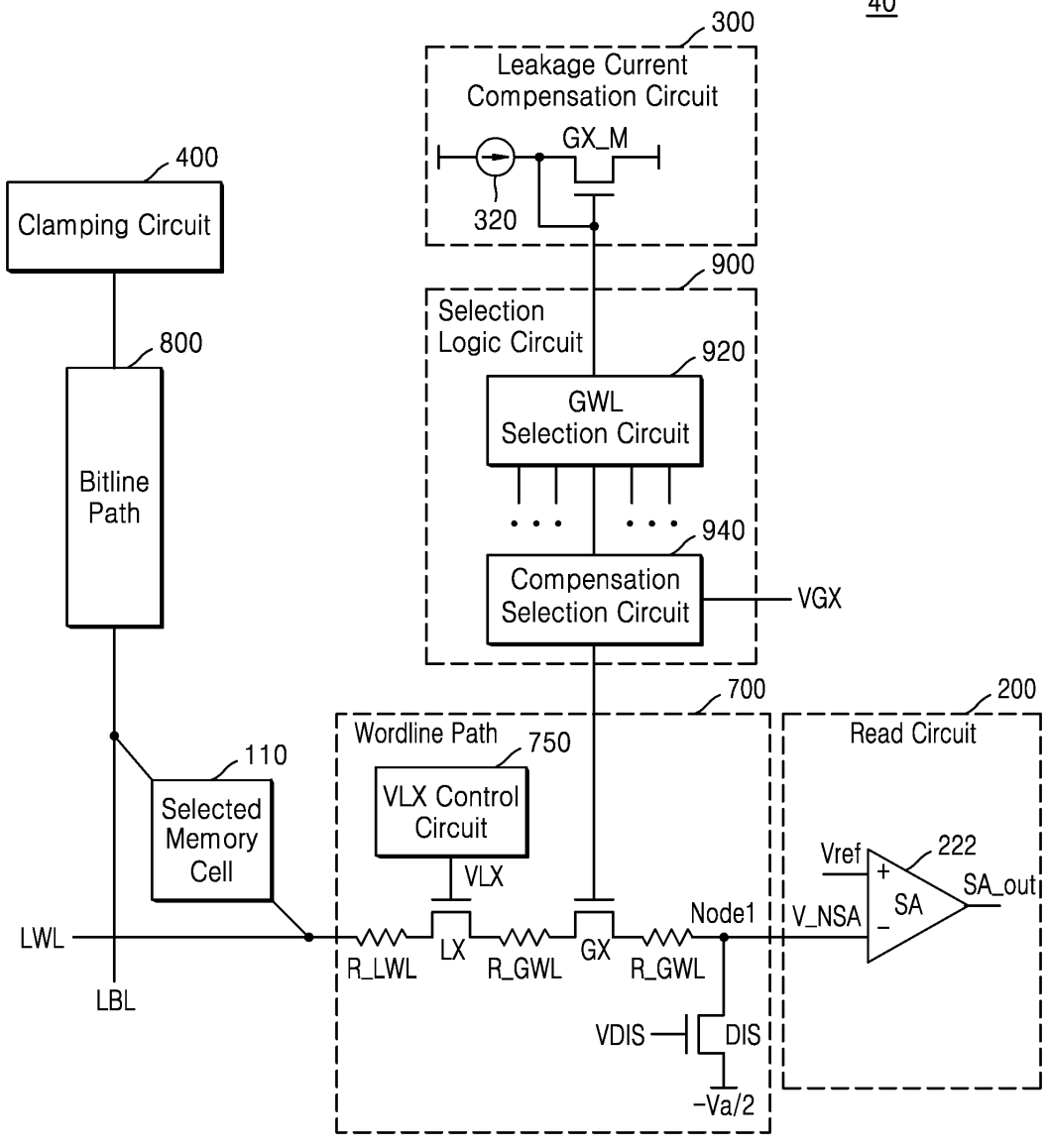
도면10a

40

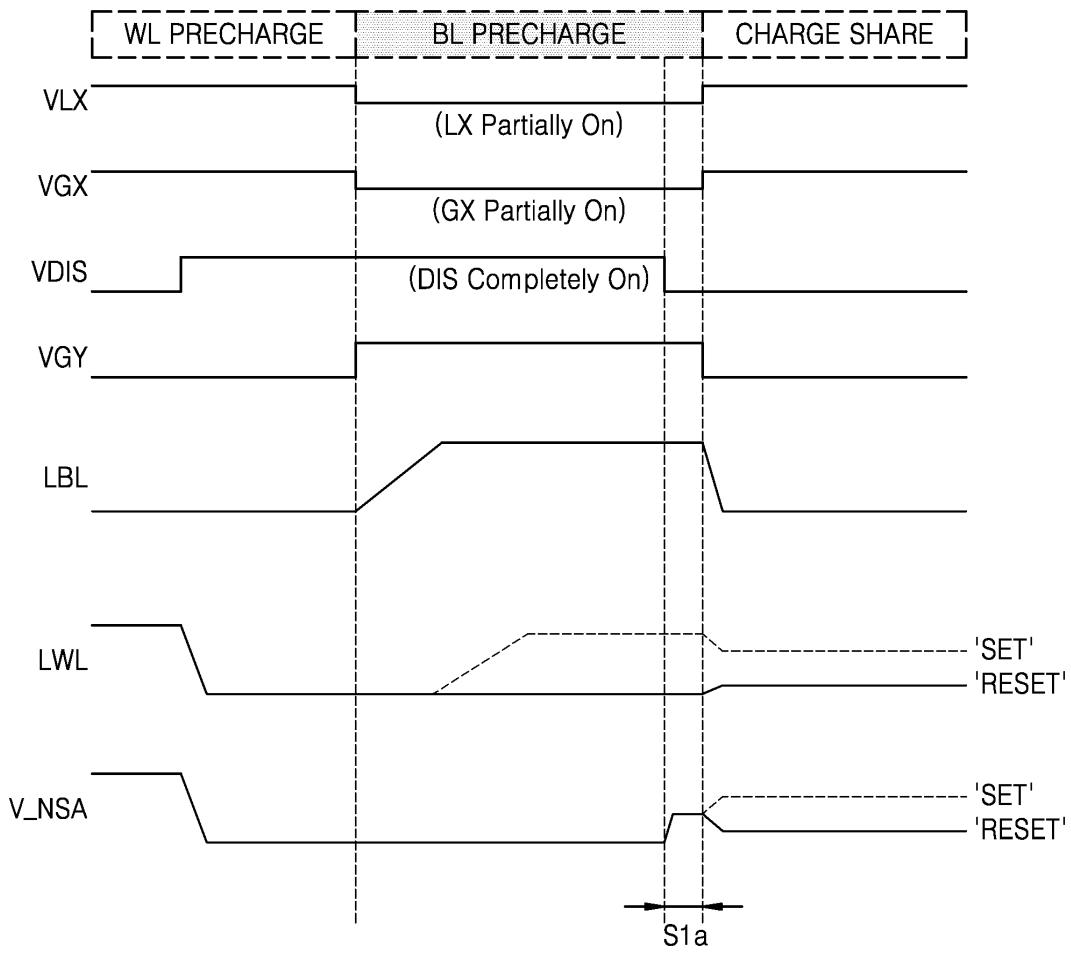


도면10b

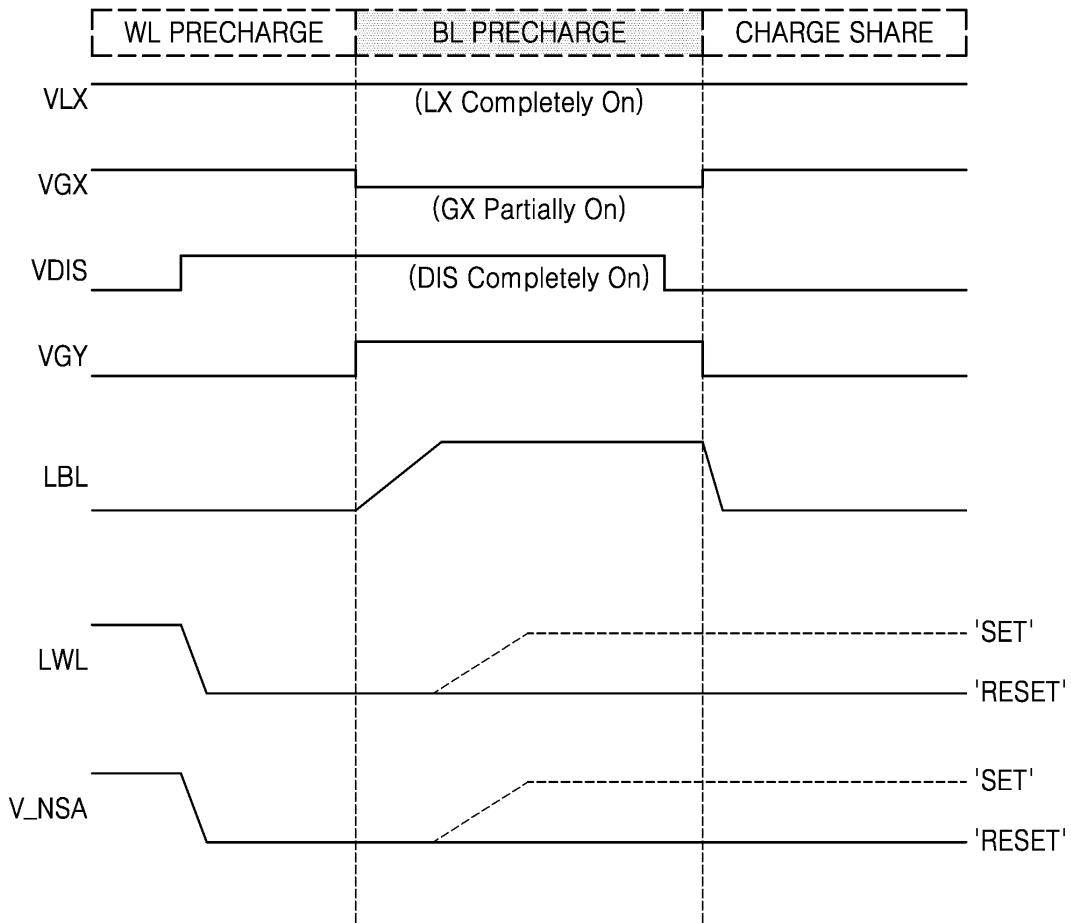
40



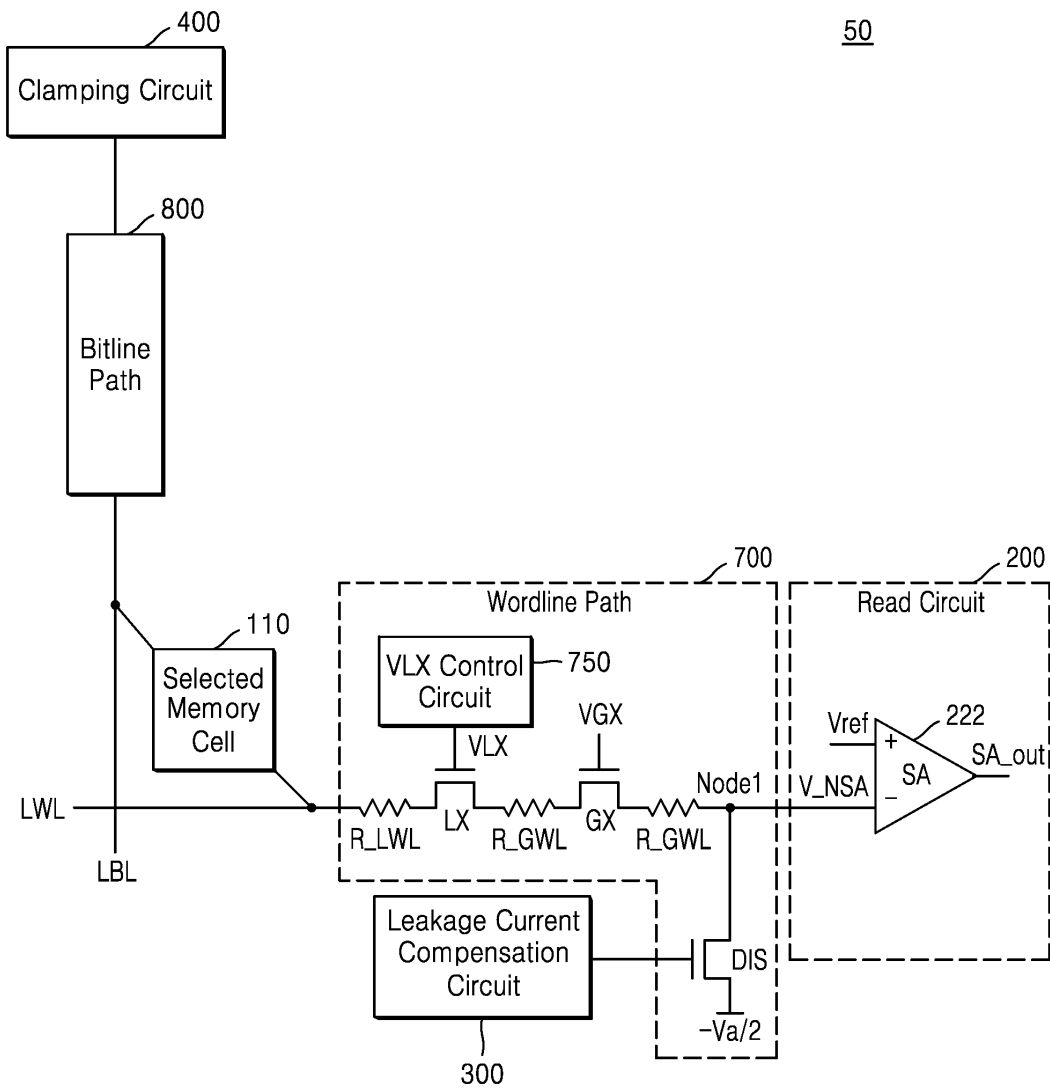
도면11a



도면11b

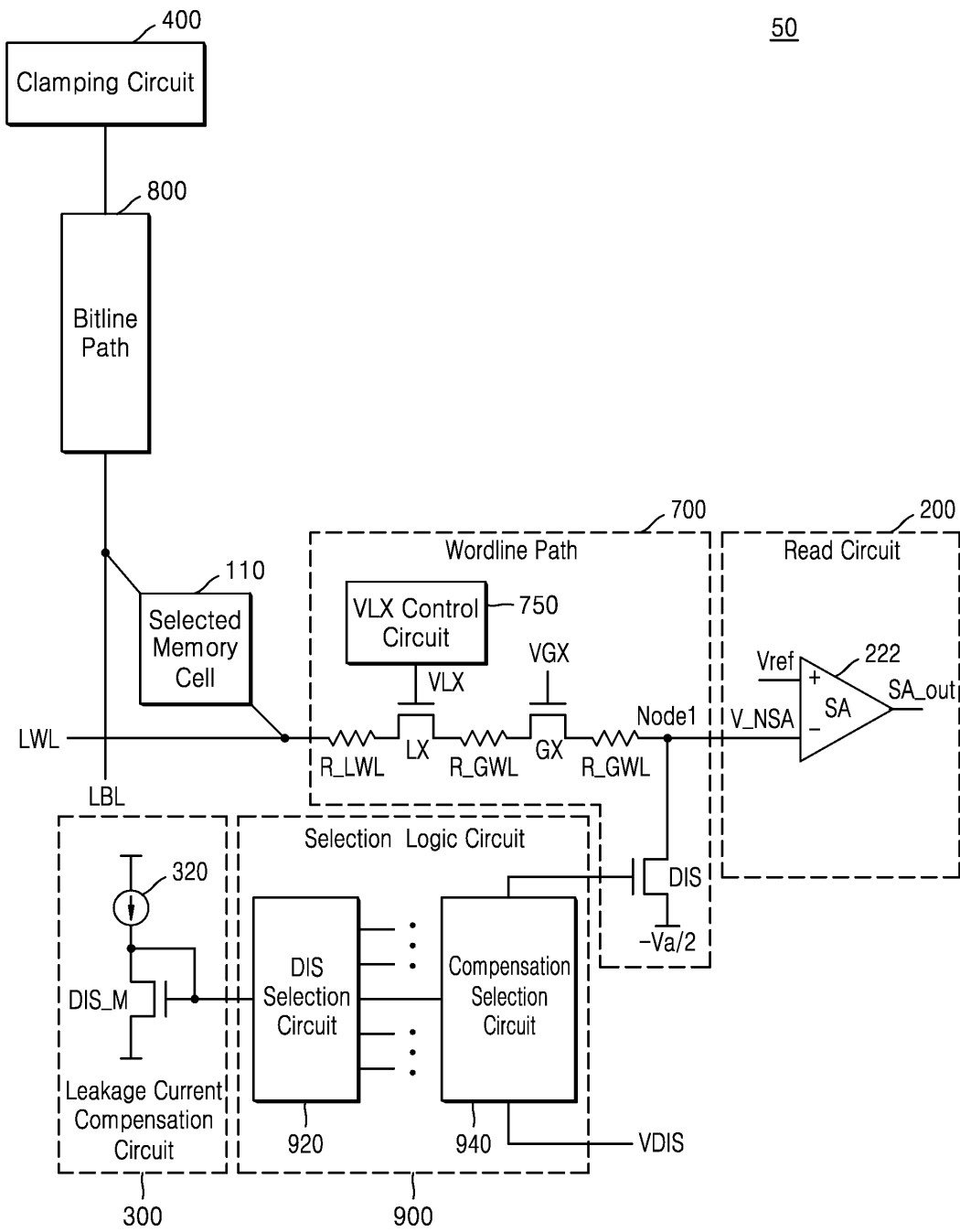


도면12a

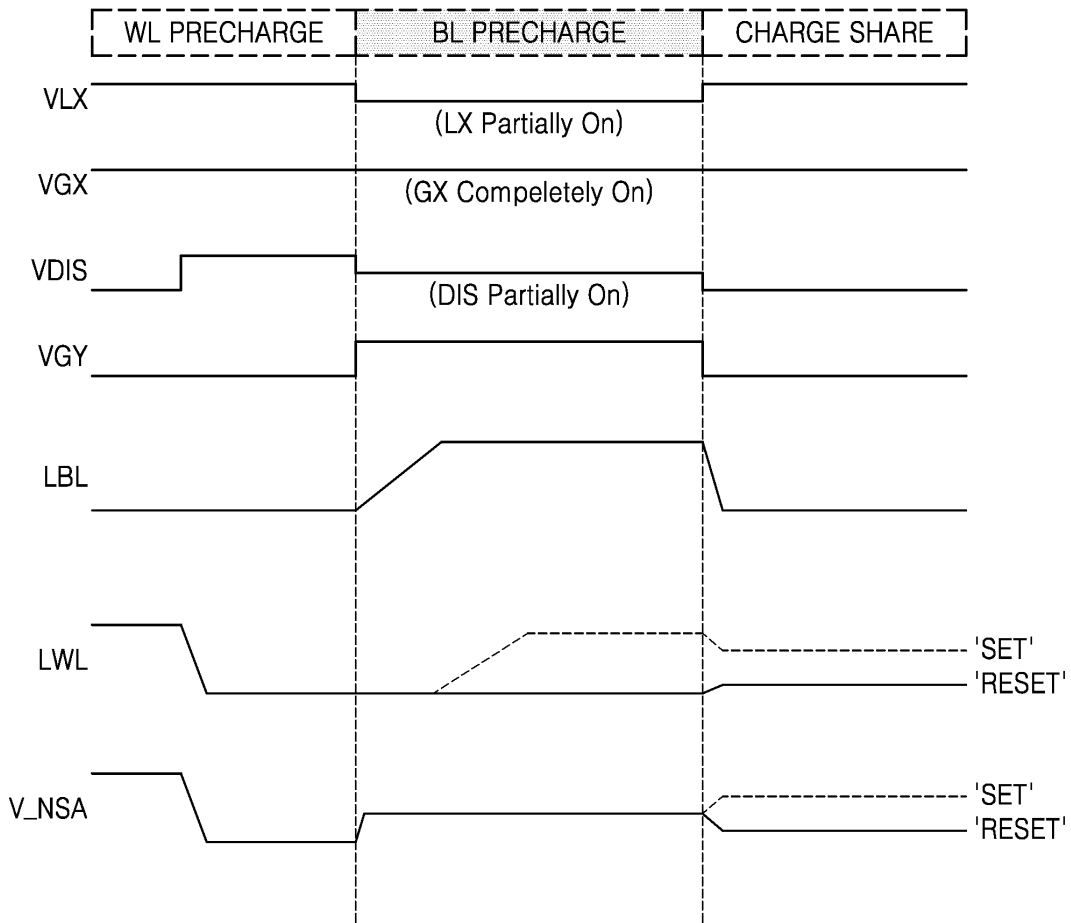


50

도면 12b



도면13a



도면13b

