



(12) 发明专利申请

(10) 申请公布号 CN 104050060 A

(43) 申请公布日 2014. 09. 17

(21) 申请号 201410098134. 1

(22) 申请日 2014. 03. 17

(30) 优先权数据

13/831, 892 2013. 03. 15 US

(71) 申请人 英特尔公司

地址 美国加利福尼亚州

(72) 发明人 Y·何 N·R·纳古拉帕里 S·萨卡

I·赫瑞拉梅佳 R·K·利亚那格

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 毛力

(51) Int. Cl.

G06F 11/16 (2006. 01)

G06F 13/38 (2006. 01)

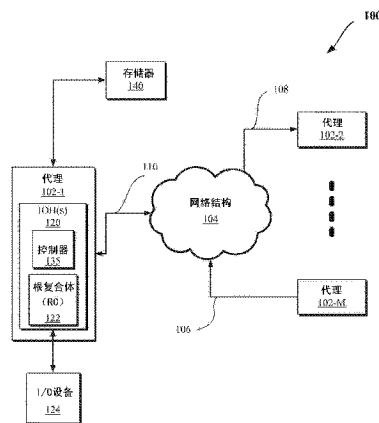
权利要求书2页 说明书12页 附图6页

(54) 发明名称

高速串行 I/O 链路应用中用于从低功率状态快速而稳健恢复的自适应控制环保护

(57) 摘要

描述了涉及在高速串行 I/O 应用中用于从低功率状态快速且稳健地恢复的自适应控制环保护。在一些实施例中,在第一代理处检测第一比特模式,该第一比特模式指示第二代理推测性地进入低功率消耗状态且一个或多个控制环被冻结。(在进入低功率消耗状态后)检测第二比特模式,该第二比特模式指示第二代理从低功率消耗状态的退出且该一个或多个控制环(例如,按指定次序)被解冻。还要求保护和 / 或公开了其它实施例。



1. 一种装置,包括:

耦合于第一代理、用于检测第一比特模式并使得一个或多个控制环冻结的逻辑,其中所述第一比特模式指示第二代理推测性地进入低功率消耗状态;以及

用于检测第二比特模式并使得所述一个或多个控制环解冻的逻辑,其中所述第二比特模式指示所述第二代理从所述低功率消耗状态的退出。

2. 如权利要求 1 所述的装置,其特征在于,所述一个或多个控制环要包括以下的一个或多个:CDR(时钟数据恢复)控制环、AGC(自动增益控制)控制环、DFE(决策反馈均衡)控制环,以及CTOC(连续时间偏移消除)控制环。

3. 如权利要求 2 所述的装置,其特征在于,其中第二个逻辑要使得所述 CDR 控制环在所述 AGC 控制环、DFE 控制环以及 CTOC 控制环之前解冻。

4. 如权利要求 2 所述的装置,其特征在于,第二个逻辑要向所述 CDR 控制环中注入人工频率偏移以帮助在启动所述 AGC 控制环、DFE 控制环以及 CTOC 控制环之前快速锁定穿过缓慢响应相位区域。

5. 如权利要求 2 所述的装置,其特征在于,第二个逻辑要响应于指示所述 CDR 控制环的捕获的计时器的期满而解冻所述 AGC 控制环、DFE 控制环以及 CTOC 控制环。

6. 如权利要求 1 所述的装置,其特征在于,进一步包括用于在冻结所述一个或多个控制环后并且响应于计时器的期满来确定所述第二代理是否实际上进入了所述低功率消耗状态的逻辑。

7. 如权利要求 1 所述的装置,其特征在于,第一个代理和第二个代理经由链路耦合且其中所述链路包括外围组件互连快速(PCIe)链路。

8. 如权利要求 1 所述的装置,其特征在于,所述第一比特模式要包括 EIOS(电子空闲有序集)比特模式。

9. 如权利要求 1 所述的装置,其特征在于,所述第二比特模式要包括 EIEOS(电子空闲退出有序集)比特模式。

10. 如权利要求 1 所述的装置,其特征在于,所述第一代理要包括 PCIe 控制器。

11. 如权利要求 1 所述的装置,其特征在于,所述第二代理要包括输入/输出设备。

12. 如权利要求 1 所述的装置,其特征在于,所述第一代理和所述第二代理经由链路耦合。

13. 如权利要求 12 所述的装置,其特征在于,所述链路要包括点对点一致互连。

14. 如权利要求 1 所述的装置,其特征在于,所述第一代理要包括用于检测所述第一比特模式的逻辑和用于检测所述第二比特模式的逻辑中的一个或多个。

15. 如权利要求 1 所述的装置,其特征在于,所述第一代理、所述第二代理以及所述存储器位于同一集成电路芯片上。

16. 一种方法,包括:

在第一代理处检测第一比特模式并使得一个或多个控制环冻结,其中所述第一比特模式指示第二代理推测性地进入低功率消耗状态;以及

检测第二比特模式并使得所述一个或多个控制环解冻,其中所述第二比特模式指示所述第二代理从所述低功率消耗状态的退出。

17. 如权利要求 16 所述的方法,其特征在于,所述一个或多个控制环包括以下的一个

或多个 :CDR (时钟数据恢复) 控制环、AGC (自动增益控制) 控制环、DFE (决策反馈均衡) 控制环, 以及 CTOC (连续时间偏移消除) 控制环。

18. 如权利要求 17 所述的方法, 其特征在于, 检测所述第二比特模式使得所述 CDR 控制环在所述 AGC 控制环、DFE 控制环以及 CTOC 控制环之前解冻。

19. 如权利要求 17 所述的方法, 其特征在于, 检测所述第二比特模式使得向所述 CDR 控制环中注入人工频率偏移以帮助在启动所述 AGC 控制环、DFE 控制环以及 CTOC 控制环之前快速锁定穿过缓慢响应相位区域。

20. 如权利要求 17 所述的方法, 其特征在于, 检测所述第二比特模式响应于指示所述 CDR 控制环的捕获的计时器的期满而使得所述 AGC 控制环、DFE 控制环以及 CTOC 控制环解冻。

21. 一种系统, 包括:

具有第一代理和第二代理的处理器; 以及

用于检测第一比特模式并使得一个或多个控制环冻结的逻辑, 其中所述第一比特模式指示所述第二代理推测性地进入低功率消耗状态; 以及

用于检测第二比特模式并使得所述一个或多个控制环解冻的逻辑, 其中所述第二比特模式指示所述第二代理从所述低功率消耗状态的退出。

22. 如权利要求 21 所述的系统, 其特征在于, 所述一个或多个控制环要包括以下的一个或多个 :CDR (时钟数据恢复) 控制环、AGC (自动增益控制) 控制环、DFE (决策反馈均衡) 控制环, 以及 CTOC (连续时间偏移消除) 控制环。

23. 如权利要求 22 所述的系统, 其特征在于, 用于检测所述第二比特模式的逻辑要使得所述 CDR 控制环在所述 AGC 控制环、DFE 控制环以及 CTOC 控制环之前解冻。

24. 如权利要求 22 所述的系统, 其特征在于, 用于检测所述第二比特模式的逻辑要向所述 CDR 控制环中注入人工频率偏移以帮助在启动所述 AGC 控制环、DFE 控制环以及 CTOC 控制环之前快速锁定穿过缓慢响应相位区域。

25. 如权利要求 22 所述的系统, 其特征在于, 用于检测所述第二比特模式的逻辑要响应于指示所述 CDR 控制环的捕获的计时器的期满而解冻所述 AGC 控制环、DFE 控制环以及 CTOC 控制环。

高速串行 I/O 链路应用中用于从低功率状态快速而稳健恢复的自适应控制环保护

技术领域

[0001] 本公开一般涉及电子学领域。更具体而言,本发明的一个实施例涉及高速串行链路 I/O 应用中用于从低功率状态快速而稳健恢复的自适应控制环保护。

背景技术

[0002] 外围组件互连快速(PCIe)是一种计算机系统中常见的输入/输出(I/O 或 IO)接口。然而,随着 PCIe 速度的增加,所带来的一定的信号失真降低了信号通信可靠性。例如,具有高传输速率的 PCIe 链路一般可使用自我纠正的反馈控制环来控制模拟接收器电路。然而,噪声数据输入可能在进入或退出一功率状态时发生,这会导致反馈控制环做出反应并且可能将其扰乱为对于电气稳健链路而言并非最优的值。

附图说明

[0003] 参照附图提供详细描述。在附图中,附图标记最左边的数字标识该附图标记首次出现的附图。在不同附图中使用相同的附图标记表示相似或相同的项目。

[0004] 图 1 示出可用于实现本文讨论的一个或多个实施例的计算系统的一实施例的框图,该计算系统包括 PCIe 设备和/或其他 I/O 设备。

[0005] 图 2 示出可用于实现本文讨论的一个或多个实施例的计算系统的一实施例的框图。

[0006] 图 3A 示出根据一实施例的方法的流程图。

[0007] 图 3B 示出根据一实施例的用于低功率状态退出有限状态机控制 CDR 环滤波器的框图。

[0008] 图 4 示出可用于实现本文讨论的一个或多个实施例的计算系统的一实施例的框图。

[0009] 图 5 示出可用于实现本文讨论的一个或多个实施例的计算系统的一实施例的框图。

具体实施方式

[0010] 在以下描述中,阐述众多具体细节以提供对各实施例的透彻理解。然而,在没有这些具体细节的情况下也可实践某些实施例。在其它实例中,并未对公知方法、程序、组件以及电路进行详细描述以免模糊具体实施例。本发明的实施例的各方面利用诸如集成半导体电路(“硬件”)、组织成一个或多个程序(“软件”)的计算机可读指令或硬件和软件的某种组合之类的多种方式来执行。出于本公开的目的,对“逻辑”的引用应该表示硬件、软件或其某种组合的意思。

[0011] PCIe Gen3 (第 3 代)(其中 PCIe 是指 PCI express (快速),其可以根据 PCIe 基础规范第 3 次修订(例如,版本 1.0,2010 年 11 月 10 日))和其他具有高传输速率的串行 I/O

使用自我纠正的反馈控制环来控制模拟接收器电路。在开始的完整链路训练期间,这些环通过捕获(acquisition)来设置为最优的开始值,以便链路以稳健方式发挥电气功能。一旦链路完成训练并且完全可用,控制环持续纠正模拟电路以在比特差错率要求内对进入数据采样。然而,例如,噪声数据输入可能潜在地在进入或退出一功率状态时发生,并会导致反馈控制环做出反应并且可能将其扰乱为对于电气稳健链路而言并非最优的值。对这些种类的接收机而言,具有防止环路暴露到任何种类的噪声数据(比如在进入和退出链路功率管理状态期间可能发生的噪声数据)的精确方案是极为重要的。

[0012] 在传统的第一代和第二代 PCIe 设计中,复杂的模拟静噪电路(squelch circuit)一般提供一种检测对较低功率管理状态的进入(杂音(squelch))以保护回路免于嘈杂的杂音数据的可靠方式。在高速的第三代 PCIe 设计中(或者甚至在某些第二代 PCIe 设计中),由于复杂的码元间干扰(ISI)和小的信号幅度,在 8GT/s 及以上进入功率状态的可靠模拟指示是不可行的。在这些高速设计中,模拟指示被数字式的 EIOS(电子空闲有序集)比特模式的解码和检测所取代,所述比特模式指示进入较低功率状态的意图。接收器 PHY 层中的控制器处理器此 EIOS 模式并且将指示发送到模拟前端(即 AFE,其包括一模拟电路,该模拟电路接收进入的模拟信号并解析该模拟信号以接收二进制格式的数据,并且将二进制传送数据转换为模拟信号以通过 PCIe 链路发送到链路伙伴设备)。

[0013] PCIe 链路伙伴(诸如图 1 的控制器 135)可向根复合体(root-complex)接收器发送信号,所述信号指示进入较低的功率状态,例如,L0(其中 L0 通常是指省电状态),其是期望能够快速唤醒的相对短期的空闲模式。根复合体接收器使用此信号来进入比如 L0 等较低功率状态,并进而向 AFE 发送指示以切断适当的模拟电路(或使其空闲)。但是,当前的数字检测方式和 L0 方案花费极长的时间。链接伙伴在此时间期间可进入杂音模式并开始发送杂音数据,将所述环暴露于杂音数据例如 50 到 100ns(取决于用于处理 EIOS 数据的第三代或第二代数据速率)以确认进入低功率状态。而且在许多边界逻辑情况下,环还将在静噪条件期间被暴露于噪声数据更长的时间段,因为可能没有来自控制器的关于进入较低功率状态的可靠指示。例如,当该链路处于恢复亚状态时,对 LTSSM(链接训练和状况状态机)的 EIOS 检测被掩蔽,而控制器可能不向 AFE 发送 L0 进入信号,而这会导致破坏环漂移到非最优位置,该非最优位置可能是无法恢复的。在这种情况下,AFE 接收器可能变得暴露于噪声信号以及共模跳跃,而控制环尝试纠正这些并且稳定到对于常规数据流量而言完全次优的值。在接收器退出较低功率状态后,这可能导致链路失败。

[0014] 此情形可通过增加从较低频率状态退出时 nFTS(帮助 AFE 接收器实现位锁定所需的快速训练序列的数量)模式的长度和持续时间来部分缓解,但因总退出等待时间增加这可能会严重降低功率和性能益处。这种退出等待时间增加占掉能在较低功率状态中所花的时间,这降低了功率管理的益处/效率。对于许多应用和工作负载,可能重复地背靠背地进出较低功率状态。在这些情况下,此问题可能会以非常严重的形式表现,甚至在更长的 nFTS 的情况下,且接收器可能遇到猝发差错。因此,如果此问题不解决,则带有能够进行第三代 PCIe 电路架构的产品将面临:(i) 在从较低功率状态退出后的链路降级或链路失败;和/或(ii) 因退出等待时间会更长,功率和性能益处的降低。

[0015] 而且,接收器恢复问题的症状可包括:

[0016] (a) nFTS 超时且进入 L0 上的恢复的链路退出;

[0017] (b) 突发链路停机(SLD)的场景,其中控制器不断言 EIOS 上的 RX_L0 (接收 L0)。这导致 AFE RX 循环被暴露于杂音数据相对较长的时间,这最终会破坏自适应环的自我恢复。

[0018] (c) 背靠背 L0 事件上的链路性能的缓慢降级。这是由于低功率状态退出开始时的噪声数据,该噪声数据会导致接收器自适应环漂移,而 L0 驻留时间不够长而在进入下一 L0 状态之前接收器无法完全恢复。

[0019] 为此,在一些实施例中,控制器(例如,图 1 的 PCIe 控制器 135)以特别的方式处理 EIOS 以生成相对早的以下指示:端点(或代理)(例如,通过解码第一代/第二代中的 COM IDLE IDLE IDLE 以及第三代中的前 4 个 EIOS 码元)正进入较低功率状态。此早期 EIOS 是对根复合体可能进入 L0 状态的潜在指示但是在一些边界情况下它可能丢掉 EIOS 并停留在 L0 状态中。AFE 使用此早期 EIOS 指示来促成控制环的冻结(并且还装备模拟杂音退出检测逻辑,来检测从低功率状态的杂音退出)。此冻结机制将防止在链路伙伴完成 EIOS 的传输后控制环对噪声的杂音数据做出反应。控制器处理 EIOS 数据以便确认进入低功率状态可能花费大量时间(例如,多达 100ns)。如果使用正常的 L0 进入信号,则每当其进入 L0 状态时,自适应环可在杂音数据中暴露控制器处理等待时间。随后,在从冻结指令起延迟时间段(例如,可编程模拟杂音电路热身时间,诸如 20ns、40ns 或 80ns)后,采样/检测模拟杂音退出信号,以检测非静噪状态。随后响应于模拟杂音退出信号的变化(例如,当可编程热身计时器之后断言该变化时),控制环将被解冻。

[0020] 而且,来自控制器的早期 EIOS 指示可能不总是导致 LTSSM 进入 ASPM L0 状态。在这些推测情况下,当杂音退出将最终被指示(例如,基于 EIEOS (电子空闲退出有序集)比特模式的检测)时,控制环将被打开(即,解冻)。为防止该端点(或代理)在进入后短时间内退出低功率状态(例如,PCIe 规范定义 20ns 最小 L0 驻留),响应于杂音退出的指示,自适应控制环还将在某个延迟(例如,40ns 或 80ns 热身时间)后被启动。因此,由于内建的失效保险(fail-safe)机制,低功率状态进入之前的推测性控制环冻结不会过早地锁住环。

[0021] 各实施例在本文中参考计算系统组件来讨论,诸如举例来说本文参考图 1-2 和 4-5 讨论的各组件。更具体地,图 1 示出根据本发明的一实施例的计算系统 100 的框图。系统 100 包括一个或多个代理 102-1 到 102-M (本文统称为“各代理 102”或更一般地“代理 102”)。在一实施例中,代理 102 是诸如参考图 2 和 4-5 所讨论的计算系统之类的计算系统的组件。

[0022] 如图 1 所示,代理 102 经由网络结构 104 通信。在一实施例中,网络结构 104 包括经由串行(例如,点对点)链路和/或共享的通信网络通信的一个或多个互连(或互连网络)。每个链路可包括一个或多个通道。例如,某些实施例可便于部件在允许与完全缓冲双列直插式存储器模块(FBD)通信的链路上调试或验证,例如,其中 FBD 链路是用于将存储器模块耦合到主机控制器设备(诸如处理器或存储器中枢)的串行链路。调试信息从 FBD 通道主机传输,以使得调试信息沿着通道由通道通信量跟踪捕获工具(诸如一个或多个逻辑分析器)观测。

[0023] 在一个实施例中,系统 100 支持分层协议方案,该分层协议方案包括物理层、链路层、路由层、传输层和/或协议层。对于点对点网络,结构 104 还便于数据(例如以分组形式)从一个协议(例如,高速缓存处理器或高速缓存知悉式存储器控制器)传输到另一协议。而

且,在某些实施例中,网络结构 104 提供遵守一个或多个高速缓存一致协议的通信。

[0024] 此外,如图 1 中的箭头方向所示,代理 102 经由网络结构 104 传输和 / 或接收数据。因此,某些代理利用单向链路通信,而其它代理利用双向链路通信。例如,一个或多个代理(诸如代理 102-M)(例如,经由单向链路 106)传输数据,其它代理(诸如代理 102-2)(例如,经由单向链路 108)接收数据,而某些代理(诸如代理 102-1)(例如,经由双向链路 110)传输和接收数据。

[0025] 同样,根据一实施例,一个或多个代理 102 包括一个或多个输入 / 输出中枢(I/OH) 120 以促进代理(例如,示出的代理 102-1)与一个或多个输入 / 输出(“I/O”或“IO”)设备 124(诸如 PCIe I/O 设备)之间的通信。IOH120 包括根复合体(RC) 122(包括一个或多个根端口)以根据 PCIe 规范(例如,根据 PCI 快速基础规范 3.0,也称为 PCIe3.0 或第三代 PCI 或第三代 PCIe)耦合和 / 或促进代理 102-1 的各组件(诸如处理器、存储器子系统等)与 I/O 设备 124 之间的通信。在一些实施例中,多代理系统的一个或多个组件(诸如处理器核、芯片组、输入 / 输出中枢、存储器控制器等)包括 RC122 和 / 或 IOH120,如将参考其余附图进一步讨论的。

[0026] 此外,代理 102 包括 PCIe 控制器 135 以管理 PCIe 接口的各种操作,例如以改善代理 102 中的 PCIe 组件的高速(例如,串行)I/O 信道的质量和 / 或速度。而且,如图 1 中所示,代理 102-1 有权访问存储器 140。如将参考图 2-5 进一步讨论的,存储器 140 存储各种项,包括例如 OS、设备驱动程序等等。

[0027] 更具体而言,图 2 是根据一实施例的计算系统 200 的框图。系统 200 包括多个套接口 202-208(示出四个,但是一些实施例可具有更多或更少套接口)。每个套接口包括处理器和 IOH120、RC122 和 PCIe 控制器 135 中的一个或多个。在一些实施例中,IOH120、RC122 和 / 或 PCIe 控制器 135 可以存在于系统 200 的一个或多个组件(诸如图 2 所示的那些组件)中。而且,取决于实现,更多或更少的 120、122 和 135 块存在于系统中。另外,每一个套接口经由点对点(PtP)链路或差分互连(诸如快速路径互连(QPI)、MIPI(移动产业处理器接口))等耦合到其他套接口。如参照图 1 的网络结构 104 所讨论的,每个套接口被耦合至系统存储器的本地部分,例如,由包括动态随机存取存储器(DRAM)的多个双列直插式存储器模块(DIMM)构成。

[0028] 在另一实施例中,网络结构可用于任何片上系统(SoC)应用、利用定制的或标准的接口,诸如用于 AMBA(高级微控制器总线架构)的符合 ARM 的接口、OCP(开放核协议)、MIPI(移动产业处理器接口)、PCI(外围组件互连)或 PCIe(外围组件互连快速)。

[0029] 一些实施例在基于 PC(个人计算机)的系统(诸如基于 PCI 的系统)中使用能够使用异构资源的一种技术(诸如 AXI/OCP 技术)而不对 IP 资源本身作出任何改变。各实施例提供了两种非常薄的硬件块,本文也称为单元和垫层,其可用于将 AXI/OCP IP 插入自动生成的互连结构中以创建兼容 PCI 的系统。在一实施例中,Y 单元的第一(例如,北)接口连接到适配器块,该适配器块对到兼容 PCI 的总线(诸如直接媒体接口(DMI)总线、PCI 总线、或外围组件互连快速(Pcie)总线)。第二(例如,南)接口直接连接至非 PC 互连(诸如 AXI/OCP 互连)。在各实现中,这一总线可以是 OCP 总线。

[0030] 在一些实施例中,Y 单元通过将 PCI 配置周期转换成目标 IP 能够理解的事物来实现 PCI 枚举。这一单元还执行可重定位的 PCI 地址到固定 AXI/OCP 地址以及相反方向的

地址转换。Y 单元可进一步实现一种排序机制以满足生产者 - 消费者模型(例如, PCI 生产者 - 消费者模型)。进而, 各个 IP 经由专用的 PCI 垫层连接到互连。每一个垫层可为对应的 IP 实现整个 PCI 头部。Y 单元路由到 PCI 头部的所有接入以及到垫片的设备存储器空间。垫片消耗所有的头部读 / 写事物并且将其他事物传递给 IP。在一些实施例中, 垫片还为 IP 实现所有与功率管理有关的特征。

[0031] 因而, 代替作为单片兼容性块, 实现 Y 单元的各实施例采用一种分布式方式。跨所有 IP 共用的功能(例如, 地址转换和排序)在 Y 单元中实现, 而 IP 专用功能(诸如功率管理、误差处理等)在针对该 IP 定制的垫层中实现。

[0032] 以此方式, 新的 IP 可伴随最小的改变被添加到 Y 单元。例如, 在一种实现中, 这些改变可以通过在地址重定向表中添加新条目来进行。尽管垫层是 IP 专用的, 但在一些实现中, 大量功能(例如, 超过 90%)是跨所有 IP 共用的。这使得能够对新 IP 的现有垫层实现快速重新配置。一些实施例因而还能够在没有修改的情况下实现自动生成的互连结构。在点对点总线架构中, 设计互连结构可能是一项具有挑战性的任务。上文描述的 Y 单元方式以最小的努力并且不要求对产业标准工作进行修改来将产业生态系统充分利用到 PCI 系统中。

[0033] 如图 2 所示, 每个套接口耦合至存储器控制器(MC)/ 归属代理(HA)(诸如 MC0/HA0 至 MC3/HA3)。存储器控制器耦合至相应的本地存储器(标示为 MEM0 至 MEM3), 其可以是系统存储器(诸如图 4 的存储器 412)的一部分。在一些实施例中, 存储器控制器(MC)/ 归属代理(HA)(诸如 MC0/HA0 至 MC3/HA3)可与图 1 的代理 102-1 相同或类似, 而标示为 MEM0 至 MEM3 的存储器可与参考本文任何附图讨论的存储器设备相同或类似。一般地, 处理 / 高速缓存代理向归属节点发送请求以访问与相应的“归属代理”相关联的存储器地址。而且, 在一个实施例中, MEM0 至 MEM3 可被配置成镜像数据, 例如, 作为主机和从属。而且, 在一些实施例中, 系统 200 的一个或多个组件可被包括在同一集成电路管芯上。

[0034] 此外, 诸如图 2 中所示的一种实现用于带有镜像的套接口无粘合(glueless)配置。例如, 指派给存储器控制器(诸如 MC0/HA0)的数据通过 PtP 链路被镜像至另一存储器控制器(诸如 MC3/HA3)。

[0035] 图 3A 示出根据一些实施例的提供用于在高速串行 I/O 链路应用中从低功率状态快速而稳健地恢复的自适应控制环保护的方法 300 的流程图。在各实施例中, 参考图 3A 讨论的操作由参考图 1、2、4 和 / 或 5 讨论的组件(诸如 PCIe 控制器 135 或控制器 135 内的一个或多个逻辑等)中的一个或多个执行。

[0036] 参考图 1-3A, 在操作 302, 两个代理(例如, 参考图 1 讨论的任何代理, 诸如代理 102-1 和 I/O 设备 124(包括 PCIe 链路的端点)之一)之间的链路处于正常的操作状态(L0)。在操作 304, 检测早期 EIOS 模式(例如, 通过 PCIe 控制器 135)。一旦检测到早期 EIOS, 在操作 306, 一个或多个控制环(根据一些实施例, 诸如 CDR(时钟数据恢复, 其可至少部分地基于对对应数据的分析来推断时钟)、AGC(自动增益控制, 其可利用反馈环来将增益调节到适当水平)、DFE(决策反馈均衡, 其向随时间改变的属性(比如通信链路间的码元间干扰)提供均衡 / 适配)以及 CTC(连续时间偏移消除, 其可允许线性共模差错检测以及偏移纠正)中的一个或多个被推测性地冻结。在一实施例中, 在操作 306 保存与控制环有关的状态和 / 或其他信息(例如, 用于从冻结更快地恢复)在操作 308, 方法 300 等待第一计时器期满(例

如,在 20ns 或 40ns 或 80ns 之后)。此计时器确保 AFE 中的模拟杂音退出检测电路被充分热身以用于退出检测。一旦第一计时器期满,操作 310 检查杂音退出检测电路以确定较低功率消耗状态是否已被断言/进入。如果没有,则在操作 312 解冻操作 306 的冻结环,并且该链路返回到操作 302 的正常操作状态。

[0037] 相应地,在进入低功率状态时,一实施例使用即将出现的较低功率状态进入的早期推测性指示(例如,基于 PCIe 控制器 135 所检测的 EIOS 模式)以存储控制环状态并冻结环,使得这些环在进入过程的剩余时间期间以及低功率状态期间不能被破坏。如果假的杂音发生而接收器仍处于操作模式,则所有环将快速回到如图 3A 的框图中所示的正常操作。

[0038] 如果在操作 310 事实上断言了较低功率消耗,则链路进入低功率消耗状态而 EIEOS 模式检测在操作 314 被激活。一旦在操作 316 检测到 EIEOS 模式,则在操作 318 启动 CDR 环(如下面将进一步讨论的)。在操作 320,方法 300 在操作 322 启动其他环(例如,AGC、DFE 和 CTOC 环)之前等待第二计时器期满以允许 CDR 捕获。此方法防止了由低功率状态退出开始时的初始被破坏数据带来的差错在自适应环中的传播;因此,改善了链路稳定性和总的位锁定时间。在操作 322 后,方法 300 以操作 302 恢复。

[0039] 在一实施例中,在操作 306 冻结一个或多个环按以下次序执行:CDR 环、DFE 环、AGC 环以及 CTOC 环。然而,不是所有实施例均限于以此次序来冻结该一个或多个环。此外,在一个实施例中,在操作 318 和 322 解冻该一个或多个环按以下次序执行:CDR 环、DFE 环、AGC 环以及 CTOC 环。然而,除了 CDR 环的解冻(并在操作 320 等待 CDR 捕获)要在解冻其他环之前发生之外,并不是所有实施例均限于以此次序来解冻一个或多个环。

[0040] 在一些实施例中,(例如,数字)有限状态机(FSM)被用来:(a) 使用基于 EIOS 模式的推测性进入信号,在进入省电状态之前,保存接收器 AFE 控制环状态(例如,对于 CDR、AGC、DFE 和 CTOC 环)。如果该推测性进入在第一计时器期满之后没有被检测到,则将环解冻回正常操作;和/或(b) 在执行省电状态后一步步地启动所有环。

[0041] 在一实施例中,PCIe 控制器或系统代理将检测 EIOS 的以下早期指示:该链路有可能进入功率管理状态而进入数据将很快被静噪。此早期指示被发送给 AFE 以冻结控制环(例如,CDR、AGC、DFE 和 CTOC)并且不对进入数据做出反应,并且同时还装备杂音退出检测逻辑。热身计时器将在装备杂音逻辑之后开始。计时器将在 20ns/40ns/80ns(其可以是可编程的)的杂音装备之后期满。在计时器期满后,对模拟杂音退出信号采样以获得有效模拟杂音退出。当检测到有效杂音退出时,CDR 将首先解冻并从最后冻结代码开始捕获(ACQ)循环。在 CDR、ACQ 循环完成后,AGC、DFE 和 CTOC 将解冻并从冻结之前的最后快照代码开始跟踪。在操作 322 之后,正常链路操作(例如,从功率管理模式的完全退出)将从 AGC、DFE 和 CTOC 解冻后的点恢复。

[0042] 而且,在一些实施例中,FSM 被用来在退出低功率状态(诸如 L0)时按交错序列解冻控制环。时钟恢复(CDR)环将首先解冻。直到 CDR 捕获完成后,AGC、DFE 和 CTOC 环才将解冻。

[0043] 例如,相位漂移可能在低功率状态(诸如 L0)的驻留期间发生。在退出低功率状态时,接收器采样时钟不再与进入数据对齐。如果在 CDR 环的同时 AGC、DFE 和 CTOC 环被启动,则 AGC、DFE 和 CTOC 环将向错误的方向漂移。而且,自适应环的错误漂移可能彼此交互并有可能达到无法恢复的状态,从而导致链路失败。此方法防止了由低功率状态退出开始

时的初始被破坏数据带来的差错在自适应环中的传播；因此，改善了链路稳定性和总的位锁定时间。

[0044] 在某些场景下，CDR 可在接收器刚退出较低功率状态时在慢响应相位区域中操作。这可能是由大的传送相位漂移和 / 或共模漂移所导致的，使得 CDR 相位检测器处于死区中。FSM 被用来注入人工频率偏移以拉出死区并帮助快速采样相位恢复。

[0045] 在一个实施例中，图 3B 示出低功率状态退出 FSM 控制 CDR 环滤波器 350 的框图。在正常操作期间，相位输入 351 被发送到一阶滤波器 370 以及积分器 360，该积分器驱动二阶滤波器 380。相位输出 354 是滤波器 370 和滤波器 380 的求和。在从低功率状态退出时，FSM390 通过对一个时钟循环将注入偏移 353 断言为逻辑“1”来控制将人工频率偏移 352 添加到积分器 360 中。频率偏移注入的量是可编程的。如果相位检测器处于死区中，则相位输出将被频率偏移调制以拉出慢响应区域。一旦相位检测器恢复工作，则一阶滤波器将拾取跟踪并自我纠正所注入的频率偏移。这是由于滤波器 370 中的环增益远远大于滤波器 380 中的增益。积分器将最终收敛到它之前的值。

[0046] 因为实施例不依赖与控制器的 L0 信号来冻结和解冻环，所以它还保护环免于某些边界条件。这样一种边界条件可以是：端点(或代理)在进入链接运行状态后立即进入低功率状态，同时由于链接差错根端口仍旧在恢复中。在这种情况下，负责进入 L0 的指示的信号将永远不会被断言到 AFE，因为 LTSSM 的接收器段永远不会实际上进入 L0。一实施例使用控制器发送的进入(到功率状态)的早期指示而不是 L0 进入信号，并因此可以更可靠地用来冻结所述环。使用这种方案，链路可具有短得多的功率管理退出等待时间并且变得更加稳定。

[0047] 而且，一些实施例提供了 PCIe/QPI 信号 I/O AFE 涉及的安全方案来实现退出省电状态时的快速恢复。而且，与省电状态相关联的接收器问题可能部分由于自适应环从操作状态的漂移。所述漂移可以由当接收数据(在省电状态进入和退出的开始时)被破坏时在 LMS (最小均方)适配中的差错传播所导致。在极端场景下，背靠背 L0 事件可能如此频繁以至于在进入下一个省电模式之前自适应环没有时间恢复。最终接收器可能偏移得足够远而导致突然的链路停机。为了解决硅中的自适应漂移问题，可以(例如，在 AFE 接收器中)实现数字环保护 FSM，来基于来自控制器的早期 EIOS 并使用模拟杂音检测依序启动环适配来保护环。来自控制器输入的早期(EIOS)杂音检测可触发 AFE RX 环保护 FSM 忽略可能损坏的数据，即便环适配被启动。此保护机制防止 RX 进入错误状态，并且 CDR 然后是 AGC、DFE 和 CTOC 控制环的交错解冻将改善链路稳定性并缩短位锁定时间。

[0048] 在退出低功率状态期间，一实施例提供启动所有环的顺序过程以避免差错传播并缩短位锁定时间。在退出 L0/L1 时，接收数据破坏可能来自大的 TX 相位漂移以及 TX 共模漂移。这种漂移将触发错误的 AGC、DFE 和 CTOC 适配，这不仅增加了恢复时间，而且还危及链路稳定性。在一个环保护 FSM 中，在 L0/L1 退出后 CDR 环首先被启动。有时 CDR 相位检测在低功率状态驻留期间传送相位漂移到 CDR 的死区时在开始时变得不那么有效。人工频率偏移被注入以将接收器拉出那些缓慢响应区域。一旦 CDR 恢复了采样相位，则初始注入的人工频率偏移将由于 CDR 环适配而被自动清除。AGC、DFE 和 CTOC 环随后被再开启以跟踪进入的信号并微调接收器配置。

[0049] 因此，某些实施例允许包括以下的一个或多个的特征：(1) 使用从控制器到 AFE 的

推测性 L0 信号以稳健方式保护环免于嘈杂数据；(2) 与环冻结不同，解冻是以交错方式进行的，CDR 将首先被解冻，此时保持 AGC、DFE 和 CTOC 被冻结。在使用 nFTS 稳定 CDR 之后，将其他环 (AGC、DFE、CTOC) 解冻以跟踪数据以进行动态调整。使用 EIOS 的早期版本同时冻结所有环 (CDR、AGC、DFE、CTOS)，以及使用模拟杂音退出首先解冻 CDR 然后解冻 AGC/DFE/CTOC，将提供最大的保护和稳健的链路操作以及短的 L0 退出等待时间。

[0050] 而且，根据各实施例，更快的恢复是可能的，因为链路可以从预先存储的值开始而不是必须经历全新训练，并且在 CDR 捕获窗口期间使用人工频率偏移来前进穿过缓慢响应相位区域，由此增加省电，因为链路可停留在较低功率状态相对长的时间。而且，一些实施例改善了从低功率状态退出时的链路稳定性 并允许使用反馈环的高速串行 I/O 的功率降低。例如，通过实践某些实施例，在背靠背 L0 进入和退出情况下 (例如，L0 状态在 400ns 的短暂驻留之间的情况下) 的稳健的链路性能将是可能的。而且，用于功率管理的 nFTS 值一般在第三代训练序列的开始处提供。一些实施例提供第三代速度下的非常短 (例如，小于 30 的 nFTS) 的 L0 退出等待延迟。

[0051] 图 4 示出根据本发明的一实施例的计算系统 400 的框图。计算系统 400 包括经由互连网络 (或总线) 404 通信的一个或多个中央处理单元 (CPU) 402-1 至 402-N 或处理器 (在本文中统称为“各处理器 402”或更一般地称为“处理器 402”)。处理器 402 包括通用处理器、网络处理器 (处理在计算机网络 403 上传达的数据)，或者其他类型的处理器 (包括精简指令集计算机 (RISC) 处理器或复杂指令集计算机 (CISC))。此外，处理器 402 具有单核或多核设计。具有多核设计的处理器 402 将不同类型的处理器核集成在同一集成电路 (IC) 管芯上。另外，具有多核设计的处理器 402 实现为对称或非对称的多处理器。

[0052] 同样，参照图 1-3 讨论的操作由系统 400 的一个或多个组件来执行。在一些实施例中，处理器 402 与图 2 的处理器 202-208 相同或相似。而且，处理器 402 (或系统 400 的其他组件) 包括 IOH120、RC122 以及 PCIe 控制器 135 中的一个或多个。此外，尽管图 4 示出了项 120/122/135 的一些位置，但这些组件位于系统 400 中的别处。例如，I/O 设备 124 经由总线 422 等来通信。

[0053] 芯片组 406 也与互连网络 404 通信。芯片组 406 包括图形和存储器控制器中枢 (GMCH) 408。GMCH408 包括与存储器 410 通信的存储器控制器 412。存储器 412 存储数据，例如包括由 CPU402 或包含在计算系统 400 中的任何其它设备执行的指令序列。例如，存储器 412 存储与参照先前附图讨论的操作系统 (OS) 413 和 / 或设备驱动器 411 相对应的数据。在一实施例中，存储器 412 与图 1 的存储器 140 相同或相似。在本发明的一个实施例中，存储器 412 包括一个或多个易失性存储 (或存储器) 设备，诸如随机存取存储器 (RAM)、动态 RAM (DRAM)、同步 DRAM (SDRAM)、静态 RAM (SRAM) 或其他类型的存储设备。也可利用非易失性存储器，诸如硬盘。诸如多个 CPU 和 / 或多个系统存储器之类的附加设备也可经由互连网络 404 来进行通信。

[0054] 另外，处理器 402 中的一个或多个能够访问一个或多个高速缓存 (在各实施例中其包括私有和 / 或共享高速缓存) 以及相关的高速缓存控制器 (未示出)。高速缓存可遵循一个或多个高速缓存一致协议。这种高速缓存存储被系统 400 的一个或多个组件利用的数据 (例如，包括指令)。例如，高速缓存本地地高速缓存存储器 412 中存储的数据以供处理器 402 的各组件更快速的访问。在一实施例中，(被共享的) 高速缓存可包括中级高速缓存

和 / 或末级高速缓存(LLC)。同样,每一个处理器 402 包括 1 级(L1)高速缓存。处理器 402 的各组件可直接地、通过总线或互连网络、和 / 或存储器控制器或中枢与高速缓存通信。

[0055] GMCH408 还包括(例如,经由图形加速计)与显示器设备 416 通信的图形接口 414。在本发明的一个实施例中,图形接口 414 可经由加速图形端口(AGP)来与图形加速器通信。在本发明的一实施例中,显示器 416 (诸如平板显示器)可以通过例如信号转换器与图形接口 414 通信,该信号转换器将诸如视频存储器或系统存储器之类的存储设备中存储的图像的数字表示转换成由显示器 416 解析和显示的显示信号。在一实施例中,由显示设备产生的显示器信号经过各种控制设备,然后由显示器解释并随后在显示器 416 上显示。

[0056] 中枢接口 418 允许 GMCH408 与输入 / 输出控制中枢(ICH)420 通信。ICH420 向与计算系统 400 通信的 I/O 设备提供接口。ICH420 通过诸如外围组件互连(PCI)桥、通用串行总线(USB)控制器或其他类型的外围桥或控制器等外围桥(或控制器)424 与总线 422 通信。桥 424 在 CPU402 和外围设备之间提供数据路径。可使用其它类型的布局。同样,多个总线可例如通过多个桥或控制器来与 ICH420 通信。另外,在本发明的各实施例中,与 ICH420 处于通信中的其它外围设备包括集成的驱动电子(IDE)或小型计算机系统接口(SCSI)硬驱动器、USB 端口、键盘、鼠标、并行端口、串行端口、软盘驱动器、数字输出支持(例如,数字视频接口(DVI))、或其他设备。

[0057] 总线 422 与音频设备 426、一个或多个盘驱动器 428 以及与计算机网络 403 通信的网络接口设备 430 通信。其他设备也可经由总线 422 通信。同样,在本发明的一些实施例中,各组件(诸如网络接口装置 430)可与 GMCH408 通信。另外,在一些实施例中,处理器 402 以及 GMCH408 的一个或多个组件和 / 或芯片组 406 被组合以形成单个集成电路芯片(以其他方式存在于同一个集成电路管芯上)。

[0058] 此外,计算系统 400 包括易失性和 / 或非易失性存储器(或存储)。例如,非易失性存储器包括以下的一个或多个:只读存储器(ROM)、可编程 ROM (PROM)、可擦除 PROM (EPROM)、电 R PROM (EEPROM)、盘驱动器(例如,428)、软盘、紧致盘 ROM (CD-ROM)、数字多功能盘(DVD)、闪存、磁光盘或能够储存电子数据(例如,包括指令)的其它类型的非易失性机器可读介质。

[0059] 图 5 示出根据本发明的一实施例的安排成点对点(PtP)配置的计算系统 500。具体地,图 5 示出其中处理器、存储器和输入 / 输出设备通过多个点对点接口互连的系统。参照图 1-4 讨论的操作由系统 500 的一个或多个组件来执行。

[0060] 如图 5 所示,系统 500 包括若干处理器,但为了清楚起见仅示出了其中两个处理器 502 和 504。处理器 502 和 504 各自包括本地存储器控制器中枢(MCH)506 和 508 以实现与存储器 510 和 512 的通信。存储器 510 和 / 或 512 储存诸如那些参照图 4 的存储器 412 讨论的各种数据。如图 5 所示,在一些实施例中,处理器 502 和 504 还可包括参考图 4 讨论的高速缓存。

[0061] 在一实施例中,处理器 502 和 504 可以是参考图 4 讨论的处理器 402 之一。处理器 502 和 504 分别使用点对点(PtP)接口电路 516 和 518 经由 PtP 接口 514 来交换数据。同样,处理器 502 和 504 各自使用点对点接口电路 526、528、530 和 532 经由各 PtP 接口 522 和 524 与芯片组 520 交换数据。芯片组 520 还例如利用 PtP 接口电路 537 经由高性能图形接口 536 与高性能图形电路 534 交换数据。

[0062] 本发明的至少一个实施例在处理器 502 和 504 或芯片组 520 内提供。例如,处理器 502 和 504 和 / 或芯片组 520 包括 IOH120、RC122 以及 PCIe 控制器 135 中的一个或多个。但是,本发明的其它实施例存在于图 5 的系统 500 内的其它电路、逻辑单元或设备中。而且,本发明的其它实施例可分布在图 5 中所示若干电路、逻辑单元或设备中。因此,图 5 中示出的项 120/122/135 的位置是示例性的,并且这些组件可以或者可以不在所示位置中提供。

[0063] 芯片组 520 使用 PtP 接口电路 541 与总线 540 通信。总线 540 可具有与其通信的一个或多个设备,诸如总线桥 542 和 I/O 设备 543。经由总线 544,总线桥 542 与诸如键盘 / 鼠标 545、通信设备 546 (诸如与计算机网络 403 通信的调制解调器、网络接口设备或其它通信设备)、音频 I/O 设备、和 / 或数据存储设备 548 之类的其它设备通信。数据存储设备 548 存储由处理器 502 和 / 或 504 执行的代码 549。

[0064] 以下示例涉及进一步的实施例。示例 1 包括一种装置,该装置包括逻辑,该逻辑耦合于第一代理,以检测第一比特模式(该第一比特模式指示第二代理推测性地进入低功率消耗状态)并且使得一个或多个控制环冻结;以及用于检测第二比特模式(该第二比特模式指示该第二代理从该低功率消耗状态退出)并且使得所述一个或多个控制环解冻的逻辑。在示例 2 中,示例 1 的主题可任选地包括一种装置,其中该一个或多个控制环要包括以下的一个或多个:CDR (时钟数据恢复)控制环、AGC (自动增益控制)控制环、DFE (决策反馈均衡)控制环以及 CTOC (连续时间偏移消除)控制环。在示例 3 中,示例 2 的主题可任选地包括一种装置,其中该第二逻辑将使得该 CDR 控制环在该 AGC 控制环、DFE 控制环以及 CTOC 控制环之前解冻。在示例 4 中,示例 2 的主题可任选地包括一种装置,其中该第二逻辑将向该 CDR 控制环中注入人工频率偏移以帮助在启动该 AGC 控制环、DFE 控制环以及 CTOC 控制环之前快速锁定穿过缓慢响应相位区域。在示例 5 中,示例 2 的主题可任选地包括一种装置,其中该第二逻辑将响应于指示该 CDR 控制环的捕获的计时器的期满而解冻该 AGC 控制环、DFE 控制环以及 CTOC 控制环。在示例 6 中,示例 1 的主题可任选地包括一种装置,该装置进一步包括用于在冻结该一个或多个环并且响应于计时器的期满来确定该第二代理是否实际上进入了低功率消耗状态的逻辑。在示例 7 中,示例 1 的主题可以任选地包括一种装置,其中链路包括外围组件互连快速 (PCIe) 链路。在示例 8 中,示例 1 的主题可任选地包括一种装置,其中第一比特模式包括 EIOS (电子空闲有序集)比特模式。在示例 9 中,示例 1 的主题可任选地包括一种装置,其中第二比特模式包括 EIEOS (电子空闲退出有序集)比特模式。在示例 10 中,示例 1 的主题可以任选地包括一种装置,其中第一代理将包括 PCIe 控制器。在示例 11 中,示例 1 的主题可以任选地包括一种装置,其中第二代理需要包括输入 / 输出设备。在示例 12 中,示例 1 的主题可任选地包括一种装置,其中第一代理和第二代理要经由链接耦合。在示例 13 中,示例 12 的主题可以任选地包括一种装置,其中链路需要包括点对点一致互连。在示例 14 中,示例 1 的主题可任选地包括一种装置,其中第一代理将包括用于检测第一比特模式的逻辑和用于检测第二比特模式的逻辑中的一个或多个。在示例 15 中,示例 1 的主题可以任选地包括一种装置,其中第一代理、第二代理和存储器中的一个或多个位于同一集成电路芯片上。

[0065] 在示例 16 中,一种方法包括:在第一代理处检测第一比特模式(该第一比特模式指示第二代理推测性地进入低功率消耗状态)并且使得一个或多个控制环冻结;以及检测

第二比特模式(该第二比特模式指示该第二代理从该低功率消耗状态退出)并且使得所述一个或多个控制环解冻。在示例 17 中,示例 16 的主题可任选地包括一种方法,其中该一个或多个控制环包括以下的一个或多个:CDR(时钟数据恢复)控制环、AGC(自动增益控制)控制环、DFE(决策反馈均衡)控制环以及 CTOC(连续时间偏移消除)控制环。在示例 18 中,示例 17 的主题可任选地包括一种方法,其中检测第二比特模式使得该 CDR 控制环在该 AGC 控制环、DFE 控制环以及 CTOC 控制环之前解冻。在示例 19 中,示例 17 的主题可任选地包括一种方法,其中检测第二比特模式使得向该 CDR 控制环中注入人工频率偏移以帮助在启动该 AGC 控制环、DFE 控制环以及 CTOC 控制环之前快速锁定穿过缓慢响应相位区域。在示例 20 中,示例 17 的主题可任选地包括一种方法,其中检测第二比特模式响应于指示该 CDR 控制环的捕获的计时器的期满而使得该 AGC 控制环、DFE 控制环以及 CTOC 控制环解冻。

[0066] 示例 21 包括一种系统,所述系统包括:一种具有第一代理和第二代理的处理器;以及用于检测第一比特模式(该第一比特模式指示第二代理推测性地进入低功率消耗状态)并且使得一个或多个控制环冻结的逻辑;以及用于检测第二比特模式(该第二比特模式指示该第二代理从该低功率消耗状态退出)并且使得所述一个或多个控制环解冻的逻辑。在示例 22 中,示例 21 的主题可任选地包括一种系统,其中该一个或多个控制环要包括以下的一个或多个:CDR(时钟数据恢复)控制环、AGC(自动增益控制)控制环、DFE(决策反馈均衡)控制环以及 CTOC(连续时间偏移消除)控制环。在示例 23 中,示例 22 的主题可任选地包括一种系统,其中用于检测第二比特模式的逻辑将使得该 CDR 控制环在该 AGC 控制环、DFE 控制环以及 CTOC 控制环之前解冻。在示例 24 中,示例 22 的主题可任选地包括一种系统,其中用于检测第二比特模式的逻辑将向该 CDR 控制环中注入人工频率偏移以帮助在启动该 AGC 控制环、DFE 控制环以及 CTOC 控制环之前快速锁定穿过缓慢响应相位区域。在示例 25 中,示例 22 的主题可任选地包括一种系统,其中用于检测第二比特模式的逻辑将响应于指示该 CDR 控制环的捕获的计时器的期满而使得该 AGC 控制环、DFE 控制环以及 CTOC 控制环解冻。在示例 26 中,示例 21 的主题可任选地包括一种系统,该系统进一步包括用于在冻结该一个或多个环并且响应于计时器的期满来确定该第二代理是否实际上进入了低功率消耗状态的逻辑。在示例 27 中,示例 21 的主题可以任选地包括一种系统,其中链路包括外围组件互连快速(PCIe)链路。在示例 28 中,示例 21 的主题可任选地包括一种系统,其中该第一比特模式包括 EIOS(电子空闲有序集)比特模式。在示例 29 中,示例 21 的主题可任选地包括一种系统,其中该第一比特模式包括 EIEOS(电子空闲退出有序集)比特模式。在示例 30 中,示例 21 的主题可以任选地包括一种系统,其中第一代理将包括 PCIe 控制器。在示例 31 中,示例 21 的主题可以任选地包括一种系统,其中第二代理将包括输入/输出设备。在示例 32 中,示例 21 的主题可任选地包括一种系统,其中第一代理和第二代理要经由链接耦合。在示例 33 中,示例 21 的主题可任选地包括一种系统,其中第一代理将包括用于检测第一比特模式的逻辑和用于检测第二比特模式的逻辑中的一个或多个。在示例 34 中,示例 21 的主题可以任选地包括一种系统,其中第一代理、第二代理和存储器中的一个或多个位于同一集成电路芯片上。

[0067] 示例 35 包括一种用于在高速串行链路中提供从低功率状态的快速而稳健的恢复的装置,所述装置包括:用于在第一代理处检测第一比特模式(该第一比特模式指示第二代理推测性地进入低功率消耗状态)并且使得一个或多个控制环冻结的装置;以及用于检测

第二比特模式(该第二比特模式指示该第二代理从该低功率消耗状态退出)并且使得所述一个或多个控制环解冻的装置。在示例 36 中,示例 35 的主题可任选地包括一种装置,其中该一个或多个控制环包括以下的一个或多个:CDR(时钟数据恢复)控制环、AGC(自动增益控制)控制环、DFE(决策反馈均衡)控制环以及 CTOC(连续时间偏移消除)控制环。在示例 37 中,示例 36 的主题可任选地包括一种装置,其中用于检测第二比特模式的装置使得该 CDR 控制环在该 AGC 控制环、DFE 控制环以及 CTOC 控制环之前解冻。在示例 38 中,示例 36 的主题可任选地包括一种装置,其中用于检测第二比特模式的装置使得向该 CDR 控制环中注入人工频率偏移以帮助在启动该 AGC 控制环、DFE 控制环以及 CTOC 控制环之前快速锁定穿过缓慢响应相位区域。在示例 39 中,示例 36 的主题可任选地包括一种装置,其中用于检测第二比特模式的装置响应于指示该 CDR 控制环的捕获的计时器的期满而使得该 AGC 控制环、DFE 控制环以及 CTOC 控制环解冻。

[0068] 在示例 40 中,一种计算机可读介质包括一个或多个指令,所述指令在处理器上执行时将所述处理器配置成执行示例 16 到 20 中的任一者的一个或多个操作。在示例 41 中,示例 1 到 15 的主题可以任选地包括一种装置,其中处理器将包括第一代理和第二代理。在示例 42 中,示例 16 到 20 的主题可以任选地包括一种方法,其中处理器将包括第一代理和第二代理。

[0069] 在本发明的各实施例中,本文中例如参考图 1-5 讨论的操作可被实现为硬件(例如,电路)、软件、固件、微代码或其组合,它们可作为计算机程序产品来提供,该计算机程序产品例如包括其上存储有指令(或软件程序)的有形(例如,非瞬态)机器可读或(例如,非瞬态)计算机可读介质,这些指令用于对计算机进行编程以执行本文所讨论的过程。并且,作为示例,术语“逻辑”可包括软件、硬件或软件和硬件的组合。机器可读介质可包括诸如参考图 1-5 所讨论的存储设备之类的存储设备。此外,这种计算机可读介质可作为计算机程序产品来下载,其中该程序经由通信链路(例如,总线、调制解调器或网络连接)作为经由载波或其它传播介质传送的数据信号从远程计算机(例如,服务器)传输到提出请求的计算机(例如,客户机)。

[0070] 在本说明书中对“一个实施例”或“实施例”的引用意味着结合该实施例描述的特定特征、结构或特性可包括在至少一个实现中。在本说明书各处出现的短语“在一个实施例中”可以或可不全指代同一实施例。

[0071] 并且,在说明书和权利要求书中,可使用术语“耦合”和“连接”以及它们的派生词。在本发明的某些实施例中,“连接”可用于指示两个或多个元件相互直接物理接触和/或电接触。“耦合”可意味着两个或两个以上元件直接物理或电接触。然而,“耦合”还可表示两个或多个元件相互不直接接触,但仍相互配合和/或相互作用。

[0072] 由此,尽管已经用结构特征和/或方法动作专用的语言描述了本发明的实施例,但是应该理解所要求保护的主体可并不被限定于所描述的具体特征或动作。相反,这些具体特征和动作是作为实现所要求保护的主体样本形式而公开的。

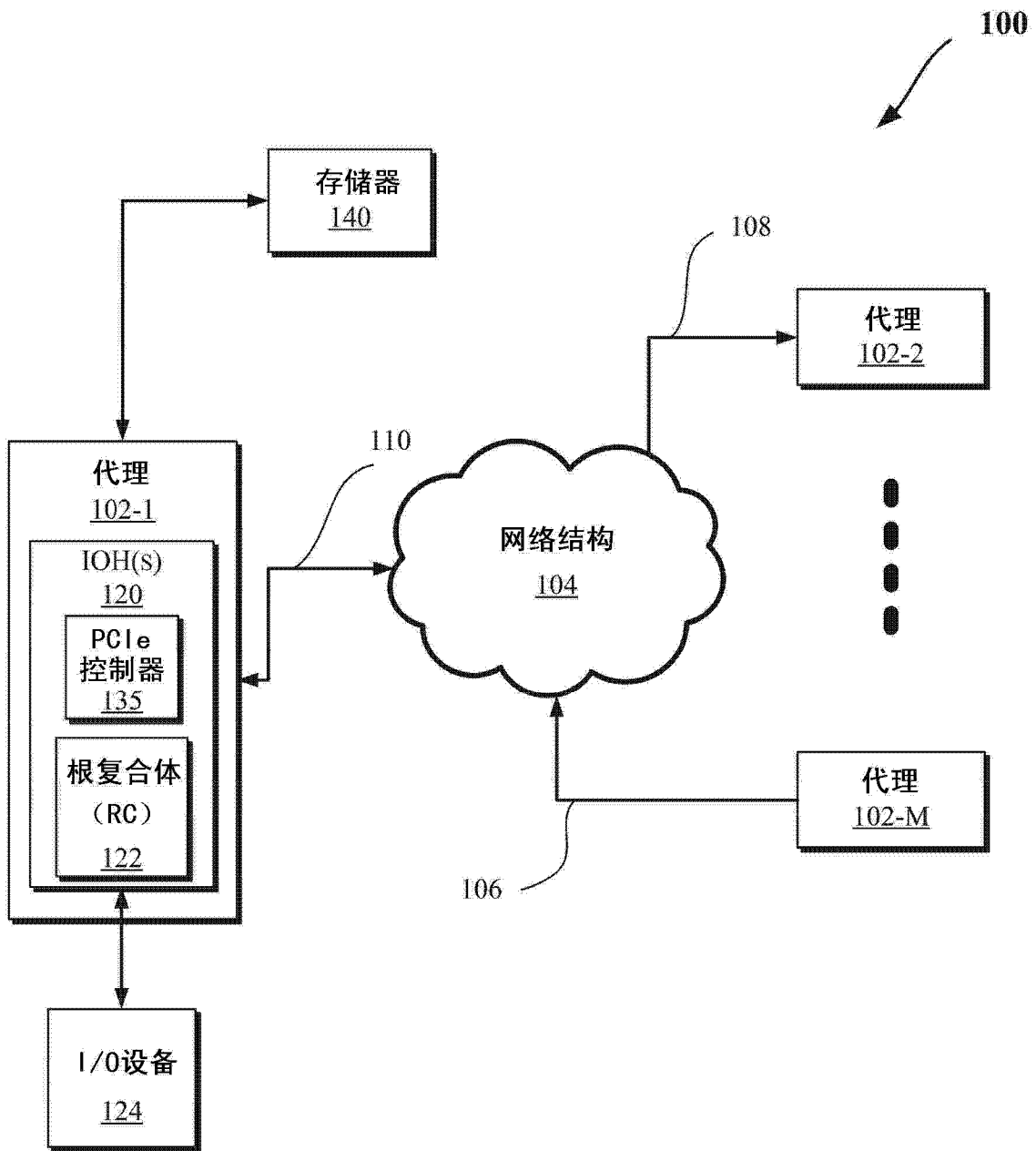


图 1

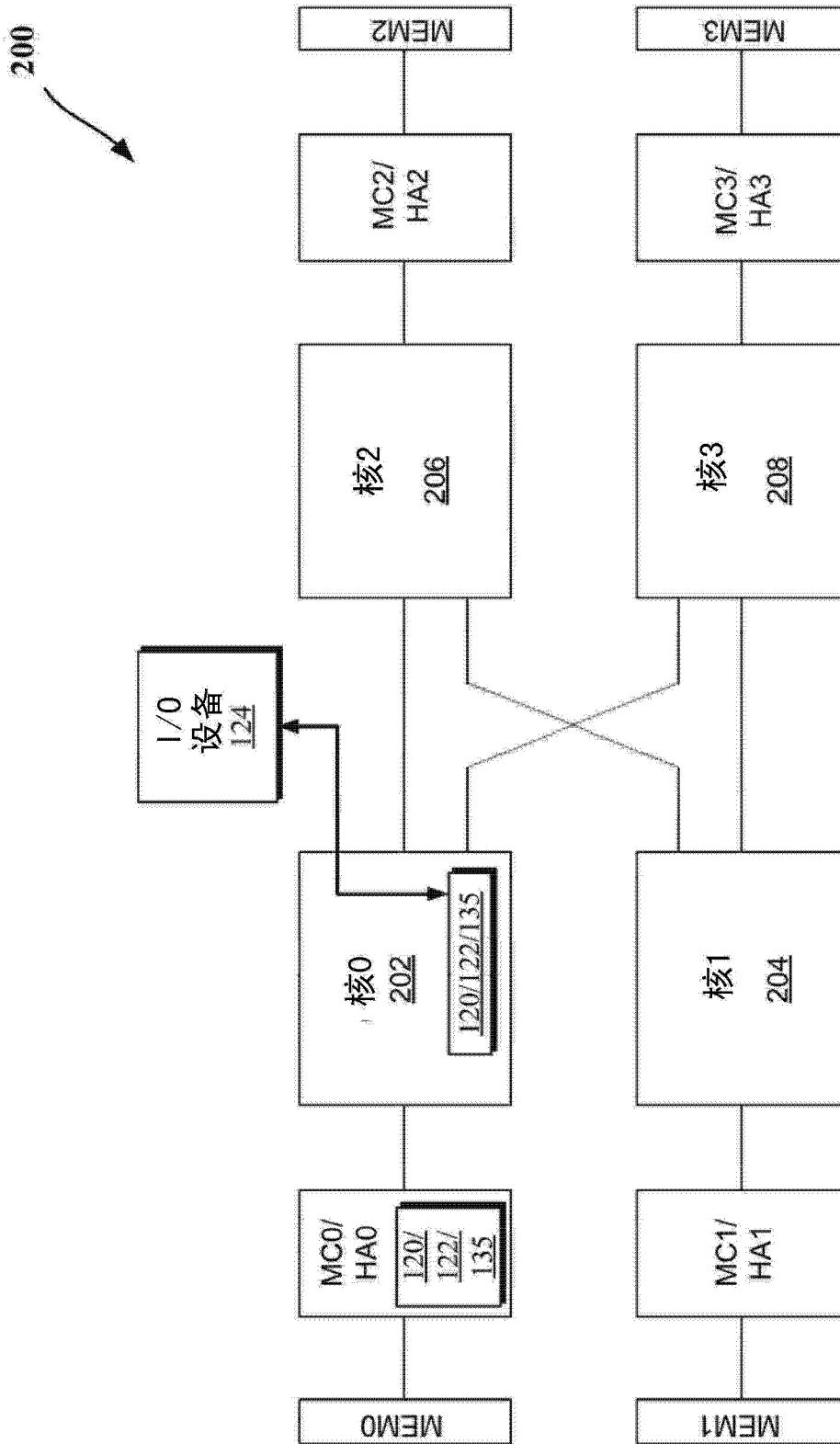


图 2

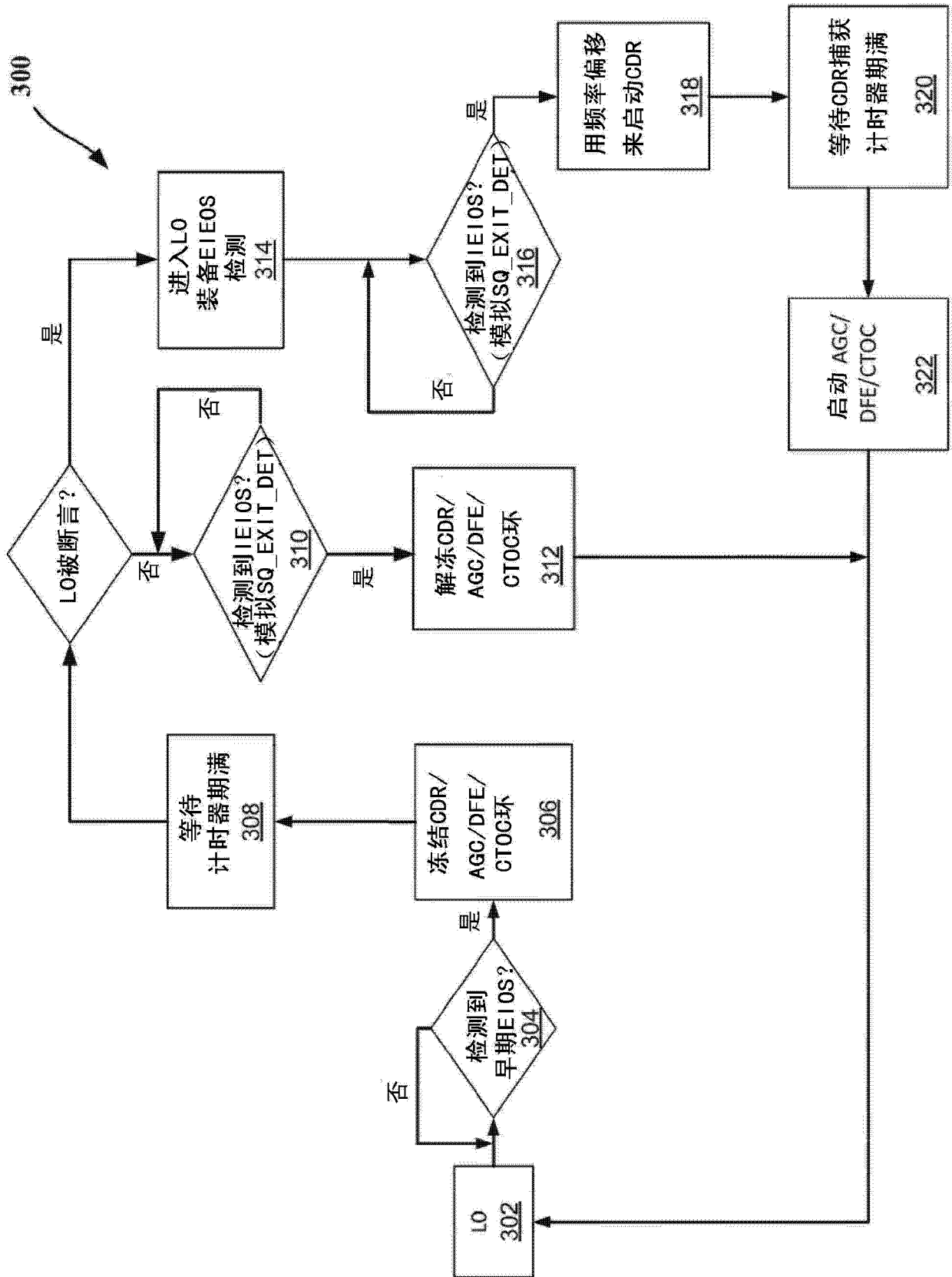


图 3A

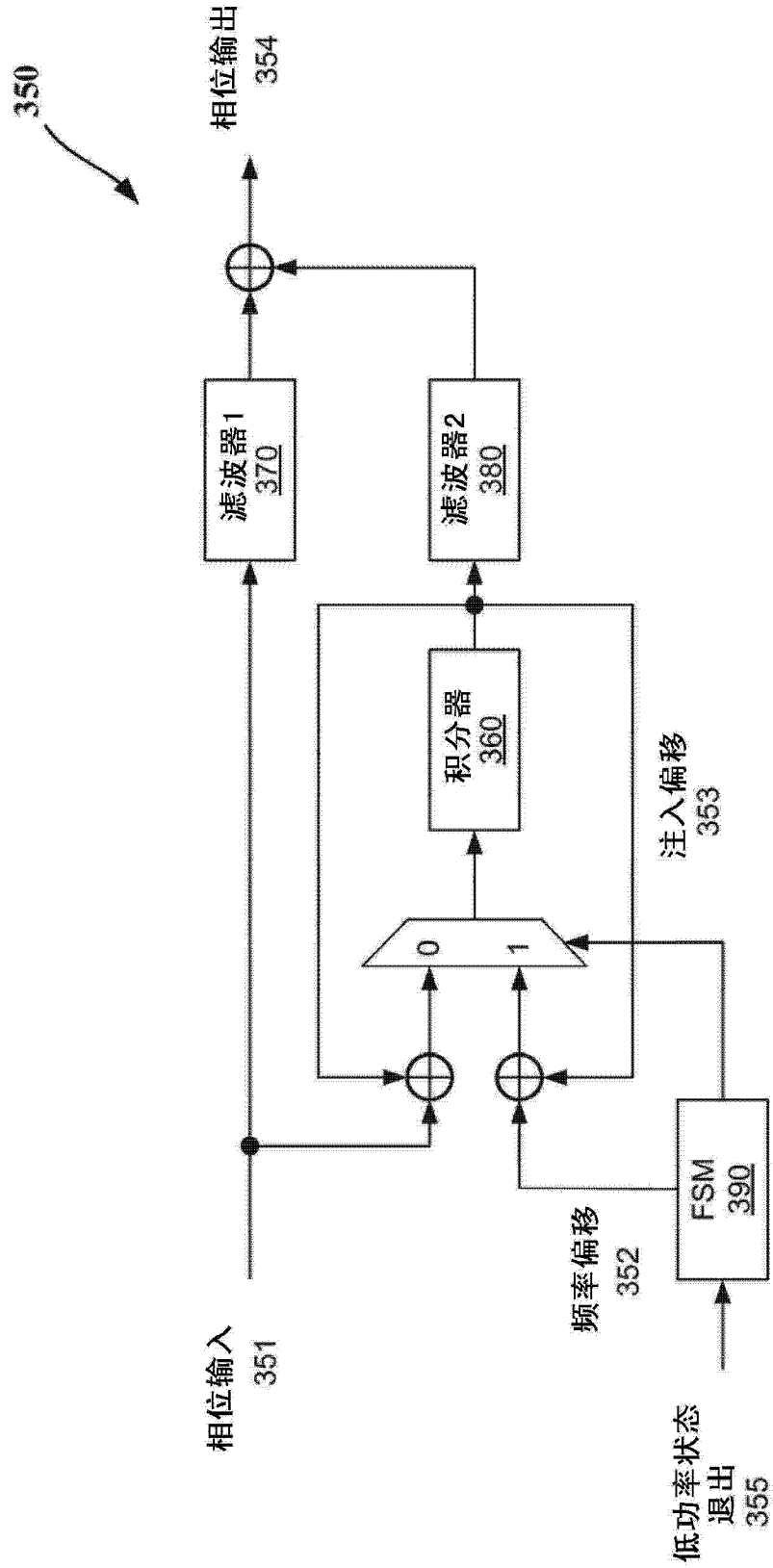


图 3B

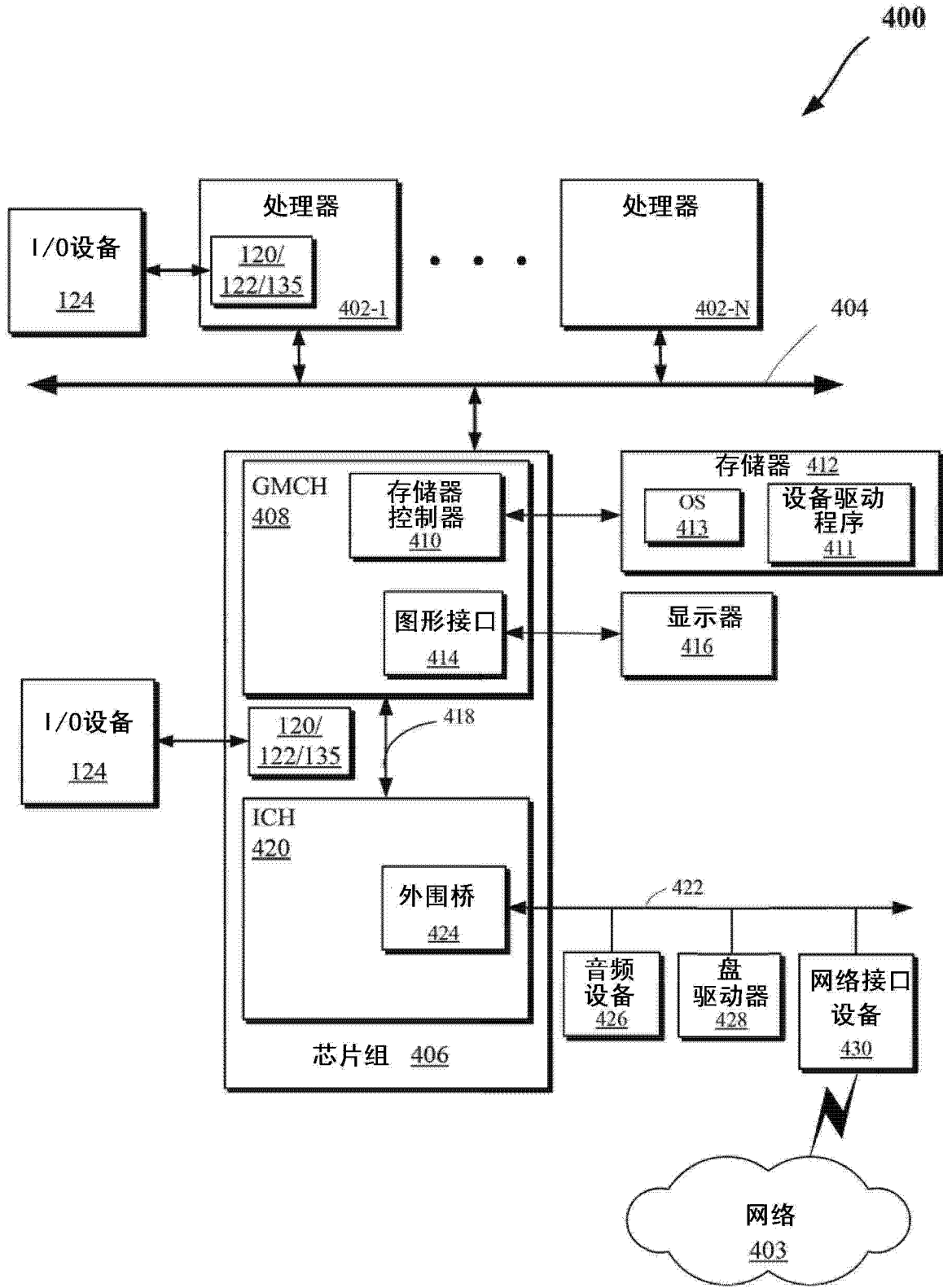


图 4

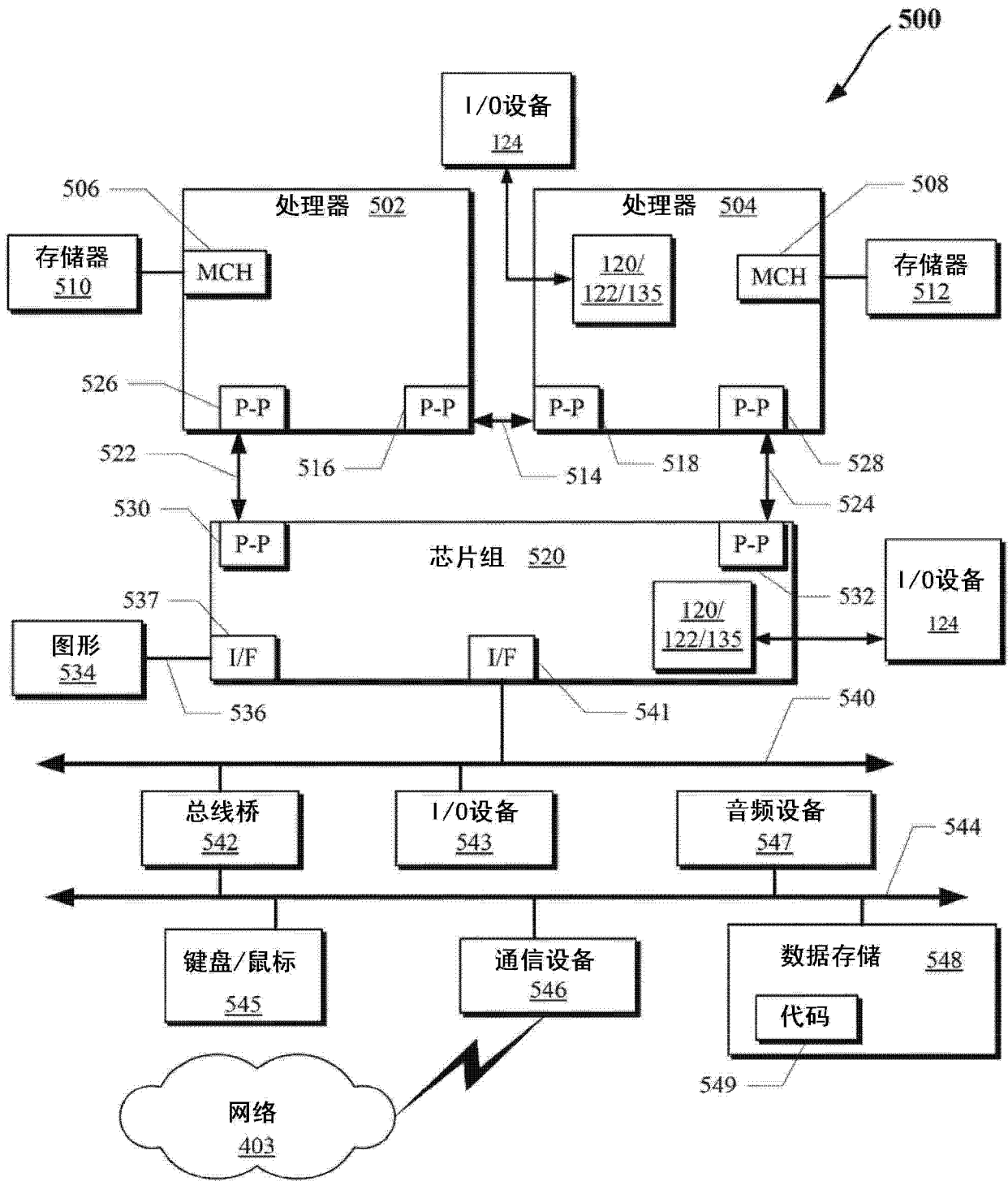


图 5