

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4090569号
(P4090569)

(45) 発行日 平成20年5月28日(2008.5.28)

(24) 登録日 平成20年3月7日(2008.3.7)

(51) Int.Cl.		F I	
G09F	9/00 (2006.01)	G09F	9/00 346A
G02F	1/1368 (2006.01)	G02F	1/1368
G09G	3/36 (2006.01)	G09G	3/36
H01L	21/336 (2006.01)	H01L	29/78 612Z
H01L	29/786 (2006.01)	H01L	29/78 627G

請求項の数 11 (全 25 頁)

(21) 出願番号	特願平10-152307	(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成10年5月16日(1998.5.16)	(72) 発明者	小山 潤 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(65) 公開番号	特開平11-231798	(72) 発明者	納 光明 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成11年8月27日(1999.8.27)	(72) 発明者	尾形 靖 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
審査請求日	平成17年5月12日(2005.5.12)	審査官	北川 創
(31) 優先権主張番号	特願平9-356238		
(32) 優先日	平成9年12月8日(1997.12.8)		
(33) 優先権主張国	日本国(JP)		
前置審査			

最終頁に続く

(54) 【発明の名称】 半導体装置、液晶表示装置及びEL表示装置

(57) 【特許請求の範囲】

【請求項1】

同一の基板の上に画素マトリクス部と、駆動回路と、信号分割回路と、を有し、
前記画素マトリクス部、前記駆動回路、及び前記信号分割回路は、それぞれ薄膜トランジスタを有し、

前記信号分割回路は、入力デジタル信号の供給を受けるn個の入力部と、供給された前記入力デジタル信号のパルス長を伸長した修正デジタル信号を送出するm×n個の出力部と、を有し、

前記nは自然数、前記mは2以上の自然数であり、

前記信号分割回路は、前記画素マトリクス部及び前記駆動回路と一体形成されており、
前記薄膜トランジスタは触媒元素により結晶化された連続粒界結晶シリコン膜を有することを特徴とする半導体装置。

【請求項2】

同一の基板の上に画素マトリクス部と、駆動回路と、信号分割回路と、を有し、
前記画素マトリクス部、前記駆動回路、及び前記信号分割回路は、それぞれ薄膜トランジスタを有し、

前記信号分割回路は、入力デジタル信号の供給を受けるn個の入力部と、供給された前記入力デジタル信号の周波数の1/m倍の修正デジタル信号を送出するm×n個の出力部と、を有し、

前記nは自然数、前記mは2以上の自然数であり、

前記信号分割回路は、前記画素マトリクス部及び前記駆動回路と一体形成されており、前記薄膜トランジスタは触媒元素により結晶化された連続粒界結晶シリコン膜を有することを特徴とする半導体装置。

【請求項 3】

請求項 1 又は請求項 2 において、

前記 n 個の入力部には、前記信号分割回路と前記基板の外部との接続配線が n 本接続されており、

前記接続配線は、前記信号分割回路と一体形成されていることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、

前記信号分割回路は、第 1 のラッチ回路と、第 2 のラッチ回路と、カウンタ回路と、入力デジタル信号線と、クロック信号線と、修正クロック信号線と、リセット信号線と、を有し、

前記第 1 のラッチ回路は、前記第 2 のラッチ回路と、入力デジタル信号線と、クロック信号線と、に接続されており、

前記第 2 のラッチ回路は、前記第 1 のラッチ回路と、前記修正クロック信号線と、前記駆動回路と、に接続されており、

前記カウンタ回路は、前記リセット信号線と、前記クロック信号線と、前記修正クロック信号線と、に接続されていることを特徴とする半導体装置。

【請求項 5】

請求項 4 において、

前記第 1 のラッチ回路は、入力デジタル信号と、クロック信号と、が入力されることにより第 1 の出力信号を前記第 2 のラッチ回路に出力し、

前記カウンタ回路は、リセット信号と、前記クロック信号と、が入力されることにより、修正クロック信号を前記第 2 のラッチ回路に出力し、

前記第 2 のラッチ回路は、前記第 1 の出力信号と、前記修正クロック信号と、が入力されることにより、第 2 の出力信号を前記駆動回路に出力することを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、

前記薄膜トランジスタは $150 \text{ cm}^2 / \text{Vs}$ 以上の移動度を有することを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一において、

前記薄膜トランジスタのサブスレッショルド係数は $0.15 \text{ V} / \text{dec}$ 以下であることを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一において、

前記薄膜トランジスタは、しきい電圧が -1.0 V から 0.0 V の P チャネル型薄膜トランジスタであることを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至請求項 7 のいずれか一において、

前記薄膜トランジスタは、しきい電圧が 0.0 V から 1.0 V の N チャネル型薄膜トランジスタであることを特徴とする半導体装置。

【請求項 10】

請求項 1 乃至請求項 9 のいずれか一に記載の半導体装置を有することを特徴とする液晶表示装置。

【請求項 11】

請求項 1 乃至請求項 9 のいずれか一に記載の半導体装置を有することを特徴とする E L

10

20

30

40

50

表示装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本明細書で開示する発明は、デジタル信号を入力信号とする半導体装置に関する。例えば本発明はアクティブマトリクス型の液晶表示装置、EL表示装置等に利用することができる。より正確にはアクティブマトリクス型の液晶表示装置、EL表示装置等の駆動基板に利用できる。

【0002】

【従来の技術】

デジタル信号を入力信号とする半導体装置の一例として、アクティブマトリクス型の液晶表示装置がある。

【0003】

デジタル信号を入力信号とするアクティブマトリクス型の液晶表示装置は従来、図1のような構成をとっていた。

【0004】

信号分割回路102は、入力信号となるデジタル信号（以下、入力デジタル信号）の入力を受け、そのパルス長を時間伸長（何倍に伸長してもよいが、m倍に伸長するのが最も一般的である）した修正デジタル信号を、修正デジタル信号線112に出力する。入力デジタル信号のパルス長をm倍に時間伸長するということは、換言すれば入力デジタル信号の周波数を1/m倍に落とすことでもある。

【0005】

図1では入力デジタル信号線111、修正デジタル信号線112は各1本しか図示していないが、実際には入力デジタル信号線はn本、修正デジタル信号線はm×n本ある。nは自然数、mは2以上の自然数である。そして各入力デジタル信号線における連続するm個の入力デジタル信号に対応する、m個の修正デジタル信号は、m本の別個の修正デジタル信号線に出力される。すなわちm×n本の修正デジタル信号線のうちの任意の1本についてみると、連続する2つの修正デジタル信号は、ある入力デジタル信号線におけるm個前後した2つの入力デジタル信号に対応したものである。

図9にn=2、m=2の場合についてのタイミングチャートの例を示す。これを参照すれば、4本ある修正デジタル信号線の1本にはSD1のような修正デジタル信号が出力されるが、連続する2つの修正デジタル信号であるPとQとは各々、一方の入力デジタル信号線により伝達されるDS1のAとCとに対応している。同様に別の修正デジタル信号線に出力されるSD2におけるWとXとは各々、DS1のDとFとに対応している。さらに別の修正デジタル信号線に出力されるSD3のsとuとは各々、他方の入力デジタル信号線により伝達されるDS2のgとiに対応している。

【0006】

駆動回路104、105は、前記修正デジタル信号線112より修正デジタル信号を受け取り、それを所定のタイミングで階調電圧信号に変換して所定の画素に書き込む。

画素マトリクス部106は、前記階調電圧信号により書き込みを受ける各画素が、格子状又は格子に類似する形状（例えばデルタ配置など）に配置されている。そして画素マトリクス部は、全体または一部分で1画面の画像を表示する。

【0007】

信号分割回路は従来、次のような大きな意義を有していた。つまり入力デジタル信号は数10MHzのものが通常である（将来的には百数10MHzのものが一般化する可能性もある）。しかしこのような高周波数条件下では駆動回路中のトランジスタの性能は不十分で、動作が不可能か或いは信頼性の上で難があった。そこで駆動回路を十全に動作できる程度にまで入力デジタル信号の周波数を落とすことが不可欠であり、信号分割回路がその入力デジタル信号の周波数を落とすという役割を担っていた。

【0008】

10

20

30

40

50

ただし駆動回路中のトランジスタの性能が向上したとしても、信号分割回路がただちに不要となるものではない。高周波数条件で駆動回路の動作を可能にするための要素はトランジスタの性能だけではないからである。

【 0 0 0 9 】

まず第一に抵抗や容量に起因する問題がある。現実の液晶表示装置では駆動回路は規模が大きいため、外部から駆動回路が動作するのに必要な信号を伝達する線や電源線は長くなり抵抗が生じる。またそれらの各線には多くの素子が接続することから、大きな負荷容量が付くことになる。すると外部から伝達される信号の周波数が高い場合には、その信号が駆動回路内でかなり鈍ったり、駆動回路内のある動作の影響で瞬間的に電源線の電圧値が変化した場合に回復に許される時間が不足したりするなど、駆動回路が正常に動作するの

10

に支障がでることがある。例えば駆動回路中にはシフトレジスタが用いられるが、シフトレジスタのクロック信号を入力するときに、クロック線は長く又多くのクロックド・インバータの接続を受ける。そのためクロック信号の鈍りが途中から限度を超え、クロック信号が所期のタイミングで読み込まれなくなることで、シフトレジスタが正常に動作しなくなることがあり得る。

これに対し信号分割回路は、通常、駆動回路の数分の1の面積という規模の小ささゆえに電源線や各信号供給線は短く、接続される負荷容量も小さいため、動作に必要な外部からの信号の周波数が高くとも、正常に動作するのに駆動回路のときほどの支障はない。

【 0 0 1 0 】

そこで信号分割回路を使用して入力デジタル信号の周波数を $1/n$ 倍に落とすことにより、駆動回路の動作に必要な信号の周波数も $1/n$ に落とすことが可能となり、入力デジタル信号あるいは外部から伝達される他の信号が高周波数の場合における駆動回路が抱える、上述のような不都合の発生を回避することができる。ここで入力デジタル信号の周波数をどの程度まで落とせばよいのかは、個々の駆動回路につき具体的に決めることを要するが、通常 20MHz 以下にすれば充分であろう。

20

【 0 0 1 1 】

第二に信号のタイミング合せの問題がある。たとえ高周波数条件で動作可能なトランジスタであったとしても、個々のトランジスタで応答速度にある程度のバラツキが生じるのは仕方ない。駆動回路は多数のトランジスタを組み合わせで構成されるので、このバラツキの集積が原因で所期のタイミングとのズレができるが、ズレの大きさは周波数の高低に依存しない。従って高周波数条件ほどズレの影響は相対的に大きく、駆動回路全体で正常な動作をしなくなる確率も上昇する。

30

【 0 0 1 2 】

この危険を回避するために入力デジタル信号の周波数をどの程度まで落とすべきかも、実際には個々の駆動回路につき具体的に、経験的に決することになる。しかし個々のトランジスタの応答速度のバラツキは、現在のトランジスタの製造工程を勘案すると、概ね 20MHz 以下とする必要がある。

【 0 0 1 3 】

次に信号分割回路、駆動回路、画素マトリクス部の回路に使用されるトランジスタについて述べる。

40

【 0 0 1 4 】

画素マトリクス部の回路には信号分割回路、駆動回路とは異なり、トランジスタを用いることは不可欠ではない。しかしトランジスタを用いて各画素毎に書き込む電圧情報を制御する、即ちアクティブマトリクス方式をとることで、画素間の電圧情報の干渉を抑えた良質な画面が実現される。このトランジスタは可視光を透過する基板上に微小規模（画素の大きさの数分の1以下。代表的には 20ミクロン 角程度）で存在することが要求されることから、薄膜トランジスタ（TFTと略称する）が使用される。

【 0 0 1 5 】

駆動回路には現在、TFTを用いる場合とMOSFETなどのICを用いる場合とがある。TFTを用いる場合は、基板に画素マトリクス部と駆動回路とを同時につくること（こ

50

れを一体形成と称する)が可能で、その分生産工程や費用の削減に資する。ICを用いる場合は基板に外付けで用いることになり、ICと画素マトリクス部とを結ぶ配線も必要であるが、画素マトリクス部のTFTの性能が低くても良いのが利点である。ICを用いる場合には、画素マトリクス部が形成されている基板上にICを貼り付ける、チップ・オン・ガラス(COG)方式もある。

【0016】

信号分割回路には、TFTは用いられず外付けICのみが用いられてきた。それはTFTのチャンネルに使われる珪素(シリコン)膜の質が充分でなかったためである。前述のとおり入力デジタル信号は数10MHzのものが通常であるが、このような状況に対して、これまでのTFTのチャンネルに使われていた珪素膜で最も良質である多結晶珪素(ポリシリコン)膜のもので、TFTのキャリアの移動度は $50\text{ cm}^2/\text{Vs}$ 程度であったので、10MHz以上の高周波条件下で駆動することは現実的にはできなかった。

しかし画素マトリクス部と駆動回路とをTFTにより一体形成する場合、信号分割回路には外付けICを用いるという方法では、外付けの分に余計な工程と費用とを要しそれだけ生産価格の上昇は避けられない。そのため生産費削減という一体形成の利点が十分に生かされていなかった。

【0017】

なお本明細書で用いるTFTの移動度は、TFTのチャンネル長 L 、チャンネル幅 W 、チャンネル面積 S 、ゲート絶縁膜厚 d_{ox} 、ゲート絶縁膜誘電率 ϵ 、ゲート電圧変化 dV_G 、ドレイン電流変化 dI_D 、ドレイン電圧 V_D (1Vとする)をもとにしたときの算出式

$$\mu = (L d_{ox} / W S \epsilon V_D) \times (dI_D / dV_G)$$

或いはこれと同等の式より求められる。この式より明らかであるように μ は V_G に依存して変化するが、TFTの移動度はその μ の最大値を指すものとする(図8(A)参照)。

【0018】

【発明が解決しようとする課題】

デジタル信号を入力信号とする半導体装置、例えばアクティブマトリクス型の液晶表示装置、EL表示装置等では、画素マトリクス部と駆動回路とにTFTを用いることにより一体形成する方法は、生産工程及び費用削減という観点から非常に価値がある。この利点を十分に生かすことが求められる。

【0019】

本明細書で開示する発明は、デジタル信号を入力信号とする半導体装置において、その信号処理の性能を保ちつつ且つ生産工程及び費用を少なく抑えることのできる構成を提供することを課題とする。

【0020】

【課題を解決するための手段】

本明細書で開示する発明は、

n 個の入力部と $m \times n$ 個の出力部とを具え、 n 個の前記入力部それぞれより入力デジタル信号の供給を受け、前記入力デジタル信号のパルスの長さを時間伸長した修正デジタル信号を $m \times n$ 個ある前記出力部のいずれかより送出し、絶縁表面を有する基板上にTFTを用いて作製される信号分割回路であって、

前記 n は自然数、前記 m は2以上の自然数であり、

前記TFTはキャリアのドリフト移動度が $150\text{ cm}^2/\text{Vs}$ 以上であることを特徴とする信号分割回路である。

【0021】

ここで前記TFTは、 S 値(サブスレシヨルド係数)が $0.15\text{ V}/\text{dec}$ 以下であり、しきい電圧がPチャンネルTFTならば $-1.0\text{ V} \sim 0.0\text{ V}$ 、NチャンネルTFTならば $0.0\text{ V} \sim 1.0\text{ V}$ であることが望ましい。

【0022】

修正デジタル信号は、入力デジタル信号のパルスの長さを何倍に時間伸長したものであ

10

20

30

40

50

てもよい。自然数倍に限られるわけでもない。ただし m 倍にするのが最も簡便であり、利用価値も高いであろう。

【 0 0 2 3 】

本明細書で開示する他の発明は、

信号分割回路を具えた半導体装置であって、

前記信号分割回路は、 n 個の入力部と $m \times n$ 個の出力部を具え、 n 個の前記入力部より入力デジタル信号の供給を受け、 $m \times n$ 個ある前記出力部のいずれかより前記入力デジタル信号のパルスの長さを伸長した修正デジタル信号を送出し、絶縁表面を有する基板上に T F T を用いて作製され、

前記 n は自然数、前記 m は 2 以上の自然数であり、

前記 T F T はキャリアのドリフト移動度が $150 \text{ cm}^2 / \text{Vs}$ 以上であることを特徴とする半導体装置である。

10

【 0 0 2 4 】

ここで信号分割回路は画素マトリクス部の回路や駆動回路と一体形成するのが好ましい。同一の絶縁体基板上に製造工程上同時につくことを一体形成と称する。

【 0 0 2 5 】

本発明は例えば、液晶表示装置あるいは E L 表示装置等に用いることができる。

【 0 0 2 6 】

本明細書で用いる T F T の移動度は、T F T のチャネル長 L 、チャネル幅 W 、チャネル面積 S 、ゲート絶縁膜厚 d_{ox} 、ゲート絶縁膜誘電率、ゲート電圧変化 dV_G 、ドレイン電流変化 dI_D 、ドレイン電圧 V_D (1 V とする)、をもとにしたときの算出式

$$\mu = (L d_{ox} / W S V_D) \times (dI_D / dV_G)$$

或いはこれと同等の式より求められる。この式より明らかであるように μ は V_G に依存して変化するが、T F T の移動度はその μ の最大値を指すものとする (図 8 (A) 参照)。

20

【 0 0 2 7 】

また T F T のしきい電圧は、 $1 \mu \text{ A}$ のドレイン電流 I_D が流れるときのゲート電圧 V_G に等しいと定めることとする (図 8 (B) 参照)。

【 0 0 2 8 】

T F T の S 値については、ゲート電圧変化 dV_G と、ドレイン電流の常用対数変化 $d \log I_D$ とから

$$S = (dV_G / d \log I_D)$$

により求める。本明細書においてはドレイン電圧 V_D が 1 V での ($\log I_D - V_G$) 測定曲線から、上式により算出した S の曲線の最小値を指すものとする。

30

【 0 0 2 9 】

ところで T F T では M O S F E T のバルクに対応する部分が絶縁体基板となるために、チャネル、ソースやドレインとバルクとの間で生じる従属容量が無い。そこで駆動電圧が等しければ、動作のための消費電力は I C 外付けのときに比べて少ないはずである。しかし従来の T F T はしきい電圧制御が不十分であったので一体形成の場合、駆動電圧は I C 外付けの場合の数倍にせざるを得なく、むしろ高消費電力となっていた。本発明では、しきい電圧が $-1.0 \text{ V} \sim 1.0 \text{ V}$ と均質な T F T を用いることで駆動電圧を従来の一体形成の駆動回路の $1/2$ 倍程度に下げることができ、I C 外付けの場合との比較において消費電力の面で大きな不利がなく済むという特長が存する。

40

【 0 0 3 0 】

さらに外付け I C を用いて信号分割回路を構成すると、信号分割回路の出力部の数 (信号分割数) m が大きい場合には、基板上と基板外部との接続線 (電源線、信号供給線や共通電位線が通常含まれる) の数は著しく増加し、接続不良発生や製造中における静電気による T F T 破壊の危険も高くなる。本発明はこの危険の回避に役立つという利点がある。

【 0 0 3 1 】

例えば、入力デジタル信号が 8 ビットで 1 画素情報を表現しており、この入力デジタル信

50

号を8分割(すなわち $m = 8$)して駆動回路に供給する場合を考えてみる。簡単のためRGB等の区別はせず、入力デジタル信号線は1本とする。外付けICの信号分割回路を用いるなら、64(8ビット×8分割)本の修正デジタル信号線と、約20本のその他の線(駆動回路を動作させる上で必要となる信号供給線および電源線、共通定電位線など)とで、計約80本の基板上と外部との接続線が必要である。これに対し一体形成のTFTの信号分割回路を用いるなら、8(8ビット)本の入力デジタル信号線と、約30本のその他の線(信号分割回路、駆動回路を動作させる上で必要となる信号供給線および電源線、共通定電位線など)とで、計約40本の基板上と外部との接続線で足りる。

【0032】

なお信号分割回路の必要性とそのTFT化の利点は、デジタル信号を入力信号とする半導体装置に限らず、アナログ信号を入力信号とする半導体装置の場合についても妥当する。ただアナログ信号を入力信号とする半導体装置は、やはり図1のような構成は採るものの、駆動回路、信号分割回路の中身は入力信号がデジタル信号かアナログ信号かに対応して変わる。そして特に信号分割回路中では入力信号の増幅が欠かせないが、TFTにより増幅を行うことはアナログ信号だと精度が低く実用的ではない。その点デジタル信号はTFTによっても高精度で増幅可能であるという大きな差異があり、本発明の実現が可能となる。

【0033】

【実施例】

【0034】

(実施例1)

【0035】

本発明の実施例の構成ブロック図を図2に示す。これはデジタル信号を入力信号とする液晶表示装置に適用する例である。信号分割回路202はTFTを用いて構成され、画素マトリクス部206の回路や駆動回路204、205と同一の基板上に一体形成される。

【0036】

信号分割回路202の構成図を図3(1)に示す。本実施例では入力デジタル信号線本数 n は1、信号分割数 m は4とし、入力デジタル信号は80MHz(XGA規格の画像表示に対応)を想定している。ラッチ前段301乃至304およびラッチ後段305乃至308は、各々図3(2)のように2個のインバータ(372、374)と4個のクロックド・インバータ(371、373、375、376)により構成できる。信号入力部381は361に、信号出力部382は362に、クロック信号入力部383、384はそれぞれ363、364に対応する。

【0037】

まず本実施例の動作を、図4のタイミングチャートを参照しながら説明する。T0、T1、T2、T3、T4、・・・T10の各期間は入力デジタル信号のパルス長と等しく12.5nsである。

クロック信号線323にはCKのような信号が入力され、クロック信号線322にはその反転信号CKbが入力される。このような両クロック信号およびRSに示されるようなりセット信号の入力を受け、カウンタ回路309はSCのような修正クロック信号を修正クロック信号線324に、その反転信号SCbを修正クロック信号線325に出力する。

【0038】

入力デジタル信号は信号分割回路の入力部321に伝えられる。そして入力デジタル信号の各情報は、クロック信号CK又はCKbの周期毎にラッチ前段301から同302へ、ラッチ前段302から同303へと順に移されていく。OL1、OL2、OL3、OL4は各ラッチ前段の出力部311、312、313、314での電位変化であるが、入力デジタル信号の電位情報が移されていく様子が示されている。

【0039】

修正クロック信号SCが負になる時(例T5及びT6)、ラッチ前段301に保持されている入力デジタル信号の電位情報はラッチ前段302にだけでなくラッチ後段305にも

10

20

30

40

50

移される。同様にラッチ前段 3 0 2 の電位情報はラッチ後段 3 0 6 にも、ラッチ前段 3 0 3 の電位情報はラッチ後段 3 0 7 にも、ラッチ前段 3 0 4 の電位情報はラッチ後段 3 0 8 に移される。ただ各ラッチ後段において T 5 の時の電位情報は、T 6 の時に移されてくる電位情報の上書きを受けるため、結果としては T 6 のときの電位情報のみが残ることになる。

【 0 0 4 0 】

上述のような動作により、各ラッチ後段の出力部に接続する各修正デジタル信号線 3 3 1、3 3 2、3 3 3、3 3 4 からは O L 1、O L 2、O L 3、O L 4 に示す修正デジタル信号が送出される。T 7 から T 1 0 の期間の各修正デジタル信号は、S D 1 が T 3、S D 2 が T 4、S D 3 が T 5、S D 4 が T 6 の時における O L 1 の電位情報に相当するものである。各修正デジタル信号のパルス長は 5 0 n s (入力デジタル信号のパルス長の 4 倍) になっている。

10

【 0 0 4 1 】

信号分割回路より送出される各修正デジタル信号は、信号分割回路と同一基板上に一体形成されている駆動回路 2 0 4 に、やはり同一基板上に一体形成されている修正デジタル信号線 2 1 2 を通して伝えられる。修正デジタル信号線 2 1 2 は 1 本しか図示していないが、4 (= m × n) 本ある。

【 0 0 4 2 】

以下に本実施例の実現を可能とするキャリア移動度 $150 \text{ cm}^2 / \text{Vs}$ 以上の高質多結晶珪素膜を有する T F T の作製工程の例を述べる。この工程によれば、さらに S 値が $0.15 \text{ V} / \text{dec}$ 以下、しきい電圧が $-1.0 \text{ V} \sim 1.0 \text{ V}$ の条件にも適合する T F T を作製し得る。ただし本実施例は、以下の工程以外の方法により作製される移動度 $150 \text{ cm}^2 / \text{Vs}$ 以上の T F T を用いてもよいことは言うまでもない。

20

【 0 0 4 3 】

(T F T 作製工程例)

ここでは本実施例に用いられる T F T の中でも特に、信号分割回路、駆動回路の両方で使用される素子であるインバータ中の T F T を例にとり、平面図 (図 1 0 ~ 図 1 1) および断面図 (図 5 ~ 図 7 左) を示しながら作製工程を説明する。インバータは N チャネル T F T、P チャネル T F T 各々一つずつを用い構成している。又これらと一体形成される画素マトリクス部の回路に用いられる画素 T F T (N チャネル T F T を用いている) について

30

も、断面図のみ (図 5 ~ 図 7 右) であるが示しながら説明する。ただし本工程例ではインバータ、画素 T F T に限らず、薄膜により構成可能ないかなる電子部品も同時に作製可能であり、信号分割回路、駆動回路および画素マトリクス部の回路の全体が一体形成できる。

【 0 0 4 4 】

図 1 0 ~ 図 1 1 は基板を上からみた平面図である。図 5 ~ 図 7 中の各断面図は、図 1 0 ~ 図 1 1 における破線 4 7 0 に沿って切った断面を示している。

【 0 0 4 5 】

図 1 0 および図 5 を参照する。まず、絶縁表面を有する基板として石英基板 4 0 1 を準備する。

40

【 0 0 4 6 】

4 0 2 は非晶質珪素膜であり、最終的な膜厚 (熱酸化後の膜減りを考慮した膜厚) が $10 \sim 70 \text{ nm}$ (好ましくは 50 nm) となる様に成膜する。なお、成膜に際して膜中の不純物濃度の管理を徹底的に行うことは重要である。

【 0 0 4 7 】

本例の場合、非晶質珪素膜 4 0 2 中において代表的な不純物である C (炭素)、N (窒素)、O (酸素)、S (硫黄) の濃度はいずれも $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満 (好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下) となる様に管理している。各不純物がこれ以上の濃度で存在すると、結晶化の際に悪影響を及ぼし、結晶化後の膜質を低下させる原因となりうる。

50

【 0 0 4 8 】

なお、非晶質珪素膜 4 0 2 中の水素濃度も非常に重要なパラメータであり、水素含有量を低く抑えた方が結晶性の良い膜が得られる様である。そのため、非晶質珪素膜 4 0 2 の成膜は減圧熱 C V D 法であることが好ましい。

【 0 0 4 9 】

次に、非晶質珪素膜 4 0 2 の結晶化工程を行う。結晶化の手段としては特開平 7 - 1 3 0 6 5 2 号公報記載の技術を用いる。同公報の実施例 1 および実施例 2 のどちらの手段でも良いが、本例では、同公報の実施例 2 に記載した技術内容（特開平 8 - 7 8 3 2 9 号公報に詳しい）を利用するのが好ましい。

【 0 0 5 0 】

特開平 8 - 7 8 3 2 9 号公報記載の技術は、まず触媒元素の添加領域を選択するマスク絶縁膜 4 0 3 を形成する。マスク絶縁膜 4 0 3 は触媒元素を添加するために複数箇所の開口部を有している（図 5（A）、図 1 0（A））。この開口部の位置によって結晶領域の位置を決定することができる。

【 0 0 5 1 】

そして、非晶質珪素膜の結晶化を助長する触媒元素としてニッケル（Ni）を含有した溶液をスピコート法により塗布し、Ni 含有層 4 0 4 を形成する。

【 0 0 5 2 】

次に、触媒元素の添加工程が終了したら、4 5 0 で 1 時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において 5 5 0 ~ 6 5 0 の温度で 4 ~ 2 4 時間の加熱処理を加えて非晶質珪素膜 8 0 2 の結晶化を行う。本例では窒素雰囲気 5 7 0 で 1 4 時間の加熱処理を行う。

【 0 0 5 3 】

この時、非晶質珪素膜 4 0 2 の結晶化はニッケルを添加した領域 4 0 5 および 4 0 6 で発生した核から優先的に進行し、基板 4 0 1 の基板面に対してほぼ平行に成長した結晶領域 4 0 7 および 4 0 8 が形成される（図 5（B）、図 1 0（B））。この結晶領域 4 0 7 および 4 0 8 を横成長領域と呼ぶ。横成長領域は比較的揃った状態で個々の結晶が集合しているため、全体的な結晶性に優れるという利点がある。

【 0 0 5 4 】

なお、上述の特開平 7 - 1 3 0 6 5 2 号公報の実施例 1 に記載された技術を用いた場合も微視的には横成長領域と呼びうる領域が形成されている。しかしながら、核発生が面内において不均一に起こるので結晶粒界の制御性の面で難がある。

【 0 0 5 5 】

結晶化のための加熱処理が終了したら、マスク絶縁膜 4 0 3 を除去してパターニングを行い、横成長領域 4 0 7 および 4 0 8 でなる島状半導体層（活性層）4 0 9、4 1 0、および 4 1 1 を形成する（図 5（C）、図 1 0（C））。

【 0 0 5 6 】

ここで 4 0 9 は信号分割回路又は駆動回路を構成する N 型 T F T の活性層、4 1 0 は同 P 型 T F T の活性層、4 1 1 は画素マトリクス回路を構成する N 型 T F T（画素 T F T）の活性層である。

【 0 0 5 7 】

活性層 4 0 9、4 1 0、および 4 1 1 を形成したら、その上に珪素を含む絶縁膜でなるゲート絶縁膜 4 1 2 を成膜する。

【 0 0 5 8 】

そして、次に図 5（D）、図 1 0（D）に示す様に触媒元素（ニッケル）を除去または低減するための加熱処理（触媒元素のゲッターリングプロセス）を行う。この加熱処理は処理雰囲気中にハロゲン元素を含ませ、ハロゲン元素による金属元素のゲッターリング効果を利用するものである。

【 0 0 5 9 】

なお、ハロゲン元素によるゲッターリング効果を十分に得るためには、上記加熱処理を 7 0

10

20

30

40

50

0 を超える温度で行なうことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、ゲッターリング効果が得られなくなる恐れがある。

【0060】

本例では酸素雰囲気中に対して塩化水素（HCl）を3体積%の濃度で含有させた雰囲気中において、950 で、30分の加熱処理を行う。HCl濃度を10体積%以上とすると、活性層409、410、および411の表面に膜厚程度の凹凸が生じてしまうため好ましくない。

【0061】

この工程においては活性層409、410、および411中のニッケルが塩素の作用によりゲッターリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去されると考えられる。そして、この工程により活性層409、410、および411中のニッケルの濃度は $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にまで低減される。

10

【0062】

また、上記加熱処理により活性層409、410、および411とゲート絶縁膜412の界面では熱酸化反応が進行し、熱酸化膜の分だけゲート絶縁膜412の膜厚は増加する。この様にして熱酸化膜を形成すると、非常に界面準位の少ない半導体/絶縁膜界面を得ることができる。また、活性層端部における熱酸化膜の形成不良（エッジシニング）を防ぐ効果もある。

【0063】

さらに、上記ハロゲン雰囲気における加熱処理を施した後に、窒素雰囲気中で950 で1時間程度の加熱処理を行なうことで、ゲート絶縁膜412の膜質の向上を図ることも有効である。

20

【0064】

次に、図10、図11および図6を参照する。図示しないアルミニウムを主成分とする金属膜を成膜し、パターニングによって後のゲート電極の原型413、414、および415を形成する。本例では2wt%のスカンジウムを含有したアルミニウム膜を用いる（図6（A）、図10（E））。

【0065】

次に、特開平7-135318号公報記載の技術により多孔性の陽極酸化膜416、417、および418、無孔性の陽極酸化膜419、420、および421、ゲート電極422、423、および424を形成する（図6（B）、図10（F））。

30

【0066】

こうして図6（B）の状態が得られたら、次にゲート電極422、423、および424、多孔性の陽極酸化膜416、417、および418をマスクとしてゲート絶縁膜412をエッチングする。そして、多孔性の陽極酸化膜416、417、および418を除去して図6（C）（平面図は図11（A））の状態を得る。なお、図6（C）において425、426、および427で示されるのは加工後のゲート絶縁膜である。

【0067】

次に図6（D）、図11（B）に示す工程では、一導電性を付与する不純物元素の添加を行う。不純物元素としてはN型ならばP（リン）またはAs（砒素）、P型ならばB（硼素）を用いれば良い。

40

【0068】

本例では、不純物添加を2回の工程に分けて行う。まず、1回目の不純物添加（本例ではP（リン）を用いる）を高加速電圧80keV程度で行い、 n^- 領域を形成する。この n^- 領域は、Pイオン濃度が $1 \times 10^{18} \text{ atoms/cm}^3 \sim 1 \times 10^{19} \text{ atoms/cm}^3$ となるように調節する。

【0069】

さらに、2回目の不純物添加を低加速電圧10keV程度で行い、 n^+ 領域を形成する。この時は、加速電圧が低いので、ゲート絶縁膜がマスクとして機能する。また、この n^+ 領域は、シート抵抗が500 以下（好ましくは300 以下）となるように調節する。

50

【0070】

以上の工程を経て、信号分割回路又は駆動回路を構成するN型TFTのソース領域428、ドレイン領域429、低濃度不純物領域430、チャンネル形成領域431が形成される。また、画素TFTを構成するN型TFTのソース領域432、ドレイン領域433、低濃度不純物領域434、チャンネル形成領域435が確定する(図6(D)、図11(B))。

【0071】

なお、図6(D)に示す状態では信号分割回路又は駆動回路を構成するP型TFTの活性層もN型TFTの活性層と同じ構成となっている。

【0072】

次に図11および図7を参照する。図7(A)(平面図は図11(C))に示すように、N型TFTを覆ってレジストマスク436を設け、P型を付与する不純物イオン(本例では硼素を用いる)の添加を行う。

【0073】

この工程も前述の不純物添加工程と同様に2回に分けて行うが、N型をP型に反転させる必要があるため、前述のPイオンの添加濃度の数倍程度の濃度のB(硼素)イオンを添加する。

【0074】

こうして信号分割回路又は駆動回路を構成する回路を構成するP型TFTのソース領域438、ドレイン領域437、低濃度不純物領域439、チャンネル形成領域440が形成される(図7(A)、図9(C))。

【0075】

以上の様にして活性層が完成したら、ファースアニール、レーザーアニール、ランプアニール等の組み合わせによって不純物イオンの活性化を行う。それと同時に添加工程で受けた活性層の損傷も修復される。

【0076】

次に、層間絶縁膜441として酸化珪素膜と窒化珪素膜との積層膜を形成する。さらに層間絶縁膜441にコンタクトホールを形成した後、ソース電極442、443、および444、ドレイン電極445、446を形成すると図7(B)および図11(D)に示す状態を得る。

【0077】

次に、有機性樹脂膜でなる第2の層間絶縁膜447を0.5~3 μ mの厚さに形成する(図7(C)、図11(E))。この有機性樹脂膜としてはポリイミド、アクリル、ポリアミド、ポリイミドアミドなどが用いられ得る。この第2の層間絶縁膜448に有機性樹脂膜を用いることの利点は、1 成膜方法が簡単であること、2 膜厚を容易に厚くできること、3 比誘電率が低いので寄生容量を低減できること、4 平坦性に優れていること、などが挙げられる。

【0078】

次に、10~50nmの厚さの窒化珪素膜450、ブラックマスク448を形成する。そして、酸化珪素膜、窒化珪素膜、有機性樹脂膜のいずれかあるいはこれらの積層膜からなる第3の層間絶縁膜449を0.1~0.3 μ mの厚さに形成する。さらに、層間絶縁膜449にコンタクトホールを形成し、成膜した導電膜をパターンングすることにより画素電極450を形成する。本例は透過型の例であるため画素電極450を構成する導電膜としてITO等の透明導電膜を用いる(図7(C)、図11(E))。

【0079】

図7(C)の構成では、層間絶縁膜449を介して、画素電極450とブラックマスク448とが重畳する領域で補助容量が形成する。

【0080】

なお、図7(C)に示すような構成では、広い面積を占めやすい補助容量をTFTの上に形成することで開口率の低下を防ぐことが可能である。また、誘電率の高い窒化珪素膜を

10

20

30

40

50

25 nm程度の厚さで用いると、少ない面積で非常に大きな容量を確保することが可能である。

【0081】

次に、基板全体を350 の水素雰囲気中で1～2時間加熱し、素子全体の水素化を行うことで膜中（特に活性層中）のダングリングボンド（不対結合手）を補償する。以上の工程を経て同一基板上に信号分割回路、駆動回路および画素マトリクス部の回路を作製することができる。

【0082】

この工程により本発明の出願人は、PチャネルTFTにおいてはホールの移動度が150 cm²/Vs以上、S値が0.15 V/d e c以下、しきい電圧が-1.0 V～0.0 Vの特性をもつTFTが作製でき、NチャネルTFTにおいては電子の移動度が150 cm²/Vs以上、S値が0.15 V/d e c以下、しきい電圧が0.0 V～1.0 Vの特性をもつTFTが作製できた。

10

【0083】

ここで、本実施例の作製方法によって作製され半導体薄膜について説明する。本実施例の作製方法によると、非晶質珪素膜を結晶化させて、連続粒界結晶シリコン（いわゆるContinuous Grain Silicon: CGS）と呼ばれる結晶シリコン膜を得ることができる。

【0084】

本実施例の作製方法によって得られた半導体薄膜の横成長領域は棒状または偏平棒状結晶の集合体からなる特異な結晶構造を示す。以下にその特徴について示す。

20

【0085】

〔活性層の結晶構造に関する知見〕

【0086】

上述の作製工程に従って形成した横成長領域は、微視的に見れば複数の棒状（または偏平棒状）結晶が互いに概略平行に特定方向への規則性をもって並んだ結晶構造を有する。このことはTEM（透過型電子顕微鏡法）による観察で容易に確認することができる。

【0087】

また、本発明者らは上述した作製方法によって得られた半導体薄膜の結晶粒界をHR-TEM（高分解能透過型電子顕微鏡法）を用いて800万倍に拡大し、詳細に観察した（図12（A））。ただし、本明細書中において結晶粒界とは、断りがない限り異なる棒状結晶同士が接した境界に形成される粒界を指すものと定義する。従って、例えば別々の横成長領域がぶつかりあって形成される様なマクロな意味あいでの粒界とは区別して考える。

30

【0088】

ところで前述のHR-TEM（高分解能透過型電子顕微鏡法）とは、試料に対して垂直に電子線を照射し、透過電子や弾性散乱電子の干渉を利用して原子・分子配列を評価する手法である。同手法を用いることで結晶格子の配列状態を格子縞として観察することが可能である。従って、結晶粒界を観察することで、結晶粒界における原子同士の結合状態を推測することができる。

【0089】

本出願人が得たTEM写真（図12（A））では異なる二つの結晶粒（棒状結晶粒）が結晶粒界で接した状態が明瞭に観察された。また、この時、二つの結晶粒は結晶軸に多少のずれが含まれているものの概略{110}配向であることが電子線回折により確認されている。

40

【0090】

ところで、前述の様なTEM写真による格子縞観察では{110}面内に{111}面に対応する格子縞が観察された。なお、{111}面に対応する格子縞とは、その格子縞に沿って結晶粒を切断した場合に断面に{111}面が現れる様な格子縞を指している。格子縞がどの様な面に対応するかは、簡易的には格子縞間の距離により確認できる。

【0091】

この時、本出願人は上述した作製方法によって得られた半導体薄膜のTEM写真を詳細

50

に観察した結果、非常に興味深い知見を得た。写真に見える異なる二つの結晶粒ではどちらにも $\{111\}$ 面に対応する格子縞が見えていた。そして、互いの格子縞が明らかに平行に走っているのが観察されたのである。

【0092】

さらに、結晶粒界の存在と関係なく、結晶粒界を横切る様にして異なる二つの結晶粒の格子縞が繋がっていた。即ち、結晶粒界を横切る様にして観測される格子縞の殆どが、異なる結晶粒の格子縞であるにも拘らず直線的に連続していることが確認できた。これは任意の結晶粒界で同様であり、全体の90%以上(典型的には95%以上)の格子縞が結晶粒界で連続性を保っている。

【0093】

この様な結晶構造(正確には結晶粒界の構造)は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。換言すれば、結晶粒界において結晶格子に連続性があるとも言える。

【0094】

なお、図12(B)に、本出願人らはリファレンスとして従来の多結晶珪素膜(いわゆる高温ポリシリコン膜)についても電子線回折およびHR-TEM観察による解析を行った。その結果、異なる二つの結晶粒において互いの格子縞は全くバラバラに走っており、結晶粒界で整合性よく連続する様な接合は殆どなかった。即ち、結晶粒界では格子縞が途切れた部分が多く、結晶欠陥が多いことが判明した。このような部分では、未結合手が存在

することになり、トラップ準位としてキャリアの移動を阻害する可能性が高い。

【0095】

本出願人らは、上述した作製方法で得られる半導体薄膜の様に格子縞が整合性良く対応した場合の原子の結合状態を整合結合と呼び、その時の結合手を整合結合手と呼ぶ。また、逆に従来の多結晶珪素膜に多く見られる様に格子縞が整合性良く対応しない場合の原子の結合状態を不整合結合と呼び、その時の結合手を不整合結合手(又は不对結合手)と呼ぶ。

【0096】

本願発明で利用する半導体薄膜は結晶粒界における整合性が極めて優れているため、上述の不整合結合手が極めて少ない。本発明者らが任意の複数の結晶粒界について調べた結果、全体の結合手に対する不整合結合手の存在割合は10%以下(好ましくは5%以下、さらに好ましくは3%以下)であった。即ち、全体の結合手の90%以上(好ましくは95%以上、さらに好ましくは97%以上)が整合結合手によって構成されているのである。

【0097】

また、前述の作製方法に従って作製した横成長領域を電子線回折で観察した結果を図13(A)に示す。なお、図13(B)は比較のために観察した従来のポリシリコン膜(高温ポリシリコン膜と呼ばれるもの)の電子線回折パターンである。

【0098】

次に、本実施例の作製方法による結晶性珪素膜を電子線回折によって調べた結果を図13に示す。ここでは、図13(A)に本願発明の結晶性珪素膜の代表的な電子線回折パターンを示し、図13(B)に参考として従来の高温ポリシリコン膜の代表的な電子線回折パターンを示す。

【0099】

なお、図13(A)および(B)は電子線の照射スポットの径を1.35 μm として測定を行っているため、格子縞レベルに比べて十分マクロな領域の情報を拾っていると考えてよい。

【0100】

また、図13(C)は単結晶シリコンの $\{110\}$ 面に垂直に電子線を照射した場合の電子線回折パターンである。通常、この様な電子線回折パターンと観測結果とを見比べ、観察試料の配向性が何であるかを推測する。

10

20

30

40

50

【 0 1 0 1 】

図 1 3 (A) の場合、図 1 3 (C) に示す様な 1 1 0 入射に対応する回折斑点が比較的きれいに現れており、結晶軸が 1 1 0 軸である (結晶面が { 1 1 0 } 面である) ことが確認できる。

【 0 1 0 2 】

なお、各斑点は同心円状の広がりを僅かにもっているが、これは結晶軸まわりにある程度の回転角度の分布をもつためと予想される。その広がりの程度はパターンから見積もっても 5 ° 以内である。

【 0 1 0 3 】

また、多数観測するうちには回折斑点が部分的に見えない場合があった (図 1 3 (A) でも一部分の回折斑点が見えない) 。おそらくは概略 { 1 1 0 } 配向であるものの、わずかに結晶軸がずれているために回折パターンが見えなくなっているものと思われる。

10

【 0 1 0 4 】

本出願人らは、結晶面内に殆ど必ず { 1 1 1 } 面が含まれるという事実を踏まえ、おそらく 1 1 1 軸まわりの回転角のずれがその様な現象の原因であろうと推測している。

【 0 1 0 5 】

一方、図 1 3 (B) に示す電子線回折パターンの場合、回折斑点には明瞭な規則性が見られず、ほぼランダムに配向していることが確認できる。即ち、{ 1 1 0 } 面以外の面方位の結晶が不規則に混在すると予想される。

【 0 1 0 6 】

これらの結果が示す様に、本願発明の結晶性珪素膜の特徴は殆ど全ての結晶粒が概略 { 1 1 0 } 面に配向しており、かつ、結晶粒界において格子に連続性を有することにある。この特徴は、従来のポリシリコン膜にはないものである。

20

【 0 1 0 7 】

以上の様に、前述した作製工程で作製された半導体薄膜は従来の半導体薄膜とは全く異なる結晶構造 (正確には結晶粒界の構造) を有する半導体薄膜であった。本発明者らは本願発明で利用する半導体薄膜について解析した結果を特願平 9-55633 号、同 9-165216 号、同 9-212428 号でも説明している。

【 0 1 0 8 】

なお、本出願人らは特開平 7-321339 号公報に記載した手法に従って X 線回折を行い、上述の作製方法の結晶性珪素膜について配向比率を算出した。同公報では下記数 1 に示す様な算出方法で配向比率を定義している。

30

【 0 1 0 9 】

【 数 1 】

{220} 配向存在比=1 (一定)

$$\{111\} \text{ 配向存在比} = \frac{\text{試料の } \{111\} \text{ の } \{220\} \text{ に対する相対強度}}{\text{粉末の } \{111\} \text{ の } \{220\} \text{ に対する相対強度}}$$

10

$$\{311\} \text{ 配向存在比} = \frac{\text{試料の } \{311\} \text{ の } \{220\} \text{ に対する相対強度}}{\text{粉末の } \{311\} \text{ の } \{220\} \text{ に対する相対強度}}$$

20

{220} 配向比率=

$$\frac{\{220\} \text{ 配向存在比}}{\{220\} \text{ 配向存在比} + \{111\} \text{ 配向存在比} + \{311\} \text{ 配向存在比}}$$

30

【0110】

ここで上述の半導体薄膜の配向性をX線回折で測定した結果の一例を図17に示す。なお、X線回折パターンには(220)面に相当するピークが現れているが、{110}面と等価であることは言うまでもない。この測定の結果、{110}面が主たる配向であり、配向比率は0.7以上(典型的には0.9以上)であることが判明した。

【0111】

以上に示してきた通り、本実施例の作製方法による結晶性珪素膜と従来のポリシリコン膜とは全く異なる結晶構造(結晶構成)を有していることが判る。この点からも本願発明の結晶性珪素膜は全く新しい半導体膜であると言える。

【0112】

なお、本発明の半導体薄膜を形成するにあたって結晶化温度以上の温度でのアニール工程は、結晶粒内の欠陥低減に関して重要な役割を果たしている。その事について説明する。

【0113】

図14(A)は上述の結晶化工程までを終了した時点での結晶シリコン膜を25万倍に拡大したTEM写真であり、結晶粒内(黒い部分と白い部分はコントラストの差に起因して現れる)に矢印で示される様なジグザグ状に見える欠陥が確認される。

【0114】

このような欠陥は主としてシリコン結晶格子面の原子の積み重ね順序が食い違っている積層欠陥であるが、転位などの場合もある。図14(A)は{111}面に平行な欠陥面を有する積層欠陥と思われる。その事は、ジグザグ状に見える欠陥が約70°の角をなして折

50

れ曲がっていることから推測できる。

【0115】

一方、図14(B)に示す様に、同倍率で見た本実施例の作製方法による結晶シリコン膜は、結晶粒内には殆ど積層欠陥や転位などに起因する欠陥が見られず、非常に結晶性が高いことが確認できる。この傾向は膜面全体について言えることであり、欠陥数をゼロにすることは現状では困難であるが、実質的にゼロと見なせる程度にまで低減することができる。

【0116】

即ち、図14(B)に示す結晶シリコン膜は結晶粒内の欠陥が殆ど無視しうる程度にまで低減され、且つ、結晶粒界が高い連続性によってキャリア移動の障壁になりえないため、単結晶または実質的に単結晶と見なせる。

10

【0117】

この様に、図14(A)と(B)の写真に示した結晶シリコン膜は結晶粒界はほぼ同等の連続性を有しているが、結晶粒内の欠陥数には大きな差がある。本発明の結晶シリコン膜が図14(A)に示した結晶シリコン膜よりも遙に高い電気特性を示す理由はこの欠陥数の差によるところが大きい。

【0118】

こうして得られた本実施例の作製方法による結晶シリコン膜(図14(A))は、単に結晶化を行っただけの結晶シリコン膜(図14(B))に較べて格段に結晶粒内の欠陥数が少ないという特徴を有している。

20

【0119】

この欠陥数の差は電子スピン共鳴分析(Electron Spin Resonance : ESR)によってスピン密度の差となって現れる。現状では本実施例の作製方法による結晶シリコン膜のスピン密度は少なくとも 5×10^{17} spins/cm³以下(好ましくは 3×10^{17} spins/cm³以下)であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0120】

以上の様な結晶構造および特徴を有する本発明の結晶シリコン膜は、連続粒界結晶シリコン(Continuous Grain Silicon : CGS)と呼ばれる。

【0121】

従来の半導体薄膜では結晶粒界がキャリアの移動を妨げる障壁として機能していたのだが、本実施例の作製方法による半導体薄膜ではその様な結晶粒界が実質的に存在しないので高いキャリア移動度が実現される。そのため、本実施例の作製方法による半導体薄膜を用いて作製したTFETの電気特性は非常に優れた値を示す。この事については以下に示す。

30

【0122】

〔TFETの電気特性に関する知見〕

【0123】

本実施例の作製方法による半導体薄膜は実質的に単結晶と見なせる(実質的に結晶粒界が存在しない)ため、それを活性層とするTFETは単結晶シリコンを用いたMOSFETに匹敵する電気特性を示す。本出願人らが試作したTFETからは次に示す様なデータが得られている。

40

【0124】

(1) TFETのスイッチング性能(オン/オフ動作の切り換えの俊敏性)の指標となるサブスレッショルド係数が、Nチャネル型TFETおよびPチャネル型TFETともに60~100mV/decade(代表的には60~85mV/decade)と小さい。

(2) TFETの動作速度の指標となる電界効果移動度(μ_{FE})が、Nチャネル型TFETで200~650cm²/Vs(代表的には250~300cm²/Vs)、Pチャネル型TFETで100~300cm²/Vs(代表的には150~200cm²/Vs)と大きい。

(3) TFETの駆動電圧の指標となるしきい値電圧(V_{th})が、Nチャネル型TFETで-0.5~1.5V、Pチャネル型TFETで-1.5~0.5Vと小さい。

50

【 0 1 2 5 】

以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。

【 0 1 2 6 】

なお、CGSを形成するにあたって前述した結晶化温度以上の温度（700～1100）でのアニール工程は、結晶粒内の欠陥低減に関して重要な役割を果たしている。そのことについて以下に説明する。

【 0 1 2 7 】

以上のことから、CGSを作製するにあたって、触媒元素のゲッターリングプロセスは必要不可欠な工程であることが判る。本発明者らは、この工程によって起こる現象について次のようなモデルを考えている。

【 0 1 2 8 】

まず、図14(A)に示す状態では結晶粒内の欠陥（主として積層欠陥）には触媒元素（代表的にはニッケル）が偏析している。即ち、Si-Ni-Siといった形の結合が多数存在していると考えられる。

【 0 1 2 9 】

しかしながら、触媒元素のゲッターリングプロセスを行うことで欠陥に存在するNiが除去されるとSi-Ni結合は切れる。そのため、シリコンの余った結合手は、すぐにSi-Si結合を形成して安定する。こうして欠陥が消滅する。

【 0 1 3 0 】

勿論、高い温度での熱アニールによって結晶シリコン膜中の欠陥が消滅することは知られているが、ニッケルとの結合が切れて、未結合手が多く発生するためのシリコンの再結合がスムーズに行われると推測できる。

【 0 1 3 1 】

また、本発明者らは結晶化温度以上の温度（700～1100）で加熱処理を行うことで結晶シリコン膜とその下地との間が固着し、密着性が高まることで欠陥が消滅するというモデルも考えている。

【 0 1 3 2 】

〔TF特性とCGSの関係に関する知見〕

上述の様な優れたTF特性は、TFの活性層として、結晶粒界において結晶格子に連続性を有する半導体薄膜を利用している点によるところが大きい。その理由について以下に考察する。

【 0 1 3 3 】

結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi , Japanese Journal of Applied Physics vol.27 , No.5 , pp.751-758 , 1988」に記載された「Planar boundary」である。

【 0 1 3 4 】

上記論文によれば、平面状粒界には{111}双晶粒界、{111}積層欠陥、{221}双晶粒界、{221}twist粒界などが含まれる。この平面状粒界は電氣的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【 0 1 3 5 】

特に{111}双晶粒界は3の対応粒界、{221}双晶粒界は9の対応粒界とも呼ばれる。値は対応粒界の整合性の程度を示す指針となるパラメータであり、値が小さいほど整合性の良い粒界であることが知られている。

【 0 1 3 6 】

本出願人が本実施例の作製方法による半導体薄膜を詳細にTEMで観察した結果、結晶粒界の殆ど（90%以上、典型的には95%以上）が3の対応粒界、即ち{111}双晶

10

20

30

40

50

粒界であることが判明した。

【0137】

二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が $\{110\}$ である場合、 $\{111\}$ 面に対応する格子縞がなす角を θ とすると、 $\theta = 70.5^\circ$ の時に 3 の対応粒界となることが知られている。

【0138】

従って、図12(A)のTEM写真に示された結晶粒界では、隣接する結晶粒の各格子縞が約 70° の角度で連続しており、この結晶粒界は $\{111\}$ 双晶粒界であると容易に推察することができる。

【0139】

なお、 $\theta = 38.9^\circ$ の時には 9 の対応粒界となるが、この様な他の結晶粒界も存在した。

【0140】

この様な対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、本願発明の半導体薄膜は面方位が概略 $\{110\}$ で揃っているからこそ、広範囲に渡ってこの様な対応粒界を形成しうるのである。この特徴は、面方位が不規則な他のポリシリコン膜ではあり得ることではない。

【0141】

ここで、本実施例の作製方法による半導体薄膜を1万5千倍に拡大したTEM写真(暗視野像)を図15(A)に示す。白く見える領域と黒く見える領域とが存在するが、同色に見える部分は配向性が同一であることを示している。

【0142】

図15(A)で特筆すべきはこれだけ広範囲の暗視野像において、白く見える領域がかなりの割合で連続的にまとまっている点である。これは配向性の同じ結晶粒がある程度の方角性をもって存在し、隣接する結晶粒同士で殆ど同一の配向性を有していることを意味している。

【0143】

他方、従来的高温ポリシリコン膜を1万5千倍に拡大したTEM写真(暗視野像)を図15(B)に示す。従来的高温ポリシリコン膜では同一面方位の部分はばらばらに点在するのみであり、図15(A)に示す様な方向性のあるまとまりは確認できない。これは隣接する結晶粒同士の配向性が全く不規則であるためと考えられる。

【0144】

また、本出願人は図12に示した測定点以外にも多数の領域に渡って観察と測定を繰り返し、TFEを作製するのに十分な広い領域において、結晶粒界における結晶格子の連続性が保たれていることを確認している。

【0145】

以上に説明した本発明の実施例は、信号分割回路を画素マトリクス部の回路や駆動回路と同一の基板上に一体形成する表示装置の例であった。しかし基板上に信号分割回路のみを形成することも、同様に行い得る。

また入力デジタル信号線は1本でなく複数本でもよいし、信号分割数 m は4でなくとも2以上の自然数ならばよい。修正デジタル信号も入力デジタル信号のパルス長を何倍に時間伸長したものでよく、 m 倍に限られるものではない。入力デジタル信号も80MHzに限られないこと勿論である。入力デジタル信号は80MHz以下ならば当然問題はなく、また百数10MHzであってもよい。

【0146】

(実施例2)

【0147】

本実施例では、図3に示される本発明の信号分割回路において、入力デジタル信号本数 n を1とし、信号分割数 m を8とした場合について説明する。なお、入力デジタル信号は、80MHzとした。また、作製方法については、実施例1の方法に従った。

10

20

30

40

50

【 0 1 4 8 】

図 1 6 に本実施例の信号分割回路の動作をオシロスコープによって測定した結果を示す。それぞれの信号波形を説明する。ここでは、各信号波形の左にある符号 (1、2、3、R 1、R 2、R 3) を用いて、各信号波形を説明する。

【 0 1 4 9 】

信号波形 1 は、リセット信号をモニタしている。信号波形 2 は、クロック信号をモニタしている。信号波形 R 1 は、入力デジタル信号をモニタしている。本実施例においては、上述したように、入力デジタル信号は 8 0 M H z としている。信号波形 R 2 は、シンクロナスカウンタ (カウンタ) の出力信号をモニタしている。信号波形 3 は、信号分割回路からの出力デジタル信号 (1 0 M H z) が示されている。

10

【 0 1 5 0 】

図 1 6 のオシロスコープの信号波形からもわかるように、8 0 M H z で入力された入力デジタル信号が、1 0 M H z の出力デジタル信号となって出力されている。

【 0 1 5 1 】

【 発明の効果 】

本明細書に開示する発明を用いることにより、デジタル信号を入力信号とする半導体表示装置の生産費用を削減することができる。すなわち信号分割回路を T F T を用いて構成し画素マトリクス部の回路及び駆動回路と同一基板上に同時に形成することから、信号分割回路の I C を外付けするために要していた工程や費用が不要となる。

【 0 1 5 2 】

また副次的な効果として、I C 外付けのときに比べ、動作のための消費電力を同程度に維持しつつ、信号分割数 m が大きい場合における基板外部との接続線数の大幅な増加を回避して接続不良発生等の危険を抑制することもできる。

20

【 図面の簡単な説明 】

【 図 1 】 アクティブマトリクス型液晶表示装置の構成概略を示す図である。

【 図 2 】 本発明の実施例を示す構成ブロック図である。

【 図 3 】 本発明の実施例に用いる信号分割回路の構成を示す図である。

【 図 4 】 本発明の実施例に用いる信号分割回路の動作を説明するタイミングチャートである。

【 図 5 】 本発明の実施に用いる T F T の作製工程例を説明する断面図である。

30

【 図 6 】 本発明の実施に用いる T F T の作製工程例を説明する断面図である。

【 図 7 】 本発明の実施に用いる T F T の作製工程例を説明する断面図である。

【 図 8 】 移動度、しきい電圧の決定方法を示す図である。

【 図 9 】 信号分割回路の動作を説明するタイミングチャートである。

【 図 1 0 】 本発明の実施に用いる T F T の作製工程例を説明する、上からみた平面図である。

【 図 1 1 】 本発明の実施に用いる T F T の作製工程例を説明する、上からみた平面図である。

【 図 1 2 】 半導体薄膜の結晶粒界を拡大した H R - T E M 写真図である。

【 図 1 3 】 電子回折パターンの写真図および模式図である。

40

【 図 1 4 】 結晶シリコン膜の結晶粒を示す T E M 写真図である。

【 図 1 5 】 半導体薄膜の暗視野像の写真図である。

【 図 1 6 】 本発明のある実施形態による信号分割回路の動作波形のをオシロスコープ図である。

【 図 1 7 】 X 線回折の結果を示す図である。

【 符号の説明 】

2 0 1 デジタル信号源

2 0 2 信号分割回路

2 0 3 基板

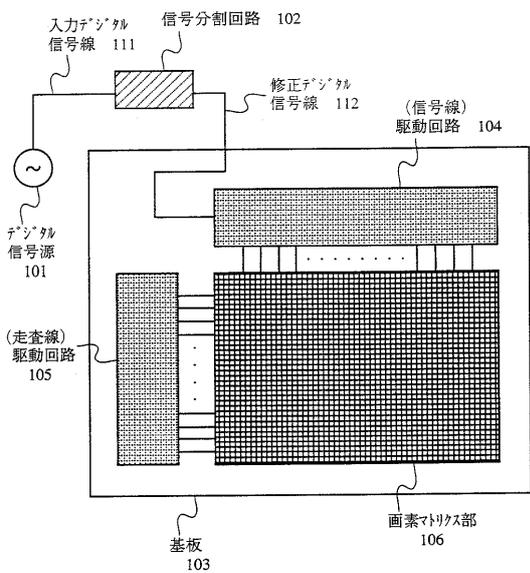
2 0 4、2 0 5 駆動回路

50

- 2 0 6 画素マトリクス部
- 2 1 1 入力デジタル信号線
- 2 1 2 修正デジタル信号線

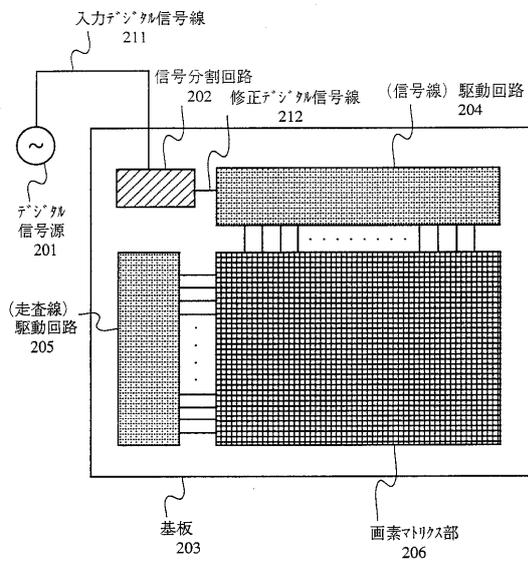
【図 1】

アクティブマトリクス型液晶表示装置の構成概略



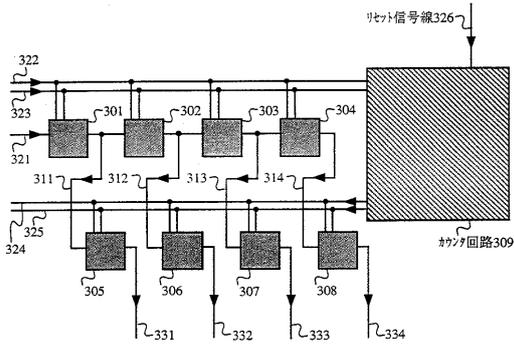
【図 2】

本発明の実施例



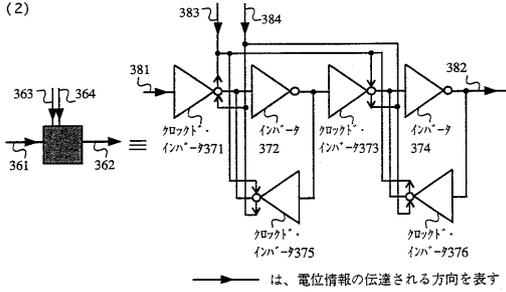
【図3】

(1) 本発明の実施例における信号分割回路 (m=4、n=1) の構成



→ は、電位情報の伝達される方向を表す
 301、302、303、304；ラッチ前段、305、306、307、308；ラッチ後段
 321；入力デジタル信号線、322、323；クロック信号線
 324、325；修正クロック信号線、331、332、333、334；修正デジタル信号線

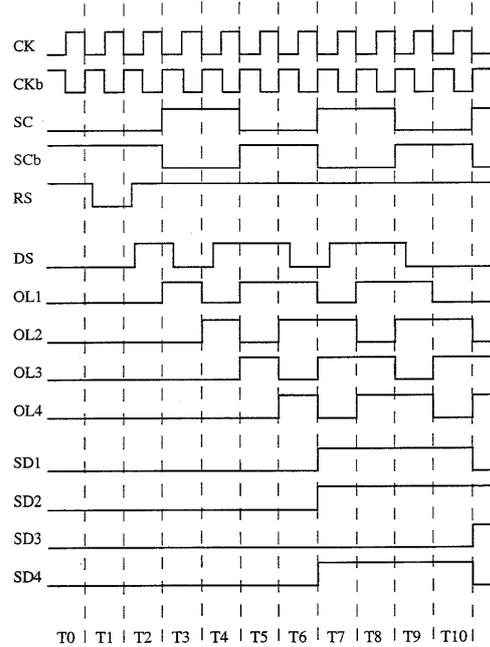
(2)



→ は、電位情報の伝達される方向を表す

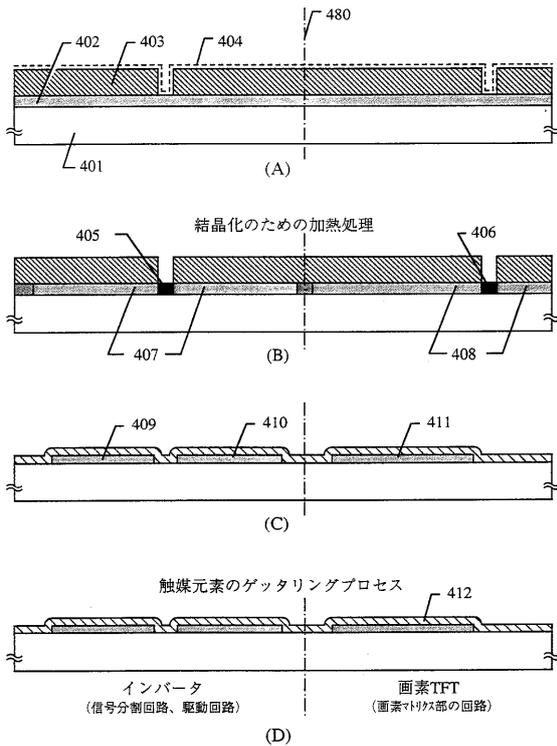
【図4】

本発明の実施例における信号分割回路 (m=4、n=1) のタイミングチャート

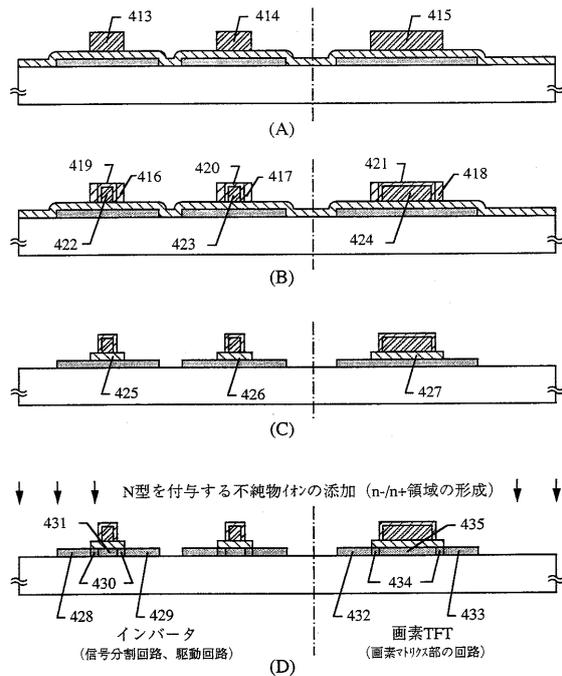


CK、CKb；クロック信号 SC、SCb；修正クロック信号
 RS；リセット信号 DS；入力デジタル信号
 OL1、OL2、OL3、OL4；ラッチ前段出力
 SD1、SD2、SD3、SD4；修正デジタル信号

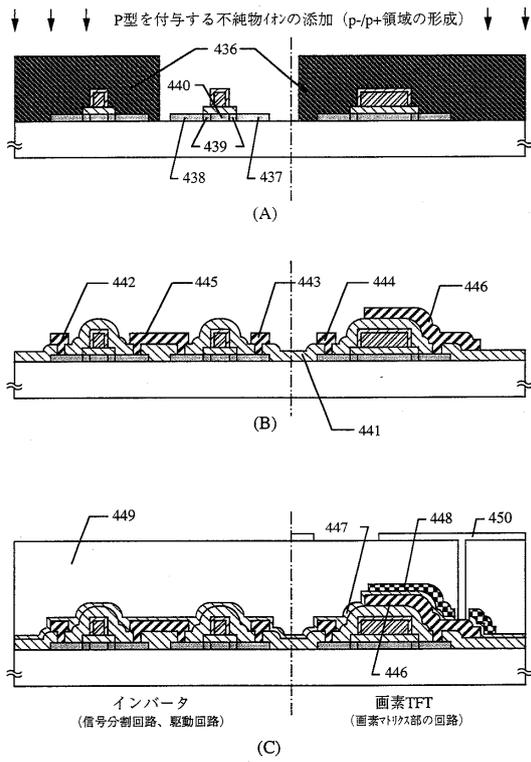
【図5】



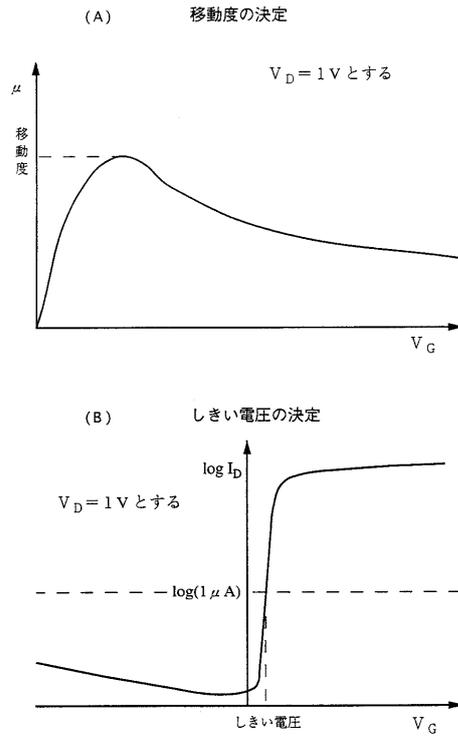
【図6】



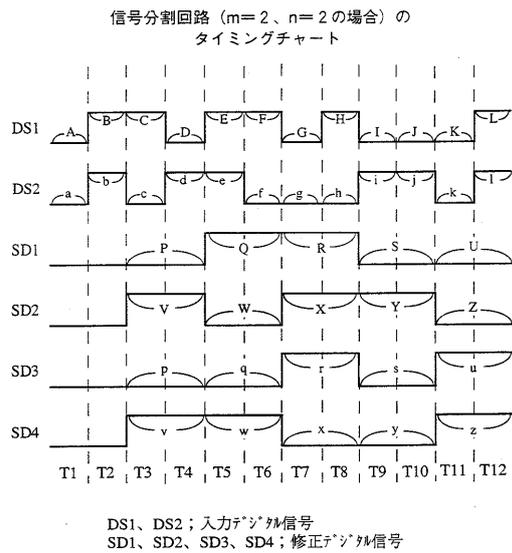
【図7】



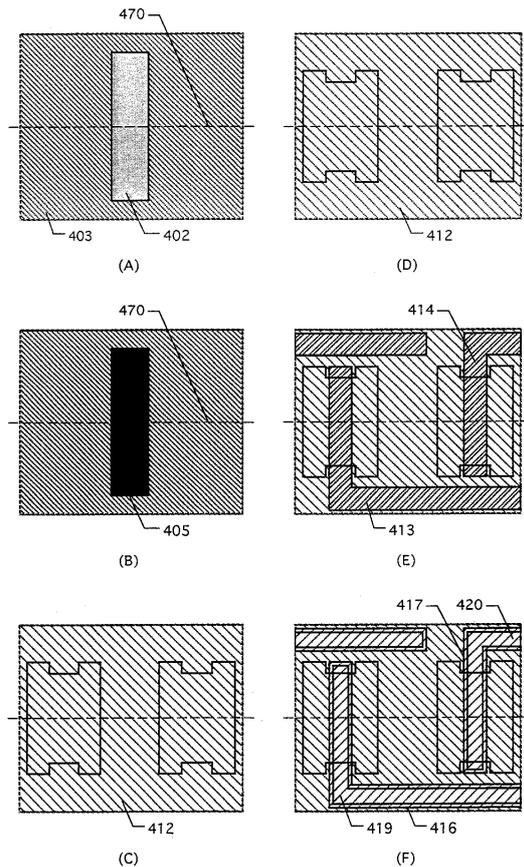
【図8】



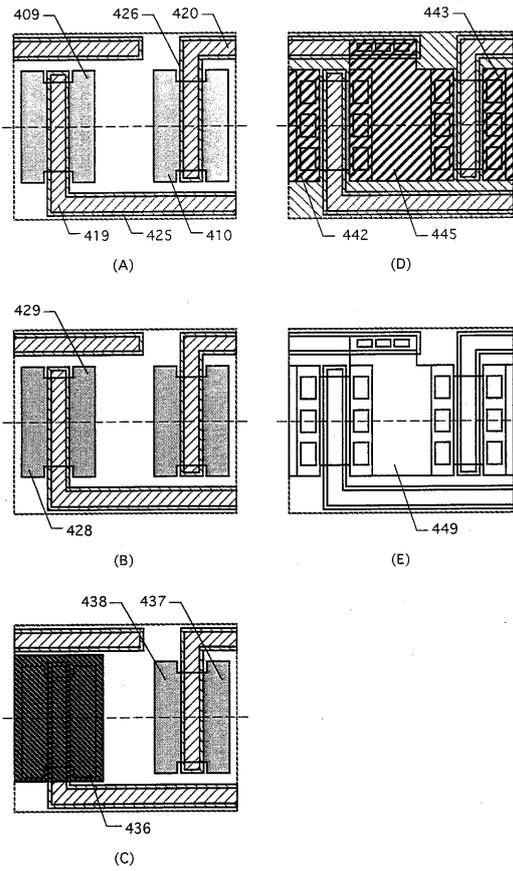
【図9】



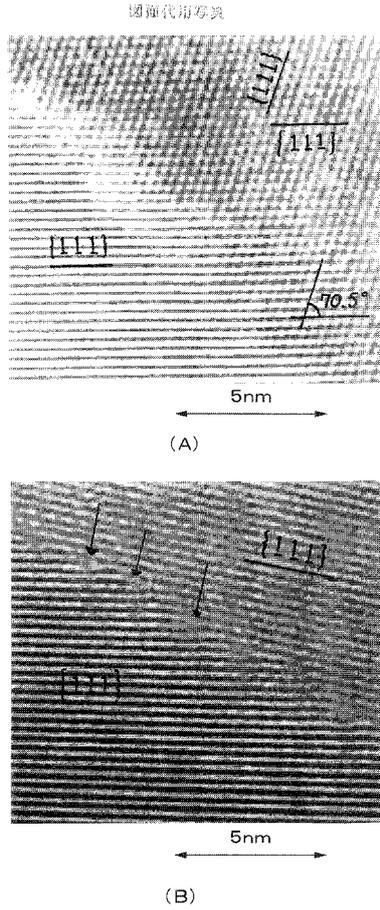
【図10】



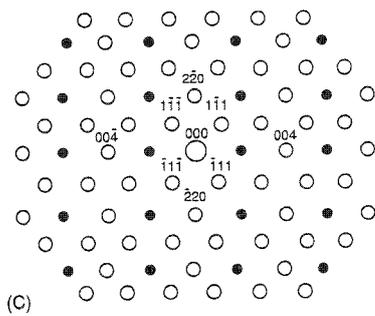
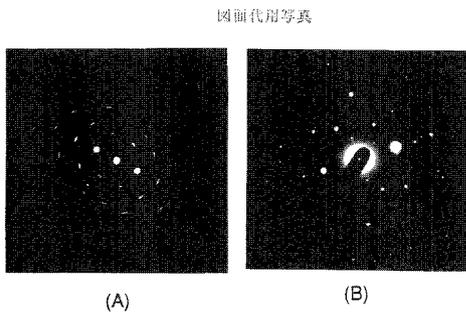
【図 1 1】



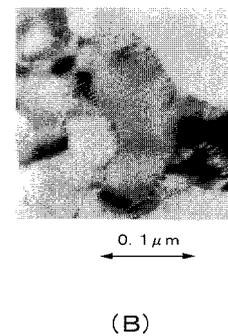
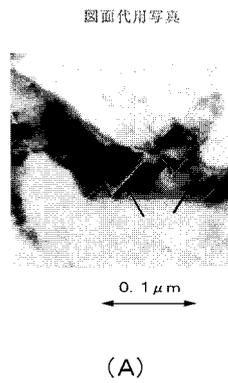
【図 1 2】



【図 1 3】

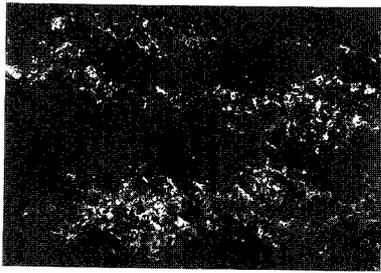


【図 1 4】



【 図 1 5 】

顕微鏡代用写真



(A)

2 μm

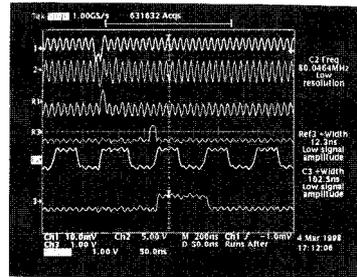


(B)

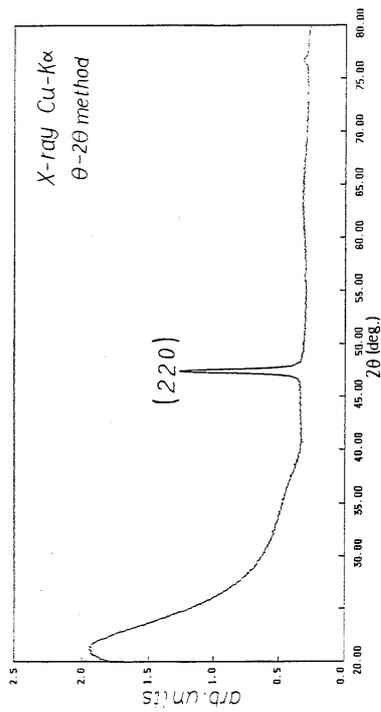
2 μm

【 図 1 6 】

顕微鏡代用写真



【 図 1 7 】



フロントページの続き

- (56)参考文献 特開平09-274470(JP,A)
特開平04-177326(JP,A)
特開平08-078329(JP,A)
特開平06-161393(JP,A)
特開平08-274338(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09F 9/00
G02F 1/1368
G09G 3/36
H01L 21/336
H01L 29/786