



(12) **Patentschrift**

(21) Deutsches Aktenzeichen: **103 92 545.7**
 (86) PCT-Aktenzeichen: **PCT/EP03/04805**
 (87) PCT-Veröffentlichungs-Nr.: **WO 2003/096540**
 (86) PCT-Anmeldetag: **08.05.2003**
 (87) PCT-Veröffentlichungstag: **20.11.2003**
 (45) Veröffentlichungstag
 der Patenterteilung: **15.03.2018**

(51) Int Cl.: **H03M 1/10 (2006.01)**
H03M 1/12 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
102207623 **08.05.2002** **DE**

(72) Erfinder:
Fey, Wolfgang, 65527 Niedernhausen, DE;
Engelmann, Mario, 61449 Steinbach, DE; Oehler,
Peter, 65929 Frankfurt, DE

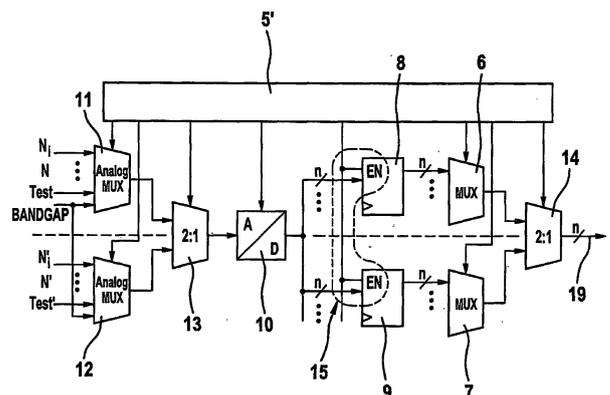
(73) Patentinhaber:
Continental Teves AG & Co. OHG, 60488
Frankfurt, DE

(56) Ermittelte Stand der Technik:

DE	199 12 766	A1
US	4 774 498	A
EP	0 714 170	A2

(54) Bezeichnung: **Elektronische Schaltungsanordnung zur fehlerabgesicherten Analog-/Digital-Umwandlung von Signalen**

(57) Hauptanspruch: Schaltungsanordnung zur fehlerabgesicherten Analog-/Digital-Umwandlung von N analogen Eingangssignalen N_i in eine der Anzahl N entsprechende Anzahl von digitalen Ausgangssignalen, wobei $N \geq 1$ ist, wobei die Schaltungsanordnung genau einen Analog-/Digital-Wandler (10) umfasst und wobei die Schaltungsanordnung eine Fehlerüberprüfungsfunktionalität besitzt, dadurch gekennzeichnet, dass N' weitere Redundanzeingänge N'_i vorgesehen sind, die der Anzahl N entsprechen, und welche dem besagten Analog-/Digital-Wandler (10) zugeführt werden, wobei die N und die N' Eingänge einem ersten oder einem zweiten Analogmultiplexer/n (11, 12) zugeführt werden und jedes Eingangssignal N_i zu dem entsprechenden Redundanzsignal N'_i gegenläufig ist und ein erster und ein zweiter analoger Eingang vorgesehen sind und der erste Eingang mit N Signalen gemeinsam mit einem ersten Testsignal (Test) dem ersten (N zu 1)-Analogmultiplexer (11) zugeführt wird, und die N' Signale des zweiten Eingangs gemeinsam mit einem zweiten Testsignal (Test'), welches von dem Testsignal Test unterscheidbar ist, dem zweiten (N' zu 1)-Analogmultiplexer (12) zugeführt werden.



Beschreibung

[0001] Die Erfindung bezieht sich auf eine Schaltungsanordnung zur fehlerabgesicherten Analog-/Digital-Umwandlung gemäß Oberbegriff von Anspruch 1.

[0002] Es ist bekannt, zur Verbesserung der allgemeinen Betriebsicherheit von Schaltungsanordnungen für besagte Steuergeräte einzelne, für die Funktion besonders wesentliche Schaltungsteile redundant oder teilredundant auszuführen. Im einfachsten Fall wird die gesamte Schaltung vollredundant ausgeführt, also dupliziert, und einer mehr oder weniger stark ausgeprägten räumlichen/physikalischen Trennung unterzogen, so dass Fehler möglichst nur einen der duplizierten Schaltungsteile betreffen. Nachteil dieser Vorgehensweise ist, dass sich häufig der Kostenaufwand, der Platzbedarf und der Stromverbrauch ebenfalls verdoppelt. Zur Verarbeitung sicherheitskritischer Signale werden üblicherweise aus Gründen der Redundanz zwei Analog-/Digital-Wandler eingesetzt. Unter einem Analog-/Digital-Wandler wird nachfolgend die gesamte Analog/Digital-Schnittstelle gezählt, d. h. inklusive Analog-Multiplexer am Eingang sowie Ergebnis-Registern und (Digital-)Multiplexer am Ausgang des Analog-/Digital-Wandlers.

[0003] Aus der EP 0 714 170 A1 ist ein Analog-Digital-Wandler mit schreibbarem Ergebnisregister bekannt. Aufgabe der Erfindung ist es, das Testen bzw. Selbsttesten eines Analog-Digital-Wandlers zu erleichtern. Hierzu werden dem Analog-Digital-Wandler bekannte analoge Eingangssignale zugeführt und die erhaltenen digitalen Ausgangssignale mit den erwarteten digitalen Ausgangssignalen verglichen.

[0004] Aus der US 4 774 498 A ist ein Analog-Digital-Wandler mit einer Fehlererkennungsschaltung bekannt. In einer Ausführungsform wird dabei gezeigt, Eingangssignale über einen Inverter zu invertieren und diese invertierten Eingangssignale an Komparatoren weiterzugeben.

[0005] Aus DE 199 12 766 A1 ist eine Schaltungsanordnung mit A/D Wandler für sicherheitskritische Anwendungen bekannt, die einen Rampensignalgenerator zur Erzeugung einer Rampenspannung aufweist.

[0006] Aufgabe der vorliegenden Erfindung ist es, eine kostengünstige Schaltungsanordnung zur Analog-/Digital-Wandlung bereitzustellen, welche durch die Verwendung nur eines Analog-/Digital-Wandlers in Verbindung mit einer Fehlerüberwachung auftretenden Fehler sicher erkennt.

[0007] Diese Aufgabe wird durch eine Schaltungsanordnung gemäß Anspruch 1 gelöst.

[0008] Die Erfindung wird nun an Hand der Figuren näher erläutert. Bevorzugte Ausführungsformen ergeben sich aus der Figurenbeschreibung und den Unteransprüchen.

[0009] Es zeigen:

[0010] Fig. 1 eine an sich bekannte Anordnung mit zwei Analog-/Digital-Wandlern,

[0011] Fig. 2 eine Übertragungskurve eines Analog-/Digital-Wandlers,

[0012] Fig. 3 eine Nachbildung der Multiplex-Strukturen für den Betrieb mit einem einzigen Analog-/Digital-Wandler,

[0013] Fig. 4 eine Darstellung von gegenläufigen Signalen,

[0014] Fig. 5 eine Anordnung mit gegenläufigen, redundanten, Signalen über einen einzigen Analog-/Digital-Wandler und

[0015] Fig. 6 eine Schaltung zur Erzeugung eines gegenläufigen Signals.

[0016] Fig. 1 zeigt das Blockschaltbild einer an sich bekannten Anordnung mit zwei Analog-/Digital-Wandlern **1**, **2**. Hierbei werden Signale N_i , ... über einen Analogmultiplexer **3** einem Analog-/Digital-Wandler **1** zur Verarbeitung zugeführt. Einem weiteren Analog-/Digital-Wandler **2** werden die dazu redundanten Signale N'_i , ... über einen Analogmultiplexer **4** zugeführt. Die gestrichelte Linie soll andeuten, dass die beiden Analog-/Digital-Wandler **1**, **2** räumlich (Layout) getrennt sein müssen, damit sie unabhängig voneinander funktionieren. Die Ausgangssignale der Analog-/Digital-Wandler **1**, **2** werden an einen Demultiplexer **15** übergeben und anschließend in Ergebnis-Registern **8**, **9** gespeichert. Die Ergebnis-Register **8**, **9** sind mit Digitalmultiplexern **6**, **7** verbunden, welche die Ausgangssignale über einen Datenausgang **19** an eine nicht abgebildete Auswerteeinrichtung weiterleiten. Die Ansteuerung der Analogmultiplexer **3**, **4**, der Analog-/Digital-Wandler **1**, **2**, des Demultiplexers **15**, der Ergebnis-Register **8**, **9** und der Digitalmultiplexer **6**, **7** erfolgt hierbei über eine Ansteuerlogik **5**. Als weiteres Eingangssignal liegt an den Analogmultiplexern **3**, **4** ein mit BANDGAP bezeichnetes statisches Signal an, welches unabhängig von der Referenzspannung des Analog-/Digital-Wandlers erzeugt wird. Durch die Überwachung eines solchen statischen Signals können Fehler an der Referenzspannung entdeckt werden.

[0017] In Fig. 2 ist die ideale Übertragungskurve **20** eines Analog-/Digital-Wandlers dargestellt, wobei aus Gründen der Übersichtlichkeit die Treppenstufen nicht eingezeichnet sind. Hierbei ist auf der Abszisse

se die analoge Eingangsspannung U_{in} , und auf der Ordinate der digitale Ausgang OUT des Analog-/Digital-Wandlers aufgetragen. Um die ideale Übertragungskurve **20** befindet sich ein Fehlerband, dargestellt durch die Abweichungen $+x$ LSB und $-x$ LSB von der idealen Übertragungskurve **20**.

[0018] Fig. 3 stellt eine erste erfindungsgemäße Schaltungsanordnung unter Verwendung von lediglich einem Analog-/Digital-Wandler dar. Im folgenden werden nur die Unterschiede zu der Fig. 1 beschrieben. An den Analogmultiplexern **11**, **12** liegen wiederum Signale N_j , ... bzw. Signale N'_j , ..., sowie das statische Signal BANDGAP an. Über zusätzliche Eingänge an den Analogmultiplexern **11**, **12** sind weiterhin Testsignale Test und Test' angeschlossen. Die Ausgänge der Analogmultiplexer **11**, **12** sind mit einem (2 zu 1)-Analogmultiplexer **13** verbunden, dessen Ausgang an einen Analog-/Digital-Wandler **10** angeschlossen ist. Der Ausgang des Analog-/Digital-Wandlers **10** ist mit Demultiplexer **15** mit nachgeschalteten Ergebnis-Registern **8**, **9** und Digitalmultiplexern **6**, **7** verbunden. Die Signaldaten an den Ausgängen der Digitalmultiplexer **6**, **7** werden über einen (2 zu 1)-Digitalmultiplexer **14** auf den Datenausgang **19** geschaltet. Die Ansteuerung der Analogmultiplexer **11**, **12**, des (2 zu 1)-Analogmultiplexers **13**, des Analog-/Digital-Wandlers **10**, des Demultiplexers **15**, der Ergebnis-Register **8**, **9**, der Digitalmultiplexer **6**, **7** und des (2 zu 1)-Digitalmultiplexers **14** erfolgt hierbei über eine Ansteuerlogik **5'**.

[0019] In Fig. 4 sind gegenläufige Signale U_{Ni} , U_{Ni} dargestellt, welche an dem in Fig. 3 beschriebenen Analog-/Digital-Wandler **10** als Eingangssignale anliegen. Auf der Abszisse ist das zu messende Signal, z. B. ein Druck oder ein Strom, und auf der Ordinate ist die Eingangsspannung U eines Analog-/Digital-Wandlers aufgetragen.

[0020] Fig. 5 zeigt eine weitere erfindungsgemäße Schaltungsanordnung. An einem Analogmultiplexer **16** liegen Eingangssignale N_j , ..., N'_j , ... und das statische Signal BANDGAP an. Der Ausgang des Analogmultiplexers **16** ist mit dem Analog-/Digital-Wandler **10** verbunden, dessen Ausgang wiederum über den Demultiplexer **15** mit den nachgeschalteten Ergebnis-Registern **8**, **9** verbunden ist. Die Ausgänge der Ergebnis-Register **8**, **9** sind mit einem Digitalmultiplexer **17** verbunden, welcher Ausgangssignale über den Datenausgang **19** an eine nicht dargestellte Auswerteeinrichtung übergibt. Die Ansteuerung des Analogmultiplexers **16**, des Analog-/Digital-Wandlers **10**, des Demultiplexers **15**, der Ergebnis-Register **8**, **9** und des Digitalmultiplexers **17** erfolgt hierbei über eine Ansteuerlogik **5''**.

[0021] In Fig. 6 ist eine Schaltung zur Erzeugung eines gegenläufigen Signals dargestellt. Hierbei wird ein Eingangssignal U_{Ni} zum einen direkt auf einen

nicht dargestellten Eingang eines Analogmultiplexers geführt, während zum anderen das Eingangssignal U_{Ni} über einen Analoginverter **18** dem nicht dargestellten Analogmultiplexer als invertiertes Eingangssignal U_{Ni} zugeführt wird.

[0022] In bekannten Schaltungsanordnungen gemäß Fig. 1 erhält die nicht dargestellte Auswerteeinrichtung über den Datenausgang **19**, welcher z. B. in Form einer seriellen Schnittstelle oder einem Datenbus ausgeführt sein kann, digitale Signale, welche aus den analogen Eingangssignalen N_j , ... und N'_j , ... gewonnen werden, welche von Sensoren, beispielsweise Drucksensoren, bereitgestellt werden. Die Auswerteeinrichtung kann hierbei eventuelle Signalfehler, welche die digitalen Signale verfälschen, nicht einer Fehlerquelle zuordnen, z. B. Fehler im Analog-/Digital-Wandler **1**, da die Auswerteeinrichtung nur die Überlagerung der digitalen Signale mit allen auf dem Signalweg auftretenden Fehlern als Eingangssignal erhält. Als Fehler werden z. B. Ungenauigkeiten der Sensoren oder statische Fehler der Analog-/Digital-Wandler **1**, **2** angesehen. Die statischen Fehler der Analog-/Digital-Wandler **1**, **2** werden hierbei zu einem Gesamtfehler zusammengefasst, welcher in Form eines Fehlerbandes, dargestellt durch die Abweichungen $+x$ LSB und $-x$ LSB in Fig. 2, um die ideale Übertragungskurve **20** gelegt wird. Wird beispielsweise davon ausgegangen, dass nur statische Fehler in den Analog-/Digital-Wandlern **1**, **2** und Ungenauigkeiten in den Sensoren vorliegen können, so kann durch geeignete Maßnahmen, z. B. Addition, aus den statischen Fehlern und den Ungenauigkeiten um die ideale Übertragungskurve **20** ein Toleranzbereich definiert werden, welcher zur Erkennung eines Signalfehlers geeignet ist. Allerdings gelten bei dieser Vorgehensweise alle Signale die innerhalb des Toleranzbereichs liegen als fehlerfreie Werte. Bei der Überlagerung von Fehlern wird bei einem Sensor ohne Abweichung ein Analog-/Digital-Wandlerfehler erst erkannt, wenn dieser mindestens die Toleranz des Analog-/Digital-Wandlers und die des Sensors übersteigt. Bei einem Sensor, der seine Toleranz voll ausschöpft, wird ein Analog-/Digital-Wandlerfehler dagegen früher erkannt, da hierdurch der verbleibende Toleranzbereich im Vergleich zu einem Sensor ohne Abweichung schmaler ist.

[0023] Die in Fig. 1 beschriebene Schaltungsanordnung ist vollständig redundant und, wie oben beschrieben, durch die Wahl des Layouts räumlich getrennt aufgebaut. Hierdurch können sich die Eingangssignale und ihre redundanten Signale weder in den Analogmultiplexern **3**, **4**, noch in den Analog-/Digital-Wandlern **1**, **2** und in den Ergebnis-Registern **8**, **9** durch einen Fehler in der (gemeinsamen) Adress-Logik der Ansteuerlogik **5** beeinflussen. Bei den Digitalmultiplexern **6**, **7** ist es anders, da die Signale aus den Ergebnis-Registern **8**, **9** auf einen Datenausgang, z. B. Datenbus, serielle Schnittstelle

le, etc., gelegt werden. Dies erfolgt z. B. durch Zeitfenster, in denen in einem ersten Zeitfenster ein Signal, und in einem zweiten Zeitfenster das zu dem Signal redundante Signal übertragen wird. Im Beispiel wurden die Digitalmultiplexer **6**, **7** räumlich getrennt und mit „Tristate“-Ausgängen zusammengeschaltet. Durch eine geeignete Kodierung muss die Adress-Logik so ausgelegt werden, dass auch bei Fehlern in der Adress-Logik nie ein Signal und das zu diesem Signal redundante Signal in ein und demselben Zeitfenster aufeinander gelegt werden können.

[0024] Neben den beschriebenen Fehlern müssen weitere Fehler betrachtet werden. Unter der Annahme, dass keine Doppelfehler auftreten und auch die Ansteuersignale (z. B. Takt) der beiden Analog-/Digital-Wandler **1**, **2** unabhängig voneinander sind, können Fehler in einem der beiden Analog-/Digital-Wandler **1**, **2** durch die redundante Ausführung erkannt werden. Haft-Fehler (St-at-0, St-at-1, St-at-x, St-at-open) entlang der Signalwege (Die Signale N_i und N_i' werden gemeinsam auf den Datenausgang geführt) werden aufgrund der Redundanz und der räumlichen Trennung erkannt.

[0025] Bei den Analog- und Digitalmultiplexer können folgende Fehler auftreten:

1. Multiplexer steht (z. B. wegen Haftfehler der Ansteuersignale)
2. Multiplexer überspringt, ein Eingangssignal (statt dessen wird ein anderer Eingang ausgewählt; z. B. wegen Haftfehler der Ansteuersignale)
3. Verkopplung am Analog-Multiplexer: der Wert (Spannung) vom vorangegangenen Eingangssignal wird verwendet

[0026] Neben der Redundanz und der räumlichen Trennung muss für eine Erkennung dieser Fehler die Unabhängigkeit der Ansteuersignale erfüllt sein. Dies gilt ebenfalls für die Ansteuersignale der Ergebnis-Register.

[0027] Im folgenden wird ein Test eines Analog-/Digital-Wandler-Kerns beschrieben. Betrachtet man nur einen Analog-/Digital-Wandler für sich alleine, also nur seinen Kern (Core), so kann auf eine redundante Ausführung verzichtet werden, wenn man den einzelnen Analog-/Digital-Wandler-Kern entsprechend modifiziert. Hierzu kann ein während des normalen Betriebs eingefügter fortlaufender Analog-/Digital-Wandler-Test vorgesehen werden, z. B. die Stimulierung durch einen Digital-/Analog-Wandler oder eine Rampe und eine entsprechende Auswertung. Dieses Verfahren ist aus der DE-A 19912766 (P 9541) an sich bekannt.

[0028] In einer ersten Ausführungsform werden die Multiplex-Strukturen für den Betrieb mit einem einzigen Analog-/Digital-Wandler nachgebildet. Betrachtet man gegenüber dem Test lediglich eines Ana-

log-/Digital-Wandlers die gesamte Analog-/Digital-Schnittstelle, dann reicht obiges Konzept nicht aus. **Fig. 3** zeigt deshalb eine Anordnung mit nur einem Analog-/Digital-Wandler **10**, wobei die Multiplex-Strukturen so gestaltet sind, dass sie sich im Fehlerfall ähnlich verhalten wie die räumlich getrennten Analogmultiplexer **3**, **4** (**Fig. 1**). Grundidee ist die Aufteilung in einen Bereich, der weiterhin aus zwei räumlich getrennten Analogmultiplexern **11**, **12** besteht, und einem (2 zu 1)-Analogmultiplexer **13**, der die getrennten Ausgänge der Analogmultiplexer **11**, **12** auf ein gemeinsames Signal schaltet. Durch eine aktive Überwachung wird sichergestellt, dass der (2 zu 1)-Analogmultiplexer **13** und ein (2 zu 1)-Digitalmultiplexer **14** ordnungsgemäß funktionieren. Hierzu wird über den ersten Analogmultiplexer **3** testweise ein Signal Test angelegt, über den zweiten Analogmultiplexer **4** ein Signal Test'. Beide Signale müssen eindeutig voneinander unterscheidbar sein, Test' ist also nicht auf die Invertierung von Test beschränkt. Außerdem darf kein anderes Signal vorkommen, dass dauerhaft nicht von Test und Test' zu unterscheiden ist. Notfalls dürfen die beiden Testsignale nicht aus jeweils einem statischen Wert (z. B. 2,5 V und 1, 25 V) bestehen, sondern es müssen entsprechende Folgen von Werten nacheinander testweise angelegt werden. Der Analog-/Digital-Wandler **10** (Core) muss hierbei, wie oben beschrieben, nach wie vor extra getestet werden.

[0029] In **Fig. 5** ist die Schaltungsanordnung einer zweiten Ausführungsform abgebildet. Hierbei wird durch die Nutzung der z. B. in **Fig. 4** dargestellten gegenläufigen, redundanten Signale der komplette zweite Analog-/Digital-Wandler eingespart und die Analog-/Digital-Wandler-Prüfung vermieden. Unter einem gegenläufigen Signal wird nach der Erfindung verstanden, wenn sich das Hauptsignal N_i von dem Redundanzsignal N_i' unterscheidet, also diese Signale wie sonst bei der Verarbeitung von redundanten Signalen üblich sich nicht entsprechen. Eine Unterscheidbarkeit kann entweder durch einen Offset-Pegel und/oder durch eine für jeden Kanal charakteristische, der Schaltung bekannte Kernlinie herbeigeführt werden. Im einfachsten bevorzugten Fall sind Hauptsignal und Redundanzsignal lineare Funktionen mit entgegengesetztem Vorzeichen der Steigung.

[0030] Die im Analog-/Digital-Wandler **10** zu wandelnden Signale, welche z. B. Drucksensorsignale, Gierratensensorsignale, Stromwerte von PWM-Ventilen (PWM: Pulsweitenmodulation) usw. sein können, werden dem Eingang des Analog-/Digital-Wandlers **10** gegenläufig zugeführt. Das heißt insbesondere, ein Signal mit einem niedrigen Spannungspegel korrespondiert mit einem redundanten Signal mit einem hohen Spannungspegel (bei gleichem Wert des zu messenden Signals, z. B. Druck oder Strom), und umgekehrt. **Fig. 4** zeigt die Spannungen (hier am

Eingang des Analog-/Digital-Wandlers **10**) der beiden zueinander redundanten Signale N_i und N'_i in Abhängigkeit des zu messenden Signals.

[0031] Durch die Gegenläufigkeit wird erreicht, dass ein Kurzschluss zwischen zueinander redundanten Signalen an beliebigen Stellen der Signalwege erkannt wird (bzw. einem entsprechenden Logikfehler bezüglich der Multiplexer). Dies gilt für die gesamte Signal-Kette, z. B. bis in einen Prozessorkern hinein. Ein Kurzschluss wird lediglich dann nicht erkannt, wenn sich die korrespondierenden Spannungspegel genau im mittleren Bereich befinden. Die dann gemessenen Werte sind aber noch korrekt. Spätestens wenn abgeschaltet wird (z. B. PWM-Ventile), wird der Kurzschluss jedoch erkannt.

[0032] Durch die redundante Messung wird ebenfalls der eingesetzte Analog-/Digital-Wandler **10** im jeweils verwendeten Spannungsbereich geprüft, in dem sich die Eingangsgrößen bewegen. Die zueinander redundanten Signale werden zwar über den gleichen Analog-/Digital-Wandler **10** gemessen, allerdings an anderen Stellen der Übertragungskurve. Damit kann das eine Signal $+x$ LSB von der idealen Übertragungskurve **20** (Fig. 2) entfernt liegen, und das dazu redundante Signal $-x$ LSB, bzw. umgekehrt. Bezüglich der Fehlerüberwachung gelten exakt die gleichen Überlegungen wie für die oben beschriebene Ausführung mit zwei Analog-/Digital-Wandlern. Damit ist die Qualität der Überwachung des bzw. der Analog-/Digital-Wandler von beiden Verfahren gleich.

[0033] Falls von einem Sensor keine gegenläufigen, redundanten Signale direkt zur Verfügung gestellt werden, kann alternativ an einem Eingang des Analogmultiplexers **16** ein Analoginverter **18** vorgesehen werden, um ein gegenläufiges Signal zu erzeugen. Eine hierzu geeignete Schaltung ist in Fig. 6 dargestellt. Hierdurch kann für den Analog-/Digital-Wandler **10** einschließlich Multiplexer eine Fehlerüberwachung durchgeführt werden.

[0034] Eine weitere Möglichkeit, das Hauptsignal vom Redundanzsignal unterscheidbar zu machen wird im folgenden beschrieben: Probleme bei der Fehlererkennung können unter anderem dann entstehen, wenn ein Signal auf einen Ruhepegel geklemmt ist. Sei das Hauptsignal in Ruhe auf 0 V , das dazu redundante Signal auf U_{REF} . Wird nun das Hauptsignal durch einen Fehler fest auf 0 V geklemmt, bzw. ein Logikfehler führt dazu, dass ein statisches Signal von ungefähr 0 V fälschlicherweise auf dieses Hauptsignal gelegt wird (durch einen Analog- oder Digitalmultiplexer). Wird nun nach beliebiger Zeit, ohne dass die Ruhepegel verlassen werden, das redundante Signal fest auf U_{REF} geklemmt, so kann dieses Fehlerbild unter Umständen nicht entdeckt werden.

[0035] Bei sogenannten aktiven Signalen, bei denen eine Software eine Aktion vorgibt (Ventile schalten, Druck regeln etc.) und eine Reaktion erwartet, wird die Klemmung redundanter Signale auf ihre Ruhepegel erkannt. Bei sogenannten passiven Signalen, bei denen ein Einfluss von außen lediglich überwacht wird, gilt diese Aussage nicht. Ein Gierratensignal liegt in Ruhe z. B. typischerweise auf halben Pegel von U_{REF} (und damit auch das redundante Gierratensignal). Bei der Lösung mit nur einem Analog-/Digital-Wandler reicht unter Umständen ein einfacher Logikfehler aus, um die Bandgap-Spannung (die z. B. ebenfalls auf $U_{REF}/2$ -Niveau liegt) fälschlicherweise auf beide Gierratensignale zu legen. Bei einem dann auftretenden Ausschlag der Gierrate würde die Auswertung (Software) z. B. auf einen Lenkwinkel-Sensorfehler schließen, da beide Gierratensignale plausible Werte liefern.

[0036] Deshalb ist es zweckmäßig, statische Signale programmierbar bzw. umschaltbar auszuführen, z. B. durch einen Spannungsteiler. Damit werden sie dynamisch gestaltet. Als Lösung oben beschriebener Problematik bietet es sich beispielsweise an, die Bandgap-Spannung programmierbar zu gestalten, nämlich umschaltbar zwischen $U_{REF}/2$ - und $U_{REF}/4$ -Niveau. Es muss dann in regelmäßigen Abständen auf $U_{REF}/4$ -Niveau umgeschaltet werden, und die beiden Gierratensignale geprüft werden, die dann in Ruhe beide einen Spannungspegel von $U_{REF}/2$ liefern müssen. Wichtig bei dieser Lösung ist, dass die Umschaltung der Bandgap-Spannung räumlich getrennt von dem Analogmultiplexer erfolgen muss. Außerdem sollte keine anderweitige Spannung von ungefähr $U_{REF}/2$ -Niveau in der Nähe des Analogmultiplexers verlegt sein.

[0037] Diese Problematik mit statischen Signalen, dass sich z. B. eine Bandgap-Spannung fälschlicherweise auf beide Gierratensignale legt, tritt auch bei der Lösung mit zwei Analog-/Digital-Wandlern auf. Hierbei ist allerdings ein Doppelfehler notwendig, wobei der erste ein schlafender Fehler ist. Die Wahrscheinlichkeit für ein solches Fehlerbild ist folglich geringer.

Patentansprüche

1. Schaltungsanordnung zur fehlerabgesicherten Analog-/Digital-Umwandlung von N analogen Eingangssignalen N_i in eine der Anzahl N entsprechende Anzahl von digitalen Ausgangssignalen, wobei $N \geq 1$ ist, wobei die Schaltungsanordnung genau einen Analog-/Digital-Wandler (**10**) umfasst und wobei die Schaltungsanordnung eine Fehlerüberprüfungsfunktionalität besitzt, **dadurch gekennzeichnet**, dass N' weitere Redundanzeingänge N'_i vorgesehen sind, die der Anzahl N entsprechen, und welche dem besagten Analog-/Digital-Wandler (**10**) zugeführt werden, wobei die N und die N' Eingänge einem ersten oder ei-

nem zweiten Analogmultiplexer/n (**11**, **12**) zugeführt werden und jedes Eingangssignal N_i zu dem entsprechenden Redundanzsignal N'_i gegenläufig ist und ein erster und ein zweiter analoger Eingang vorgesehen sind und der erste Eingang mit N Signalen gemeinsam mit einem ersten Testsignal (Test) dem ersten (N zu 1)-Analogmultiplexer (**11**) zugeführt wird, und die N' Signale des zweiten Eingangs gemeinsam mit einem zweiten Testsignal (Test'), welches von dem Testsignal Test unterscheidbar ist, dem zweiten (N' zu 1)-Analogmultiplexer (**12**) zugeführt werden.

2. Schaltungsanordnung nach Anspruch 1, **dadurch gekennzeichnet**, dass mindestens eines der analogen Eingangssignale N_i zur Erzeugung eines unterscheidbaren Signals über einen Analoginverter (**18**) geführt ist.

3. Schaltungsanordnung nach Anspruch 2, **dadurch gekennzeichnet**, dass der Ausgang des Analog-/Digital-Wandlers (**10**) einem Demultiplexer (**15**) zugeführt wird.

4. Schaltungsanordnung nach Anspruch 3, **dadurch gekennzeichnet**, dass der Ausgang des Demultiplexers (**15**) zu Eingängen von einem oder mehreren Ergebnis-Registern (**8**, **9**) zur Speicherung von $N + N'$ Digitalworten geführt ist.

5. Schaltungsanordnung nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet**, dass es sich bei den analogen Eingangssignalen um gemessene Ströme von Lasttreiberstufen handelt, welche insbesondere zur Ansteuerung von elektrohydraulischen Ventilen vorgesehen sind.

6. Schaltungsanordnung nach einem der Ansprüche 1 bis 5, **dadurch gekennzeichnet**, dass ein Prüfmittel vorgesehen ist, mit dem die ordnungsgemäße Funktion des Analog-/Digital-Wandlers (**10**) mit einem Rampensignalgenerator und einer Schaltungsanordnung zur Aktivierung eines Testzyklusses geprüft werden kann.

7. Schaltungsanordnung nach einem der Ansprüche 1 bis 6, **dadurch gekennzeichnet**, dass die gewandelten $N + N'$ Signale einem Multiplexer (**17**) zugeführt sind, welcher ein Datensignal erzeugt.

8. Schaltungsanordnung nach einem der Ansprüche 1 bis 7, **dadurch gekennzeichnet**, dass ein Mittel zur Variation einer Bandgag-Spannung und/oder einer anderen von außen vorgebbaren Spannung zur Erkennung von Fehlern vorhanden ist.

9. Schaltungsanordnung nach Anspruch 8, **dadurch gekennzeichnet**, dass die Bandgag-Spannung und/oder eine andere von außen vorgebbare Spannung an den Eingang des Analog-/Digital-Wandlers (**10**) zur Fehlererkennung geführt wird.

10. Schaltungsanordnung nach Anspruch 9, sofern dieser rückbezogen ist auf Anspruch 3 oder 4, **dadurch gekennzeichnet**, dass die Ausgänge der Analogmultiplexer (**11**, **12**) einem (2 zu 1)-Analogmultiplexer (**13**) zugeführt werden und der Ausgang des Analog-/Digital-Wandlers (**10**) mittels des Demultiplexers (**15**) wieder in zweifache Anzahl digitaler Signalkanäle aufgespaltet wird, wobei anschließend über einen (2 zu 1)-Digitalmultiplexer (**14**) die in zweifacher Anzahl vorhandenen digitalen Signalkanäle auf einen Datenausgang (**19**) geschaltet werden.

11. Verwendung der Schaltungsanordnung nach mindestens einem der Ansprüche 1 bis 10 in elektronischen Kraftfahrzeugsteuergeräten mit Blockierschutzfunktion, insbesondere in elektronischen Bremssystemen, insbesondere ESP-EHB- oder EMB-Steuergeräten.

Es folgen 3 Seiten Zeichnungen

Anhängende Zeichnungen

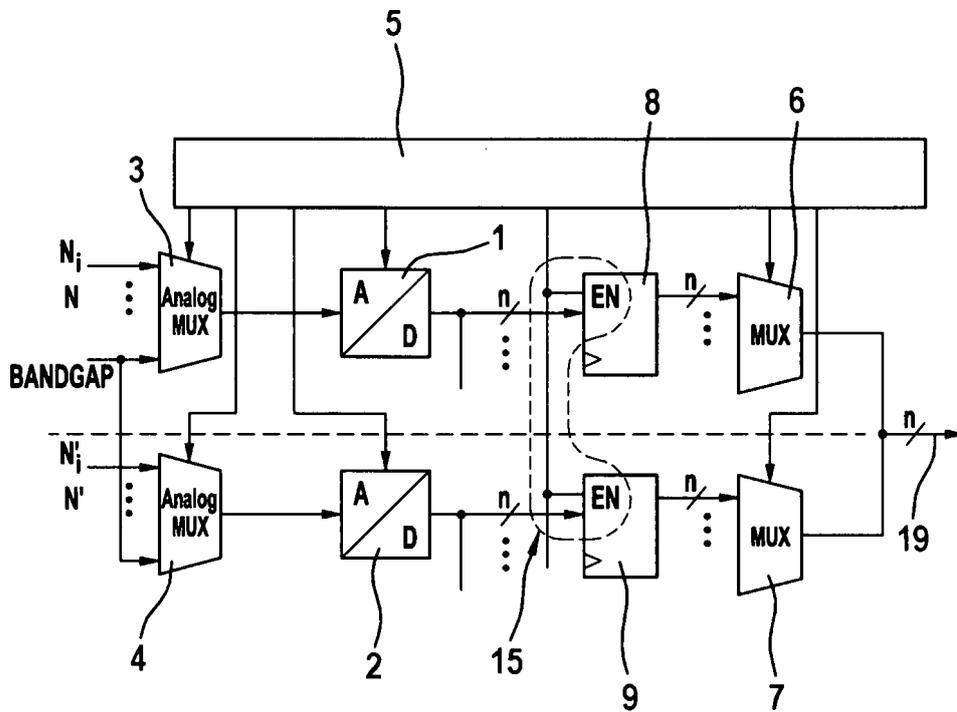


Fig. 1
(Stand der Technik)

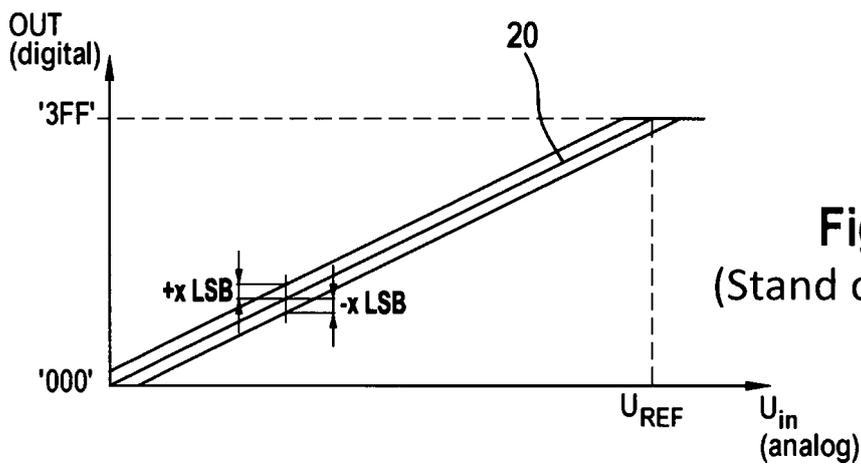


Fig. 2
(Stand der Technik)

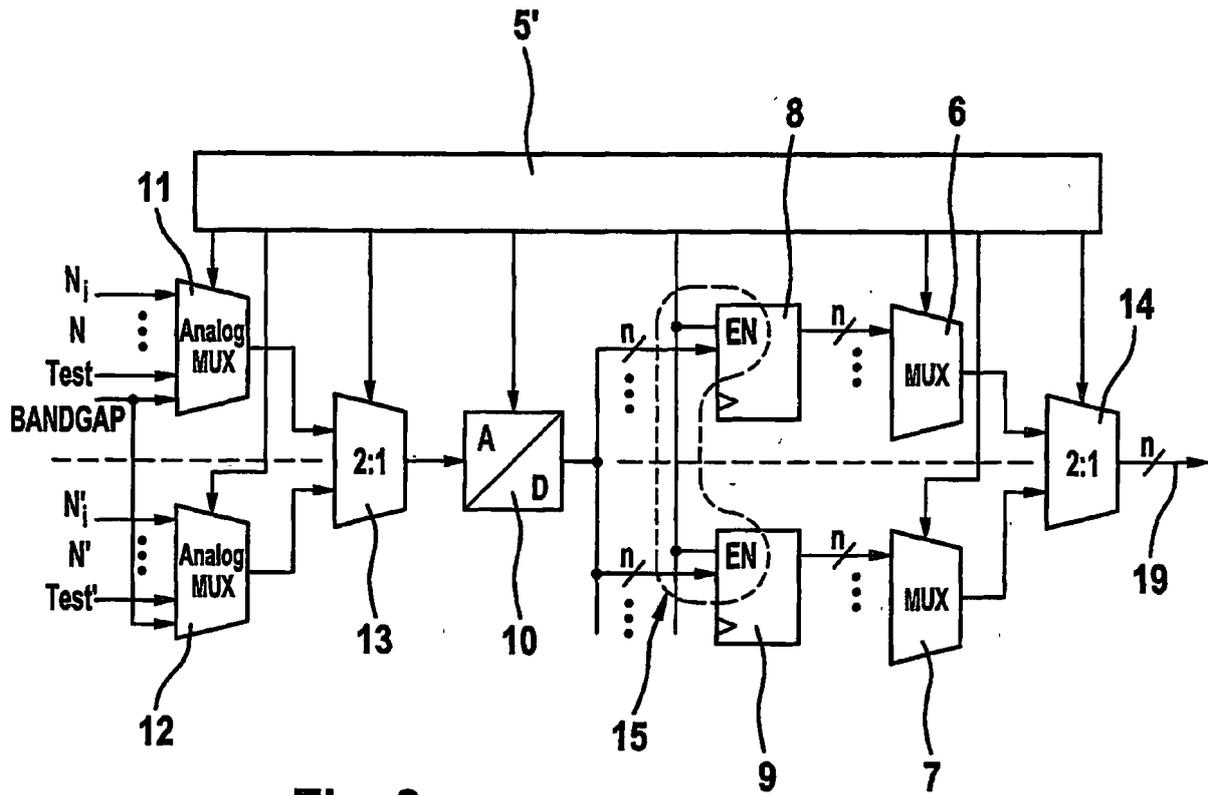


Fig. 3

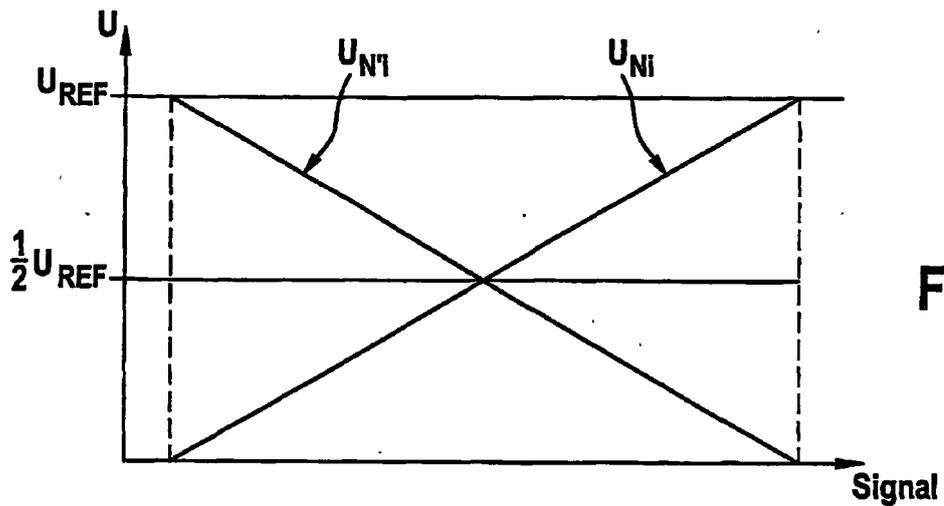


Fig. 4

ERSATZBLATT (REGEL 26)

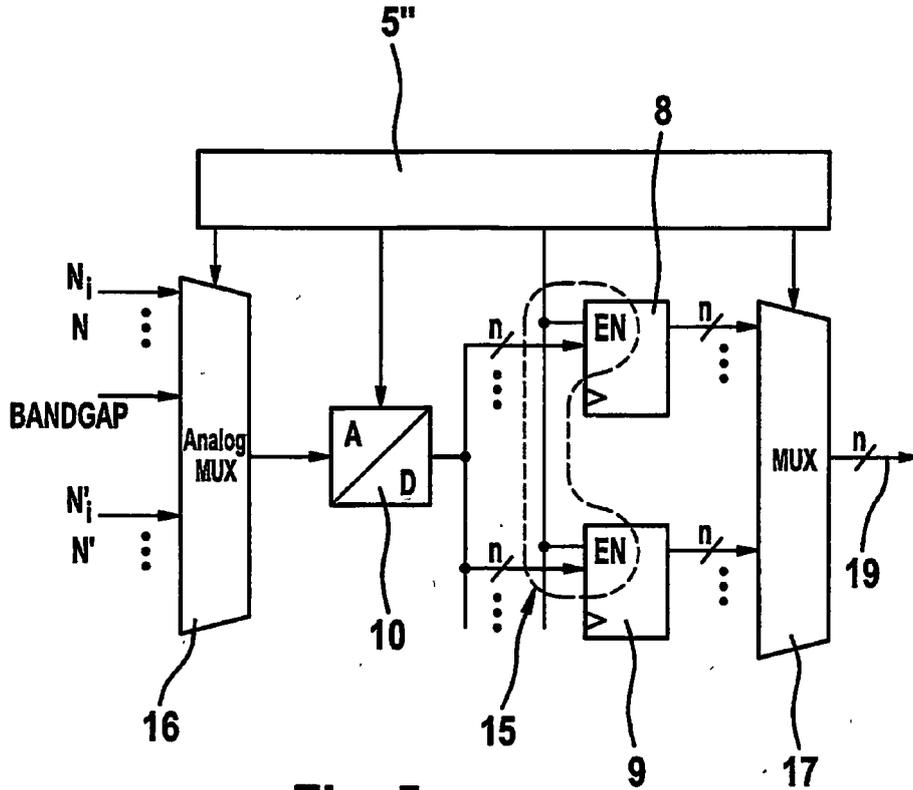


Fig. 5

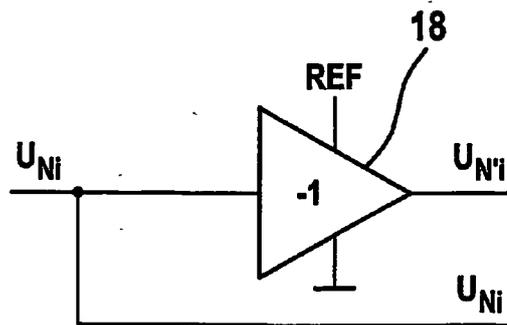


Fig. 6

ERSATZBLATT (REGEL 26)