



(12)发明专利

(10)授权公告号 CN 105513629 B

(45)授权公告日 2018.09.21

(21)申请号 201410554641.1

(22)申请日 2014.10.17

(65)同一申请的已公布的文献号

申请公布号 CN 105513629 A

(43)申请公布日 2016.04.20

(73)专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

(72)发明人 张弓 李煜

(74)专利代理机构 北京市磐华律师事务所

11336

代理人 董巍 高伟

(51)Int.Cl.

G11C 11/4063(2006.01)

(56)对比文件

CN 103337252 A,2013.10.02,

CN 103165581 A,2013.06.19,

CN 103208304 A,2013.07.17,

审查员 刘雨章

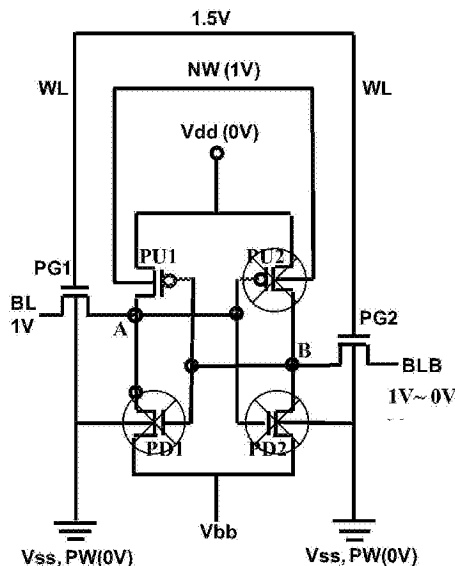
权利要求书2页 说明书7页 附图5页

(54)发明名称

用于测量SRAM的上拉或下拉器件的阈值电压的方法和电路

(57)摘要

本发明提供一种用于测量SRAM的上拉或下拉器件的阈值电压的方法和电路。所述方法包括:为上拉晶体管的衬底施加第一电压;为下拉晶体管的衬底和传输门晶体管的衬底施加第二电压;为传输门晶体管的栅极施加第三电压;为与待测晶体管的源极或漏极相连的第一传输门晶体管的漏极施加第四电压;为与待测晶体管的栅极相连的第二传输门晶体管的漏极施加在预定电压范围内单向变化的第五电压;禁用SRAM的锁存电路中除待测晶体管以外的晶体管;测量第一传输门晶体管的沟道电流,当沟道电流达到预设电流值时,待测晶体管的栅极电压与源极电压的差为待测晶体管的阈值电压。本发明所提供的方法可以实现在SRAM标准位元上进行测试,无需专用的测试结构。



1. 一种用于测量SRAM的上拉或下拉器件的阈值电压的方法,其特征在于,所述方法包括:

为所述SRAM的上拉晶体管的衬底施加第一电压;

为所述SRAM的下拉晶体管的衬底和传输门晶体管的衬底施加第二电压;

为所述传输门晶体管的栅极施加第三电压以使其导通;

为第一传输门晶体管的漏极施加第四电压,所述第一传输门晶体管的源极与待测晶体管的源极或漏极相连;

为第二传输门晶体管的漏极施加在预定电压范围内单向变化的第五电压,所述第二传输门晶体管的源极与所述待测晶体管的栅极相连;

禁用所述SRAM的锁存电路中除所述待测晶体管以外的晶体管;以及

测量所述第一传输门晶体管的沟道电流,当所述沟道电流达到预设电流值时,所述待测晶体管的栅极电压与源极电压的差为所述待测晶体管的阈值电压。

2. 如权利要求1所述的方法,其特征在于,当所述待测晶体管为上拉晶体管时,所述禁用所述SRAM的锁存电路中除所述待测晶体管以外的晶体管包括:

为所述SRAM的上拉晶体管的漏极施加第六电压,所述第六电压等于所述第二电压;以及

为所述SRAM的下拉晶体管的源极施加所述第五电压;其中

所述第四电压等于所述第一电压,并且所述第五电压为从所述第一电压到零进行变化的电压。

3. 如权利要求1所述的方法,其特征在于,当所述待测晶体管为下拉晶体管时,所述禁用所述SRAM的锁存电路中除所述待测晶体管以外的晶体管包括:

为所述SRAM的上拉晶体管的漏极施加所述第五电压;以及

为所述SRAM的下拉晶体管的源极施加所述第二电压;其中

所述第四电压等于所述第二电压,并且所述第五电压为从零到所述第一电压进行变化的电压。

4. 如权利要求1所述的方法,其特征在于,所述第一电压为1V,所述第二电压为0V。

5. 如权利要求1所述的方法,其特征在于,所述预设电流值为100nA。

6. 如权利要求1所述的方法,其特征在于,所述第五电压为按照预定步进值在预定电压范围内进行单向变化的电压。

7. 如权利要求6所述的方法,其特征在于,所述预定步进值为0.02V。

8. 如权利要求1所述的方法,其特征在于,所述测量所述第一传输门晶体管的沟道电流包括测量所述第一传输门晶体管的漏极节点处的电流。

9. 一种根据权利要求1-8中任意一项的方法测量SRAM的上拉器件的阈值电压的电路,其特征在于,所述电路包括所述SRAM,其中:

所述SRAM的上拉晶体管的衬底连接第一电源、漏极连接第六电源;

所述SRAM的下拉晶体管的衬底连接第二电源、源极连接第五电源;

所述SRAM的传输门晶体管的衬底连接所述第二电源、栅极连接第三电源;

与待测上拉晶体管的源极相连的传输门晶体管的漏极连接第四电源;以及

与所述待测上拉晶体管的栅极相连的传输门晶体管的漏极连接所述第五电源;

其中,所述第四电源的电压与所述第一电源的电压相同,所述第五电源的电压为从所述第一电源的电压到零进行变化的电压;

当与所述待测上拉晶体管的源极相连的传输门晶体管的沟道电流达到预设电流值时,所述待测上拉晶体管的栅极电压与源极电压的差为所述待测上拉晶体管的阈值电压。

10.一种根据权利要求1-8中任意一项的方法测量SRAM的下拉器件的阈值电压的电路,其特征在于,所述电路包括所述SRAM,其中:

所述SRAM的上拉晶体管的衬底连接第一电源、漏极连接第五电源;

所述SRAM的下拉晶体管的衬底和源极连接第二电源;

所述SRAM的传输门晶体管的衬底连接所述第二电源、栅极连接第三电源;

与待测下拉晶体管的漏极相连的传输门晶体管的漏极连接第四电源;以及

与所述待测下拉晶体管的栅极相连的传输门晶体管的漏极连接所述第五电源;

其中,所述第四电源的电压与所述第二电源的电压相同,所述第五电源的电压为从零到所述第一电源的电压进行变化的电压;

当与所述待测下拉晶体管的漏极相连的传输门晶体管的沟道电流达到预设电流值时,所述待测下拉晶体管的栅极电压与源极电压的差为所述待测下拉晶体管的阈值电压。

## 用于测量SRAM的上拉或下拉器件的阈值电压的方法和电路

### 技术领域

[0001] 本发明涉及半导体技术领域,具体而言涉及一种用于测量静态随机存储器(SRAM)的上拉(Pull Up,PU)或下拉(Pull Down,PD)器件的阈值电压的方法和电路。

### 背景技术

[0002] 随着芯片的工艺尺寸越来越小,集成度越来越高,半导体工艺加工中可能引入越来越多的各种失效。器件工艺偏差在生产中的影响也日益明显。由于面积受约束,SRAM很容易受到工艺偏差的影响。SRAM单元中器件的阈值电压的失配( $V_t$  mismatch)偏差会导致访问失效、翻转读失效、写失效、保持失效等。因此,对SRAM中器件的阈值电压的测量显得尤为重要。

[0003] 传统的方法对SRAM中晶体管器件的阈值电压进行测量时采用专用的测试结构(例如如图1和图2分别所示的用于SRAM的PU器件和PD器件的传统测试结构),所测量的器件不是真正SRAM(例如图3所示出的标准的SRAM单元)芯片中的晶体管器件。而一个晶体管的参数对于不同的晶圆会有所不同,甚至在同一芯片上的晶体管之间也会由于位置的不同而有差别。因此,在专用的测试结构(例如TK, test key)中所测量的器件不能真实地反映SRAM芯片中的器件。

### 发明内容

[0004] 针对现有技术的不足,一方面,本发明提供一种用于测量SRAM的上拉或下拉器件的阈值电压的方法。所述方法包括:为所述SRAM的上拉晶体管的衬底施加第一电压;为所述SRAM的下拉晶体管的衬底和传输门(Pass Gate,PG)晶体管的衬底施加第二电压;为所述传输门晶体管的栅极施加第三电压以使其导通;为第一传输门晶体管的漏极施加第四电压,所述第一传输门晶体管的源极与待测晶体管的源极或漏极相连;为第二传输门晶体管的漏极施加在预定电压范围内单向变化的第五电压,所述第二传输门晶体管的源极与所述待测晶体管的栅极相连;禁用所述SRAM的锁存电路中除所述待测晶体管以外的晶体管;以及测量所述第一传输门晶体管的沟道电流,当所述沟道电流达到预设电流值时,所述待测晶体管的栅极电压与源极电压的差为所述待测晶体管的阈值电压。

[0005] 在本发明的一个实施例中,当所述待测晶体管为上拉晶体管时,所述禁用所述SRAM的锁存电路中除所述待测晶体管以外的晶体管包括:为所述SRAM的上拉晶体管的漏极施加第六电压,所述第六电压等于所述第二电压;以及为所述SRAM的下拉晶体管的源极施加所述第五电压;其中,所述第四电压等于所述第一电压,并且所述第五电压为从所述第一电压到零进行变化的电压。

[0006] 在本发明的一个实施例中,当所述待测晶体管为下拉晶体管时,所述禁用所述SRAM的锁存电路中除所述待测晶体管以外的晶体管包括:为所述SRAM的上拉晶体管的漏极施加所述第五电压;以及为所述SRAM的下拉晶体管的源极施加所述第二电压;其中,所述第四电压等于所述第二电压,并且所述第五电压为从零到所述第一电压进行变化的电压。

[0007] 在本发明的一个实施例中,所述第一电压为1V,所述第二电压为0V。

[0008] 在本发明的一个实施例中,所述预设电流值为100nA。

[0009] 在本发明的一个实施例中,所述第五电压为按照预定步进值在预定电压范围内进行单向变化的电压。

[0010] 在本发明的一个实施例中,所述预定步进值为0.02V。

[0011] 在本发明的一个实施例中,所述测量所述第一传输门晶体管的沟道电流包括测量所述第一传输门晶体管的漏极节点处的电流。

[0012] 另一方面,本发明提供一种用于测量SRAM的上拉器件的阈值电压的电路。所述电路包括所述SRAM,其中:所述SRAM的上拉晶体管的衬底连接第一电源、漏极连接第六电源;所述SRAM的下拉晶体管的衬底连接第二电源、源极连接第五电源;所述SRAM的传输门晶体管的衬底连接所述第二电源、栅极连接第三电源;与待测上拉晶体管的源极相连的传输门晶体管的漏极连接第四电源;以及与所述待测上拉晶体管的栅极相连的传输门晶体管的漏极连接所述第五电源;其中,所述第四电源的电压与所述第一电源的电压相同,所述第五电源的电压为从所述第一电源的电压到零进行变化的电压;当与所述待测上拉晶体管的源极相连的传输门晶体管的沟道电流达到预设电流值时,所述待测上拉晶体管的栅极电压与源极电压的差为所述待测上拉晶体管的阈值电压。

[0013] 本发明还提供一种用于测量SRAM的下拉器件的阈值电压的电路。所述电路包括所述SRAM,其中:所述SRAM的上拉晶体管的衬底连接第一电源、漏极连接第五电源;所述SRAM的下拉晶体管的衬底和源极连接第二电源;所述SRAM的传输门晶体管的衬底连接所述第二电源、栅极连接第三电源;与待测下拉晶体管的漏极相连的传输门晶体管的漏极连接第四电源;以及与所述待测下拉晶体管的栅极相连的传输门晶体管的漏极连接所述第五电源;其中,所述第四电源的电压与所述第二电源的电压相同,所述第五电源的电压为从零到所述第一电源的电压进行变化的电压;当与所述待测下拉晶体管的漏极相连的传输门晶体管的沟道电流达到预设电流值时,所述待测下拉晶体管的栅极电压与源极电压的差为所述待测下拉晶体管的阈值电压。

[0014] 本发明所提供的用于测量SRAM的上拉或下拉器件的阈值电压的方法和电路可以实现SRAM标准位元上进行测试,无需专用的测试结构,并且可以对真正SRAM芯片上的所有或任意的上拉或下拉器件进行测试,测试效率高。

## 附图说明

[0015] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。

[0016] 附图中:

[0017] 图1示出了现有的用于SRAM的上拉器件的测试结构;

[0018] 图2示出了现有的用于SRAM的下拉器件的测试结构;

[0019] 图3示出了标准的SRAM存储单元的结构;

[0020] 图4示出了根据本发明的实施例的用于测量SRAM的上拉器件的阈值电压的电路;

[0021] 图5示出了图4中的待测上拉器件PU1与现有的单个上拉器件的栅源电压-沟道电流的关系仿真图的比较;

[0022] 图6示出了根据本发明的实施例的用于测量SRAM的下拉器件的阈值电压的电路；以及

[0023] 图7示出了图6中的待测下拉器件PD1与现有的单个下拉器件的栅源电压-沟道电流的关系仿真图的比较。

### 具体实施方式

[0024] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0025] 应当理解的是,本发明能够以不同形式实施,而不应当解释为局限于这里提出的实施例。相反地,提供这些实施例将使公开彻底和完全,并且将本发明的范围完全地传递给本领域技术人员。

[0026] 在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用时,确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0027] 为了彻底理解本发明,将在下列的描述中提出详细的步骤以及详细的结构,以便阐释本发明提出的技术方案。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0028] 一方面,本发明提供一种用于测量SRAM的上拉或下拉器件的阈值电压的方法。该方法包括:为SRAM的上拉晶体管的衬底施加第一电压;为SRAM的下拉晶体管的衬底和传输门(Pass Gate,PG)晶体管的衬底施加第二电压;为传输门晶体管的栅极施加第三电压以使其导通;为第一传输门晶体管的漏极施加第四电压,第一传输门晶体管的源极与待测晶体管的源极或漏极相连;为第二传输门晶体管的漏极施加在预定电压范围内单向变化的第五电压,第二传输门晶体管的源极与待测晶体管的栅极相连;禁用SRAM的锁存电路中除待测晶体管以外的晶体管;以及测量第一传输门晶体管的沟道电流,当沟道电流达到预设电流值时,待测晶体管的栅极电压与源极电压的差为待测晶体管的阈值电压。

[0029] 该方法不改变SRAM单元的内部连接结构,只是对某些器件的引脚或对某些端口施加不同的电信号以实现SRAM单元的上拉或下拉器件的测量。

[0030] 图4示出了根据本发明的实施例的用于测量SRAM的上拉器件的阈值电压的电路。如图4所示,示例性地,待测量的SRAM为标准的6T-SRAM单元,包括两个传输门晶体管PG1和PG2、两个上拉晶体管PU1和PU2以及两个下拉晶体管PD1和PD2。根据本发明的实施例的方法对图4的SRAM的上拉器件PU1和PU2的阈值电压进行的测量直接在SRAM的标准结构上实现,SRAM的内部器件的连接关系保持不变。

[0031] 具体地,上拉晶体管PU1和下拉晶体管PD1构成第一反相器,上拉晶体管PU2和下拉晶体管PD2构成第二反相器。第一反相器和第二反相器构成锁存电路,一个反相器的输出与

另一个反相器的输入相连。第一反相器和第二反相器的输出分别作为两个存储节点(图4中示出为节点A和B)。互补位线对BL和BLB分别通过传输门晶体管PG1和PG2耦合至存储节点对A和B上。字线WL传输门晶体管PG1和PG2的栅极相连。

[0032] 根据本发明的实施例,例如可以通过选址(选择字线和位线)的方式来选择希望测量的上拉器件。在图4中,例如选择PU1作为待测上拉器件,则根据本发明实施例的对图4的PU1的阈值电压的测量可以包括如下步骤:

[0033] 步骤1:为SRAM的上拉晶体管PU1和PU2的衬底施加第一电压(图4中示出为NW,1V);为SRAM的下拉晶体管PD1和PD2的衬底施加第二电压,第二电压例如可以为 $V_{ss}$ ,例如为0V;为SRAM的传输门晶体管PG1和PG2的衬底施加第二电压、栅极施加第三电压,第三电压例如可以等于1.5V,以使PG1和PG2保持导通状态。

[0034] 步骤2:为与待测上拉晶体管PU1的源极相连的第一传输门晶体管PG1的漏极(即位线BL处)施加第四电压,并为与待测上拉晶体管PU1的栅极相连的第二传输门晶体管PG2的漏极(即反相位线BLB处)施加在预定电压范围内单向变化的第五电压。其中,第四电压可以等于第一电压,例如为1V;第五电压可以为从第一电压到零进行变化的电压,例如为从1V到0V进行变化的电压。第五电压在预定范围内进行单向变化时,例如从1V变化到0V时,可以按照预定的步进值进行。预定步进值例如可以为0.02V。

[0035] 步骤3:禁用SRAM的锁存电路(即由PU1、PU2、PD1和PD2构成的锁存电路)中除待测上拉晶体管PU1以外的晶体管,以使它们不对PU1的测量产生任何影响。具体地,可以为上拉晶体管PU1和PU2的漏极施加第六电压(图4中示出为Vdd),第六电压可以等于第二电压 $V_{ss}$ ,例如为0V;并且为下拉晶体管PD1和PD2的源极施加与为第二传输门晶体管PG2的漏极施加的第五电压相同的电压(图4示出为Vbb),即例如可以为下拉晶体管PD1和PD2的源极施加从1V到0V进行变化的电压。类似地,该电压从1V变化到0V时,可以按照预定的步进值进行。预定步进值例如可以为0.02V。

[0036] 基于上述3个步骤,可以使得PU2、PD1和PD2都被禁用,从而不会对待测上拉晶体管PU1的测量产生影响。具体地,由于PG2一直导通,其漏极电压为第五电压,于是节点B的电压保持为第五电压。类似地,由于PG1一直导通,其漏极电压为第四电压,于是节点A的电压保持为第四电压。

[0037] 这样,对于PD1,其栅极电压为节点B处的电压,即为第五电压,其源极电压也为第五电压,因此PD1保持不导通的状态。对于PU2,其栅极电压为节点A处的电压,即第四电压,其源极电压为节点B处的电压,即为第五电压。第四电压为1V,第五电压为从1V到0V进行变化的电压,即其栅极电压总是大于或等于其源极电压,因此PU2保持不导通状态。而对于PD2,其栅极电压为第四电压,源极电压为第五电压,基于第五电压的变化可能存在导通状态,然而其漏极电压也为第五电压,即漏源之间没有电压差,因此没有电流,即亦不会对PU1的测量产生影响。

[0038] 步骤4:测量第一传输门晶体管PG1的沟道电流 $I_d$ 。当沟道电流 $I_d$ 达到预设电流值(例如为100nA)时,待测上拉晶体管PU1的栅极电压与源极电压的差(即 $V_{BLB}-V_{BL}$ )即为PU1的阈值电压 $V_t$ 。基于为第一传输门晶体管PG1的漏极施加的第四电压和为第二传输门晶体管PG2的漏极施加的变化的第五电压,PU1将经历从不导通到导通的过程。当第一传输门晶体管PG1的沟道电流达到预设电流值(例如为100nA)时,PU1开始导通,电流从PG1的沟道经由

节点A流经PU1到Vdd(图4中的Vdd示出为0V)。

[0039] 值得注意的是,在对第一传输门晶体管PG1的沟道电流 $I_d$ 进行测量时,可以选择测量第一传输门晶体管PG1的漏极节点处(即位线BL处)的电流,而不选择测量PG1的源极节点处(即存储节点A处)的电流,这是由于存储节点A处的电流可能包含了上拉晶体管PU1的漏电流,其可能对测量结果造成影响。

[0040] 图5示出了图4中的待测上拉器件PU1与现有的单个上拉器件的栅源电压-沟道电流的关系仿真图的比较。如图5所示,当沟通电流等于100nA时,图4中的待测上拉器件PU1的栅源电压 $V_{gs}$ (即 $V_g-V_s$ )和现有的单个上拉器件的栅源电压没有明显差异。

[0041] 图6示出了根据本发明的实施例的用于测量SRAM的下拉器件的阈值电压的电路。如图6所示,示例性地,待测量的SRAM为标准的6T-SRAM单元,包括两个传输门晶体管PG1和PG2、两个上拉晶体管PU1和PU2以及两个下拉晶体管PD1和PD2。根据本发明的实施例的方法对图6的SRAM的下拉器件PD1和PD2的阈值电压进行的测量直接在SRAM的标准结构上实现。与图4类似,图6的SRAM的内部器件的连接关系保持不变,这里不再赘述。

[0042] 根据本发明的实施例,例如可以通过选址(选择字线和位线)的方式来选择希望测量的下拉器件。在图6中,例如选择PD1作为待测下拉器件,则根据本发明实施例的对图6的PD1的阈值电压的测量可以包括如下步骤:

[0043] 步骤1:为SRAM的上拉晶体管PU1和PU2的衬底施加第一电压(图6中示出为NW,1V);为SRAM的下拉晶体管PD1和PD2的衬底施加第二电压,第二电压例如可以为 $V_{ss}$ ,例如为0V;为SRAM的传输门晶体管PG1和PG2的衬底施加第二电压、栅极施加第三电压,第三电压例如可以等于1.5V,以使PG1和PG2保持导通状态。

[0044] 步骤2:为与待测下拉晶体管PD1的漏极相连的第一传输门晶体管PG1的漏极(即位线BL处)施加第四电压,并为与待测下拉晶体管PD1的栅极相连的第二传输门晶体管PG2的漏极(即反相位线BLB处)施加在预定电压范围内单向变化的第五电压。其中,第四电压可以等于第二电压,例如为0V;第五电压可以为从零到第一电压进行变化的电压,例如为从0V到1V进行变化的电压。第五电压在预定范围内进行单向变化时,例如从0V变化到1V时,可以按照预定的步进值进行。预定步进值例如可以为0.02V。

[0045] 步骤3:禁用SRAM的锁存电路(即由PU1、PU2、PD1和PD2构成的锁存电路)中除待测下拉晶体管PD1以外的晶体管,以使它们不对PD1的测量产生任何影响。具体地,可以为下拉晶体管PD1和PD2的源极施加第二电压(图6中示出为 $V_{ss}$ );并且为上拉晶体管PU1和PU2的漏极施加与为第二传输门晶体管PG2的漏极施加的第五电压相同的电压(图6中示出为 $V_{bb}$ ),即例如可以为上拉晶体管PU1和PU2的漏极施加从0V到1V进行变化的电压。类似地,该电压从0V变化到1V时,可以按照预定的步进值进行。预定步进值例如可以为0.02V。

[0046] 基于上述3个步骤,可以使得PU1、PD2和PU2都被禁用,从而不会对待测下拉晶体管PD1的测量产生影响。具体地,由于PG2一直导通,其漏极电压为第五电压,于是节点B的电压保持为第五电压。类似地,由于PG1一直导通,其漏极电压为第四电压,于是节点A的电压保持为第四电压。

[0047] 这样,对于PU1,其栅极电压为节点B处的电压,即为第五电压,其源极电压为第四电压,第四电压可以为0V,第五电压为从0V到1V进行变化的电压,也就是说,PU1的栅极电压总是大于或等于源极电压,因此PU1保持不导通的状态。对于PD2,其栅极电压为节点A处的



电压,即第四电压,其源极电压也为等于第四电压的第二电压,因此PD2总是保持不导通状态。而对于PU2,其栅极电压为第四电压,源极电压为第五电压,基于第五电压的变化可能存在导通状态,然而其漏极电压也为第五电压,即漏源之间没有电压差,因此没有电流,即亦不会对PD1的测量产生影响。

[0048] 步骤4:测量第一传输门晶体管PG1的沟道电流 $I_d$ 。当沟道电流 $I_d$ 达到预设电流值(例如为100nA)时,待测下拉晶体管PD1的栅极电压与源极电压的差(即 $V_{BLB}-V_{BL}$ )即为PD1的阈值电压 $V_t$ 。基于为第一传输门晶体管PG1的漏极施加的第四电压和为第二传输门晶体管PG2的漏极施加的变化的第五电压,PD1将经历从不导通到导通的过程。当第一传输门晶体管PG1的沟道电流达到预设电流值(例如为100nA)时,PD1开始导通,电流从PG1的沟道经由节点A流经PD1到 $V_{ss}$ 。

[0049] 类似地,在对第一传输门晶体管PG1的沟道电流 $I_d$ 进行测量时,可以选择测量第一传输门晶体管PG1的漏极节点处(即位线BL处)的电流,而不选择测量PG1的源极节点处(即存储节点A处)的电流,这是由于存储节点A处的电流可能包含了上拉晶体管PU1的漏电流,其可能对测量结果造成影响。

[0050] 图7示出了图6中的待测下拉器件PD1与现有的单个下拉器件的栅源电压-沟道电流的关系仿真图的比较。如图7所示,当沟通电流等于100nA时,图6中的待测下拉器件PD1的栅源电压 $V_{gs}$ (即 $V_g-V_s$ )和现有的单个下拉器件的栅源电压没有明显差异。

[0051] 另一方面,本发明提供一种用于测量SRAM的上拉器件的阈值电压的电路。电路包括该SRAM,其中:SRAM的上拉晶体管的衬底连接第一电源、漏极连接第六电源;SRAM的下拉晶体管的衬底连接第二电源、源极连接第五电源;SRAM的传输门晶体管的衬底连接第二电源、栅极连接第三电源;与待测上拉晶体管的源极相连的传输门晶体管的漏极连接第四电源;以及待测上拉晶体管的栅极相连的传输门晶体管的漏极连接第五电源;其中,第四电源的电压与第一电源的电压相同,第五电源的电压为从第一电源的电压到零进行变化的电压;当与待测上拉晶体管的源极相连的传输门晶体管的沟道电流达到预设电流值时,待测上拉晶体管的栅极电压与源极电压的差为待测上拉晶体管的阈值电压。具体地,第一电源可以为NW,其电压例如为1V;第二电源可以为 $V_{ss}$ ,其电压例如为0V;第三电源的电压例如可以为1.5V;第四电源的电压例如可以为1V;第五电源可以为 $V_{bb}$ ,其电压例如可以为从1V到0V进行单向变化的电压;第六电源例如可以为 $V_{dd}$ ,其电压例如为0V。

[0052] 本发明还提供一种用于测量SRAM的下拉器件的阈值电压的电路。电路包括该SRAM,其中:SRAM的上拉晶体管的衬底连接第一电源、漏极连接第五电源;SRAM的下拉晶体管的衬底和源极连接第二电源;SRAM的传输门晶体管的衬底连接第二电源、栅极连接第三电源;与待测下拉晶体管的漏极相连的传输门晶体管的漏极连接第四电源;以及待测下拉晶体管的栅极相连的传输门晶体管的漏极连接第五电源;其中,第四电源的电压与第二电源的电压相同,第五电源的电压为从零到第一电源的电压进行变化的电压;当与待测下拉晶体管的漏极相连的传输门晶体管的沟道电流达到预设电流值时,待测下拉晶体管的栅极电压与源极电压的差为待测下拉晶体管的阈值电压。具体地,第一电源可以为NW,其电压例如为1V;第二电源可以为 $V_{ss}$ ,其电压例如为0V;第三电源的电压例如可以为1.5V;第四电源的电压例如可以为0V;第五电源可以为 $V_{bb}$ ,其电压例如可以为从0V到1V进行单向变化的电压。

[0053] 综上,本发明所提供的用于测量SRAM的上拉或下拉器件的阈值电压的方法和电路可以实现在SRAM标准位元上进行测试,无需专用的测试结构,并且可以对真正SRAM芯片上的所有或任意的上拉或下拉器件进行测试,测试效率高。

[0054] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

PU的传统测试结构

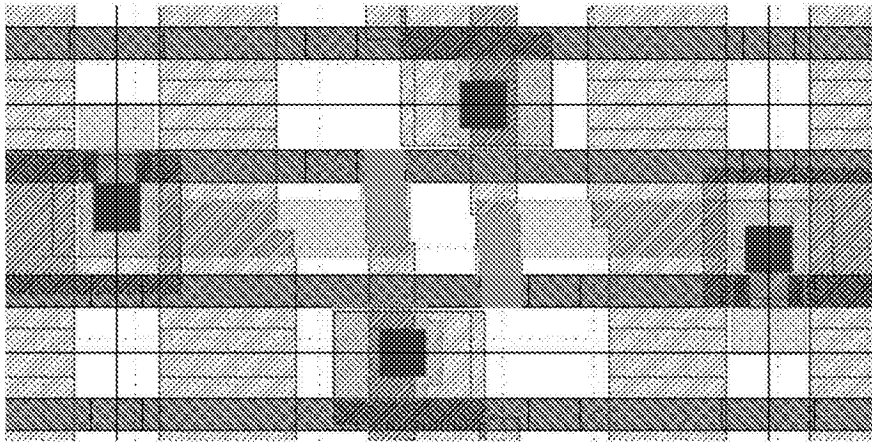


图1

PD的传统测试结构

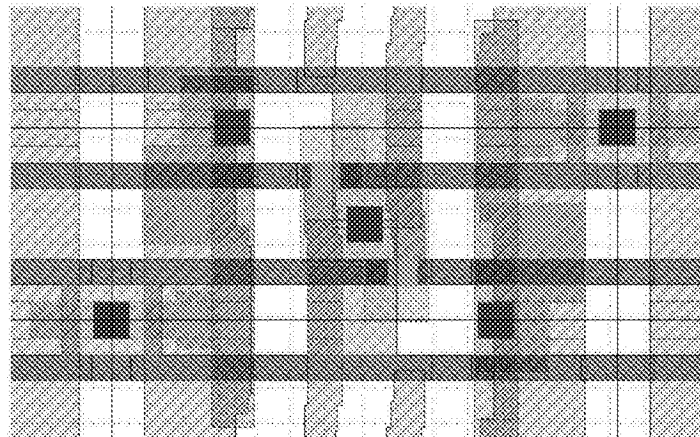


图2

SRAM的标准单元结构

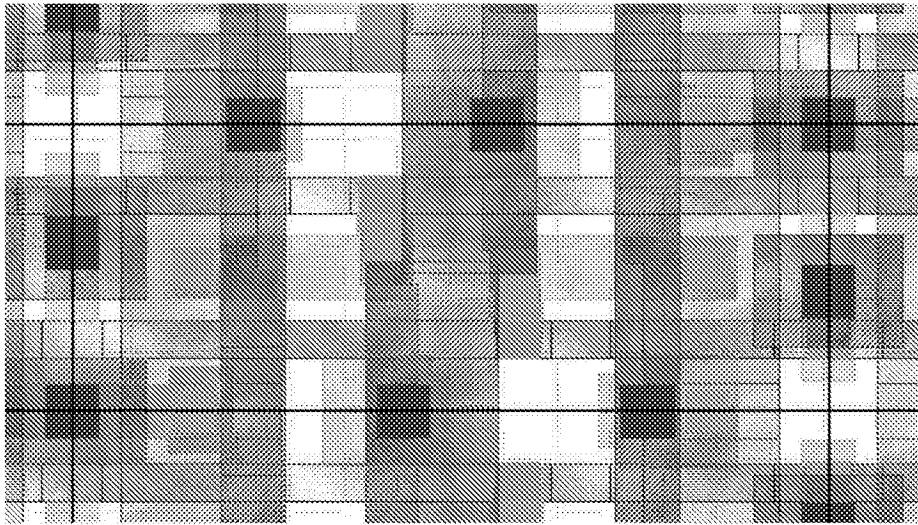


图3

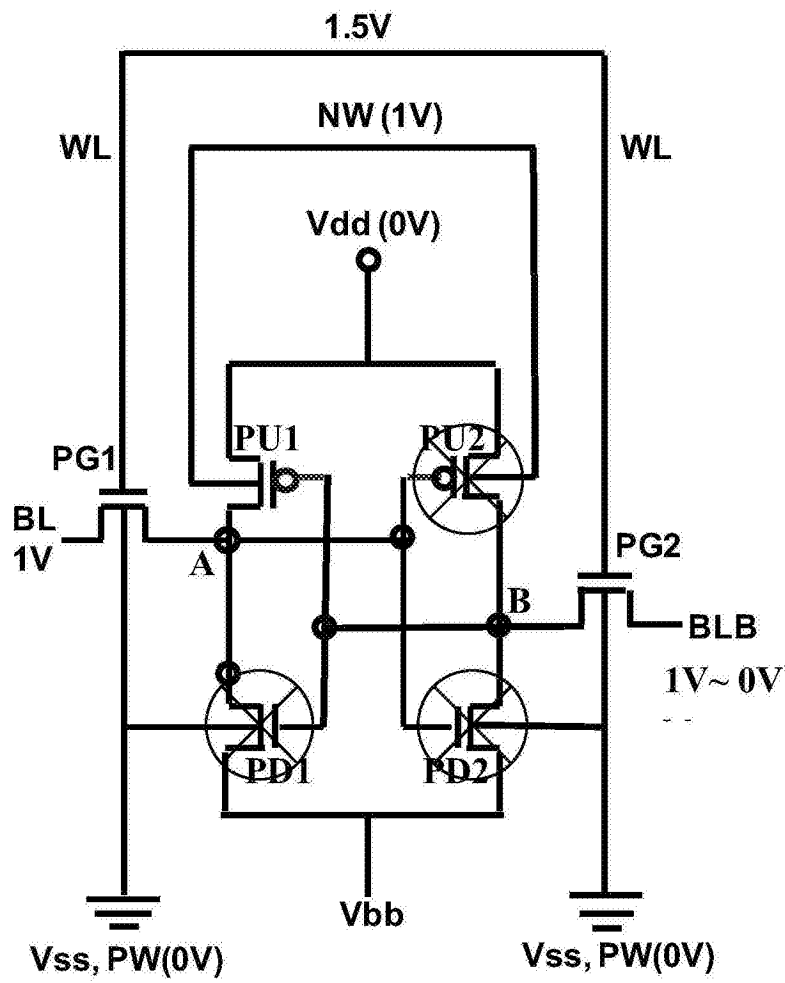


图4

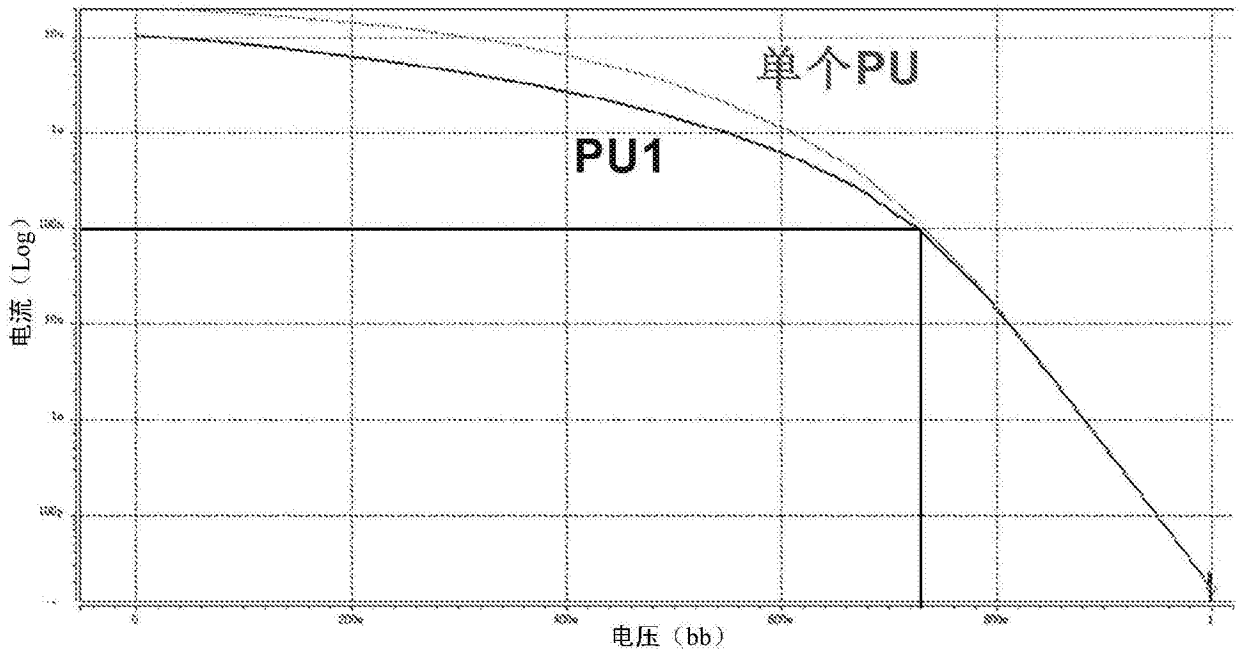


图5

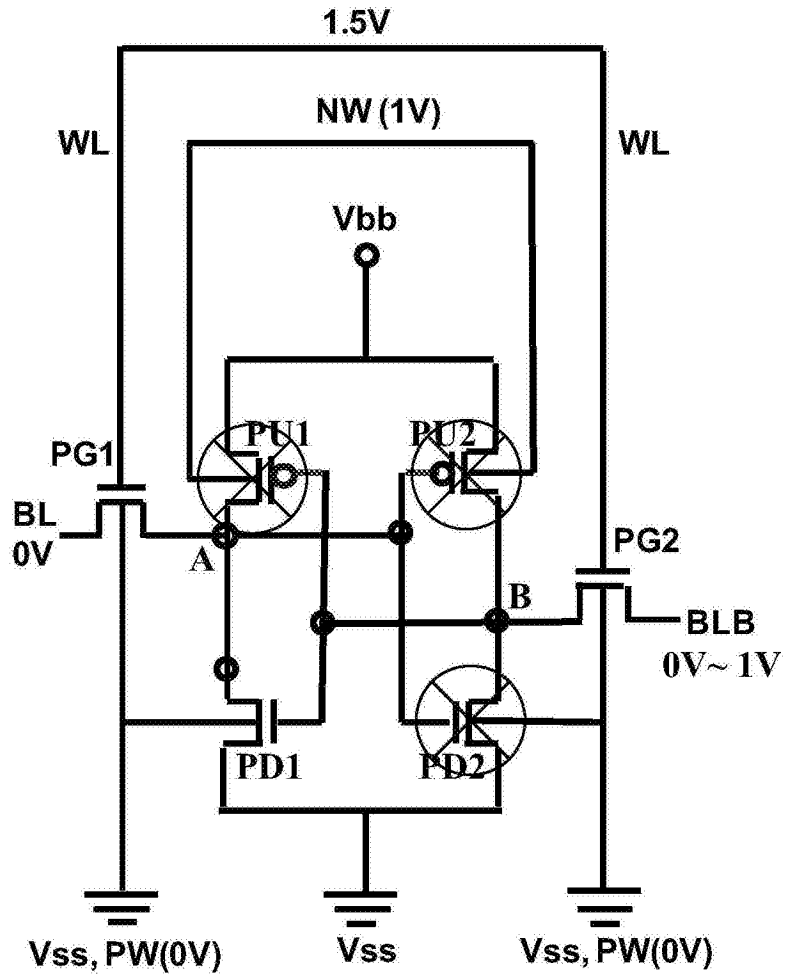


图6

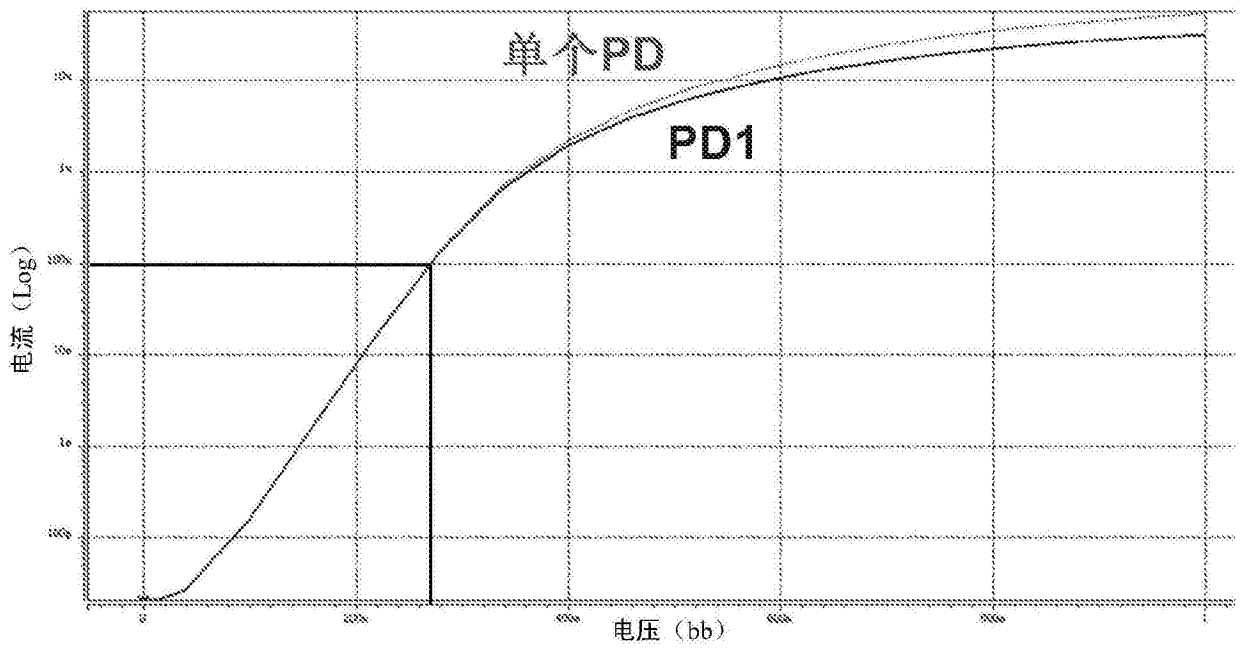


图7