

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020年6月11日 (11.06.2020)



(10) 国际公布号
WO 2020/114053 A1

- (51) 国际专利分类号:
H01L 27/12 (2006.01) *H01L 21/77* (2017.01) 省成都市高新区(西区)合作路1188号, Sichuan 611731 (CN)。
- (21) 国际申请号: PCT/CN2019/108660 (72) 发明人: 曾超(ZENG, Chao); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。黄炜熨(HUANG, Weiyun); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。黄耀(HUANG, Yao); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。高永益(KO, Youngyik); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。
- (22) 国际申请日: 2019年9月27日 (27.09.2019)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201811486997.0 2018年12月6日 (06.12.2018) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路10号, Beijing 100015 (CN)。成都京东方光电科技有限公司 (CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川 (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路87号4-1105室, Beijing 100089 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

(54) Title: ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR, AND DISPLAY DEVICE

(54) 发明名称: 阵列基板及其制造方法、显示装置

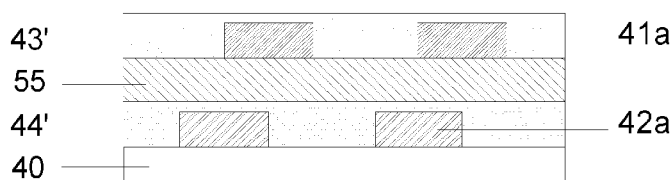


图 2

(57) Abstract: An array substrate, comprising a base substrate (40) and a display region (10) and a fan-out region (20) which are disposed on the base substrate. A signal line is disposed in the display region (10), the fan-out region (20) comprises a first fan-out line layer, a second fan-out line layer, and one or more spacing layers (55) between the first fan-out line layer and the second fan-out line layer, a first fan-out line (41a) is disposed in the first fan-out line layer, a second fan-out line (42a) is disposed in the second fan-out line layer, the signal line is connected to the first fan-out line (41a) or the second fan-out line (42a), and the spacing layers (55) are made of an insulating material, wherein the orthographic projection of the first fan-out line (41a) on the base substrate (40) and the orthographic projection of the second fan-out line (42a) on the base substrate (40) at least partially overlap. Further provided are a method for manufacturing the array substrate, and a display device.

(57) 摘要: 一种阵列基板, 包括: 衬底基板(40); 以及设置在衬底基板上的显示区域(10)和扇出区域(20), 在所述显示区域(10)中设置有信号线, 所述扇出区域(20)包括第一扇出线层、第二扇出线层和在所述第一扇出线层与所述第二扇出线层之间的一个或更多个间隔层(55), 在所述第一扇出线层中设置有第一扇出线(41a), 在所述第二扇出线层中设置有第二扇出线(42a), 所述信号线与所述第一扇出线(41a)或第二扇出线(42a)连接, 所述间隔层(55)采用绝缘材料制作; 其中, 所述第一扇出线(41a)在衬底基板(40)上的正投影与所述第二扇出线(42a)在衬底基板(40)上的正投影至少存在部分重叠。还提供了一种阵列基板的制造方法和显示装置。

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

阵列基板及其制造方法、显示装置

相关申请的交叉引用

本申请要求于 2018 年 12 月 6 日递交中国专利局的、申请号为 201811486997.0 的中国专利申请的权益，该申请的全部内容以引用方式并入本文。

技术领域

本公开涉及显示技术领域，特别是指一种阵列基板及其制造方法、显示装置。

背景技术

现如今，减小显示面板下边框，提高显示的屏占比是显示面板发展的方向之一。现有设计中，在模组工艺（MDL）中的弯折工艺（bending）之后，扇出区（Fanout）是显示面板下边框的主要构成单元，占显示面板整个下边框的 64%。为了减小显示面板下边框的宽度，则需要减小 Fanout 走线之间的间距（pitch），以压缩 Fanout 在 Y 方向的长度。

公开内容

本公开的实施例提供了一种阵列基板，包括：衬底基板；以及设置在衬底基板上的显示区域和扇出区域，在所述显示区域中设置有信号线，所述扇出区域包括第一扇出线层、第二扇出线层和在所述第一扇出线层与所述第二扇出线层之间的一个或更多个间隔层，在所述第一扇出线层中设置有第一扇出线，在所述第二扇出线层中设置有第二扇出线，所述信号线与所述第一扇出线或第二扇出线连接，所述间隔层采用绝缘材料制作；其中，所述第一扇出线在衬底基板上的正投影与所述第二扇出线在衬底基板上的正投影至少存在部分重叠。

在一些实施例中，所述信号线包括与第一扇出线连接的第一信号线和与第二扇出线连接的第二信号线。

在一些实施例中，所述阵列基板包括遮光层，所述遮光层用于遮挡从所述衬底基板入射到阵列基板中的光线，所述第二扇出线层与所述阵列基板的遮光层由相同材料制成且位于同一层。

在一些实施例中，所述阵列基板包括至少一个栅线层，所述第一扇出线层与所述

至少一个栅线层中的一个栅线层由相同材料制成且设置于同一层。

在一些实施例中，所述信号线包括数据线，所述阵列基板还包括数据线层和转接线层，所述数据线设置于所述数据线层中，所述转接线层设置在所述数据线层与所述第一扇出线层或所述第二扇出线层之间；所述转接线层包括转接线，所述数据线与所述转接线电连接且所述转接线与所述第一扇出线或第二扇出线电连接。

在一些实施例中，所述信号线还包括栅线；所述转接线层与所述栅线由相同材料制成且布置在同一层。

在一些实施例中，所述阵列基板包括第一栅线层和第二栅线层，所述转接线层与所述第一栅线层由相同材料制成且布置在同一层，所述扇出区域包括位于所述转接线层和第二扇出线层之间的至少一个缓冲层和第一栅极绝缘层以及位于所述数据线层和所述转接线层之间的第二栅极绝缘层和至少一个层间介质层，所述数据线通过贯穿所述第二栅极绝缘层和至少一个层间介质层的第一导电塞与所述转接线电连接且所述转接线通过贯穿所述至少一个缓冲层和第一栅极绝缘层的第二导电塞与所述第二扇出线电连接。

在一些实施例中，所述阵列基板包括第一栅线层和第二栅线层，所述转接线层与所述第二栅线层由相同材料制成且布置在同一层，所述扇出区域包括位于所述转接线层和第二扇出线层之间的至少一个缓冲层、第一栅极绝缘层和第二栅极绝缘层以及位于所述数据线层和所述转接线层之间的至少一个层间介质层，所述数据线通过贯穿所述至少一个层间介质层的第三导电塞与所述转接线电连接且所述转接线通过贯穿所述至少一个缓冲层、第一栅极绝缘层和第二栅极绝缘层的第四导电塞与所述第二扇出线电连接。

在一些实施例中，所述信号线包括数据线，所述阵列基板还包括数据线层，所述数据线设置于所述数据线层中，所述数据线通过第五导电塞与所述第一扇出线或第二扇出线电连接，所述第五导电塞贯穿所述数据线层与所述第一扇出线层或第二扇出线层之间的一个或多个绝缘层。

在一些实施例中，所述第一扇出线在衬底基板上的正投影与所述第二扇出线在衬底基板上的正投影完全重叠。

在一些实施例中，所述间隔层包括缓冲层或至少一个栅极绝缘层或缓冲层与至少一个栅极绝缘层的组合。

在一些实施例中，所述一个或多个间隔层的总厚度大于 500nm。

在一些实施例中，所述第一扇出线层包括多个所述第一扇出线，所述第二扇出线层包括多个所述第二扇出线，所述多个第一扇出线的节距和所述多个第二扇出线的节距在 1.5 至 3.0 微米之间。

在一些实施例中，彼此至少部分交叠的所述第一扇出线和所述第二扇出线之间的单位面积电容小于 8×10^{-5} 皮法/平方微米。

本公开的实施例提供了一种显示装置，包括如上所述任一实施例所述的阵列基板。

本公开的实施例还提供了一种阵列基板的制造方法，包括：在衬底基板上形成包括第二扇出线的第二扇出线层；在所述第二扇出线层的远离衬底基板的一侧形成一个或多个间隔层；在所述间隔层的远离衬底基板的一侧形成包括第一扇出线的扇出线层，所述第一扇出线在衬底基板上的正投影与所述第二扇出线在衬底基板上的正投影至少存在部分重叠；在所述第一扇出线层的远离衬底基板的一侧形成包括信号线的信号线层，所述信号线与所述第一扇出线或第二扇出线连接；其中，所述间隔层采用绝缘材料制作；所述信号线形成在所述阵列基板的显示区域，所述第一扇出线和第二扇出线形成在所述阵列基板的扇出区域。

在一些实施例中，所述在衬底基板上形成包括第二扇出线的第二扇出线层还包括：在所述衬底基板上形成第一金属薄膜；对所述第一金属薄膜进行图案化处理，形成遮光层和所述第二扇出线层；所述遮光层用于遮挡从所述衬底基板入射到阵列基板中的光线。

在一些实施例中，所述信号线包括栅线，在所述第二扇出线层的远离衬底基板的一侧形成一个或多个间隔层之后，所述方法还包括：在所述间隔层上形成第二金属薄膜；对所述第二金属薄膜进行图案化处理，在所述显示区域形成栅线层，在所述显示区域和扇出区域的交界位置形成转接线层。

在一些实施例中，所述第一扇出线在衬底基板上的正投影与所述第二扇出线在衬底基板上的正投影重叠。

在一些实施例中，所述间隔层包括缓冲层或至少一个栅极绝缘层或缓冲层与至少一个栅极绝缘层的组合。

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本公开的一些实施例，而非对本公开的

限制。

图 1 为根据本公开的一些实施例的一种阵列基板的示意图；

图 2 为根据本公开的一些实施例的阵列基板的扇出区沿图 1 中 AA' 方向的剖面结构示意图；

图 3 为压缩走线节距 (pitch) 实现下边框在 Y 方向上变窄的原理示意图；

图 4 为根据本公开的另一一些实施例的阵列基板的扇出区沿图 1 中 AA' 方向的剖面结构示意图；

图 5A 为根据本公开的另一一些实施例的阵列基板的扇出区沿图 1 中 BB' 方向的剖面结构示意图；

图 5B 为根据本公开的又一些实施例的阵列基板的扇出区沿图 1 中 BB' 方向的剖面结构示意图；

图 5C 为根据本公开的再一些实施例的阵列基板的扇出区沿图 1 中 BB' 方向的剖面结构示意图；

图 6A 为根据本公开的另一一些实施例的阵列基板的扇出区沿图 1 中 BB' 方向的剖面结构示意图；

图 6B 为根据本公开的再一些实施例的阵列基板的扇出区沿图 1 中 BB' 方向的剖面结构示意图；以及

图 7 为根据本公开的一些实施例的阵列基板的制造方法的流程示意图。

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“一个”、“一”或者“该”等类似词语也不表示数量限制，而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该

词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

本公开实施例提出了一种阵列基板，能够在一定程度上减小显示面板边框宽度。

图 1 示出了一种阵列基板的示意图。所述阵列基板包括显示区域 10 和扇出区域 20。在所述显示区域中形成有信号线，所述信号线包括数据线 11、第一栅线 12 和第二栅线 13，所述数据线 11 用于输入驱动信号，所述第一栅线 12 例如用于连接薄膜晶体管（TFT）的栅极以提供扫描信号，所述第二栅线 13 例如用于形成存储电容。所述显示区域 10 中的信号线例如可通过扇出区域 20 中的扇出线与外部集成电路（IC）实现信号传输。

外部集成电路通常采用独立的电路板 70 来实现，而电路板 70 与扇出区域 20 之间还具有弯折区域 80，通过弯折区域 80 的弯折，使得所述电路板 70 可以折收于显示面板的显示区域和扇出区域的下方，从而不占用边框宽度。

图 2 为图 1 中扇出区域 20 在 AA' 方向的截面视图，如图 2 所示，在所述扇出区域，设置有第一扇出线 41a 和第二扇出线 42a，所述信号线可以与所述第一扇出线 41a 连接或者所述信号线也可以与所述第二扇出线 42a 连接，以使信号线通过扇出线与外部集成电路实现信号传输（在一些实施例中，所述信号线可以包括与第一扇出线 41a 连接的第一信号线和与第二扇出线 42a 连接的第二信号线）；在所述第一扇出线 41a 所在的第一扇出线层与所述第二扇出线 42a 所在的第二扇出线层之间，可以设置有一个或多个间隔层 55；所述间隔层 55 采用绝缘材料制作，可用于使所述第一扇出线层和第二扇出线层之间保持较大的层间间隔；所述第一扇出线 41a 在衬底基板 40 上的正投影与所述第二扇出线 42a 在衬底基板 40 上的正投影至少存在部分重叠。图 2 中所示的阵列面板，还包括第一绝缘层 43' 和第二绝缘层 44'。其中，第二绝缘层 44' 也可以看成是间隔层之一。

从上述实施例可以看出，本公开提供的阵列基板，通过在第一扇出线层和第二扇出线层之间设置间隔层使二者的层间间隔增大，从而减小了第一扇出线和第二扇出线之间形成的电容，进而减少了串扰问题，降低了功耗；同时，第一扇出线和第二扇出线之间形成的电容的减小，也使得所述第一扇出线和第二扇出线之间可以存在一定重

叠，从而减小了走线 pitch，压缩扇出区域在 Y 方向的长度，有助于实现窄边框。

下面结合图 1 和图 3 简要说明减小走线 pitch 与实现窄边框的关系。如图 3 所示，通常扇出区域的扇出线 (Fanout) 具有倾斜段和垂直段，当减小扇出线的走线 pitch 时，扇出线会向中间压缩，扇出线的倾斜段则会同时向 X 与 Y 两个方向 (参考图 1) 压缩，这样便压缩了扇出线在 Y 方向的长度，从而使得阵列基板的下边框的宽度变窄。

作为本公开的一些实施例，如图 4 所示，所述第一扇出线 41b 在衬底基板 40 上的正投影与其相对应的所述第二扇出线 42b 在衬底基板 40 上的正投影重叠。因为通过增大层间间隔的方式减小了第一扇出线和第二扇出线之间形成的电容，进而减小了串扰问题，使得第一扇出线与第二扇出线间可形成完全交叠，进一步缩小了走线间距，从而进一步减小了下边框的宽度。采用这种重叠扇出线的方式，例如，走线 pitch 相比现有设计能够减小约 17%，进而扇出区域在 Y 方向的长度相比现有设计能够压缩约 20%。

作为本公开的一些实施例，参考图 5A、5B 和 5C 所示，所述间隔层 55 可以包括缓冲层 (Buffer)。当衬底基板 40 为玻璃时，其上通常会设置有缓冲层，缓冲层可隔离衬底基板上的杂质进入其他层。缓冲层材质不限，但通常为绝缘材料，例如可以为 SiNX 或 SiOX。因为缓冲层通常设置在靠近衬底基板 40 的位置，因此，当第二扇出线 42e/42f/42g 位于缓冲层以下而第一扇出线 41e/41f (参考图 6A 和图 6B) 位于缓冲层以上时，能够保证第一扇出线和第二扇出线之间的层间间隔足够大，以达到减小二者间电容的目的。

作为本公开的一个实施例，参考图 5A、5B 或 5C 所示，所述衬底基板 40 上通常会形成的一层遮光物质，用于形成遮光层，所述遮光层 LS 用于遮挡从所述阵列基板背面入射 (如从衬底基板入射到阵列基板中) 的光线，以防止所述光线在阵列基板中产生不良影响 (例如防止光线照射所述阵列基板的薄膜晶体管 (TFT) 阵列中的有源层，进而防止有源层因光照而产生光生载流子)。可以看出，所述第二扇出线层 42e、42f 或 42g 也设置在所述衬底基板 40 上，亦即所述第二扇出线层 42e、42f 或 42g 与所述阵列基板的遮光层可以由相同材料制成且位于同一层。或者说，所述第二扇出线层 42e、42f 或 42g 本身也可看成是遮光层 LS 的一部分，也具有遮光作用。因为遮光层 LS 通常直接置于衬底基板上，属于最底层的层级结构，因此，当其中一层扇出线层与 LS 共层时，可以使得该层扇出线与另一层扇出线之间的层间间隔足够大。

在一些实施例中，当所述遮光层采用金属材料制作时，所述第二扇出线 42e、42f 或 42g，是通过对处于所述扇出区域 20 的遮光层 LS 进行图案化处理形成的；通过利

用遮光层 LS 制作其中一层扇出线，一方面，能够使得其与另一层扇出线之间的层间间隔能够增大，以进一步减小串扰问题；另一方面，能够同时把存在于扇出区域的遮光层（金属材料，通常为 Mo）更充分地利用起来。

作为本公开的一些实施例，如图 1 所示，所述阵列基板中的显示区域内具有用于形成薄膜晶体管（TFT）的栅极的第一栅线 12 以及用于形成存储电容的第二栅线 13，在制作这两种栅线的时候，可利用构图工艺一次性在扇出区域形成扇出线。如图 6A 所示，用于形成 TFT 的栅极的第一栅线，在扇出区域用作第一扇出线 41e，搭配图 5A、5B 或 5C 所示的第二扇出线 42e、42f 或 42g，共同形成为扇出区域的扇出线。如图 6B 所示，用于形成存储电容的第二栅线，在扇出区域用作第一扇出线 41f，搭配图 5A、5B 或 5C 所示的第二扇出线 42e、42f 或 42g，共同形成为扇出区域的扇出线。需要说明的是，虽然在扇出区域的第一扇出线是通过栅线制作的，但只是因为它们可以在同一层采用一次构图工艺同时制作而成，并不代表第一扇出线与栅线之间是电连接的，可以知道的，为了使栅线和扇出线分别实现相应的功能，二者通常情况下是不会相互电连接的。

当所述第一栅线或第二栅线形成为第一扇出线时，其可搭配前述的由遮光层 LS 图案化后形成的第二扇出线，来作为扇出区的两种扇出线，并且在第一扇出线所在的第一扇出线层与所述第二扇出线所在的第二扇出线层之间，通常会包括第一缓冲层 44、第二缓冲层 45、第一栅极绝缘层 46 等（如图 5B 所示，某些情况下还可包括第二栅极绝缘层 47），这些层级结构均可属于所述间隔层的一部分，这样，利用缓冲层、栅极绝缘层等层级结构的厚度去减小第一扇出线和第二扇出线之间的电容，避免第一扇出线和第二扇出线之间的信号相互串扰。若需进一步减小第一扇出线和第二扇出线之间的电容，还可以适当增大缓冲层、栅极绝缘层等层级结构的厚度。

在一些实施例中，所述一个或多个间隔层的总厚度可以大于 500nm。在一些实施例中，彼此至少部分交叠的所述第一扇出线和所述第二扇出线之间的单位面积电容小于 8×10^{-5} 皮法/平方微米。上述间隔层的总厚度和单位面积电容的设计可以有效地防止第一扇出线和第二扇出线之间的信号相互串扰。

在一些实施例中，所述第一扇出线层包括多个第一扇出线，所述第二扇出线层包括多个第二扇出线，所述多个第一扇出线的节距和所述多个第二扇出线的节距可以在 1.5 至 3.0 微米之间。通常情况下，扇出区域所起的主要作用在于，将显示区域的电路的数据线 11 或第一栅线 12 连接到外部集成电路中。因此，需要将数据线 11 或第一栅

线 12 通过扇出线与外部 IC 进行连接。在本公开实施例中，当采用遮光层 LS 制作其中一层扇出线时，可以直接通过过孔来连接数据线和扇出线。

在一些实施例中，所述阵列基板还可包括转接线层，所述转接线层设置在所述数据线所在的数据线层与所述第一扇出线层之间，或者，所述转接线层设置在所述数据线所在的数据线层与所述第二扇出线层之间；所述转接线层包括转接线 60a/60b（如图 5A 和 5B 所示），所述数据线通过所述转接线连接所述第一扇出线或第二扇出线。这样，通过设置转接线层，能够减小过孔深度，提高电连接可靠性。这种方式对于遮光层 LS 和数据线所在的数据线层 50 之间的层间间隔较大、二者间层级结构较为复杂的情况，尤其有益。

根据本公开的一些实施例，在所述显示区域，形成有栅线（可以是第一栅线 12 也可以是第二栅线 13）；所述转接线层与所述栅线所在的栅线层为同一层。这样，利用制作栅线时的工艺同时形成转接线，从而可以节省工艺步骤，提高生产效率。

如图 5A 所示，在显示区域 10 和扇出区域 20 的交界位置（图 5A 中两条垂直虚线之间的区域），转接线 60a 可以与用于形成 TFT 的栅极的第一栅线由相同材料制成且同层设置，数据线 50 通过所述转接线 60a 连接第二扇出线 42e。在显示区域形成栅极的同时，可以在显示区域 10 和扇出区域 20 的交界位置形成相应的转接线 60a，用于将数据线 50 与第二扇出线 42e 进行电连接。在一些实施例中，所述阵列基板可以包括第一栅线所在的第一栅线层和第二栅线所在的第二栅线层，所述转接线层可以与所述第一栅线层由相同材料制成且布置在同一层。所述扇出区域 20 包括位于所述转接线 60a 所在的转接线层和第二扇出线 42e 所在的第二扇出线层之间的至少一个缓冲层（例如第一缓冲层 44、第二缓冲层 45）和第一栅极绝缘层 46 以及位于所述数据线层和所述转接线层之间的第二栅极绝缘层 47 和至少一个层间介质层。数据线 50 通过贯穿所述第二栅极绝缘层 47 和至少一个层间介质层的第一导电塞 61 与所述转接线 60a 电连接且所述转接线 60a 通过贯穿所述至少一个缓冲层和第一栅极绝缘层 46 的第二导电塞 62 与所述第二扇出线 42e 电连接。

如图 5B 所示，在显示区域 10 和扇出区域 20 的交界位置（图 5B 中两条垂直虚线之间的区域），转接线 60b 可以与用于形成存储电容的第二栅线由相同材料制成且同层设置，用于将数据线 50 与第二扇出线 42f 进行电连接。在一些实施例中，转接线 60b 可以与所述第二栅线由相同材料制成且布置在同一层，所述扇出区域 20 可包括位于所述转接线 60b 所在的转接线层和第二扇出线 42e 所在的第二扇出线层之间的至少一个

缓冲层（例如第一缓冲层 44、第二缓冲层 45）、第一栅极绝缘层 46 和第二栅极绝缘层 47 以及位于所述数据线层和所述转接线层之间的至少一个层间介质层，所述数据线 50 通过贯穿所述至少一个层间介质层的第三导电塞 63 与所述转接线 60b 电连接且所述转接线 60b 通过贯穿所述至少一个缓冲层、第一栅极绝缘层 46 和第二栅极绝缘层 47 的第四导电塞 64 与所述第二扇出线 42f 电连接。

当然，若直接在数据线和第二扇出线之间直接通过过孔连接能够保证连接稳定性时，可以直接将数据线与第二扇出线进行连接。如图 5C 所示，数据线 50 与第二扇出线 42g 直接通过过孔进行连接。在一些实施例中，所述数据线 50 通过第五导电塞 65 与所述第一扇出线或第二扇出线电连接，所述第五导电塞 65 贯穿所述数据线层与所述第一扇出线层或第二扇出线层之间的一个或多个绝缘层。

需要说明的是，如图 1 所示，外部集成电路通常采用独立的电路板 70 来实现，而电路板 70 与扇出区域 20 之间还具有弯折区域 80，通过弯折区域 80 的弯折，使得所述电路板 70 可以收于显示面板的显示区域和扇出区域的下方，从而不占用边框宽度。因为扇出区域用于为显示区域和外部集成电路的连接提供过渡区域，因此，扇出区域 20 的扇出线除了与显示区域 10 的数据线连接外，还需要与弯折区域 80 的数据线连接，以实现显示区域和外部电路的数据线的信号传递。而扇出区域 20 的扇出线与弯折区域 80 的数据线的连接方法，也可以采用图 5A 至 5C 之中的任意一种方法来实现。

图 5A、5B、5C 示出的是利用遮光层 LS 所形成的第二扇出线与数据线的连接方式。图 6A 和 6B 则分别示出了第一扇出线 41e 与第一栅线由同样材料制成且设置在同一层和第一扇出线 41f 与第二栅线由同样材料制成且设置在同一层时，第一扇出线与数据线的连接方式。在具体实现本公开的扇出区域的扇出线排布结构时，可以采用图 5A~5C 示出的任一结构以及图 6A 或图 6B 的结构来实现。

需要说明的是，图 5A~5C 示出的主要是显示区域 10 与扇出区域 20 的交界位置（图中两条竖直虚线之间的部分）的布线方式，而在完成数据线与扇出线之间的连接后，实际在扇出区域的主要部分中，第一扇出线在衬底基板上的正投影和第二扇出线在衬底基板上的正投影之间可以存在交叠甚至是完全重叠，即如图 2、图 4 所示，这是完全可以通过构图工艺实现的。

还需要说明的是，图 5A~5C、6A 和 6B 中的层级结构中包括有衬底基板 40，基于阵列基板的制作工艺的选择，所述阵列基板还可能包括第一缓冲层 44、第二缓冲层 45、第一栅极绝缘层（GI）46、第二栅极绝缘层 47、第一层间介质层（ILD）43 和第二层

间介质层 48。其中，在这两层缓冲层中，其中一层缓冲层用于隔离玻璃制成的衬底基板 40 中的金属离子，防止金属离子扩散到 TFT 器件内，另一层缓冲层用于保温，以利于硅 (Si) 形成大的结晶晶粒。在两层层间介质层中，其中一层由 SiO_x 制成，用于起到平坦和绝缘的作用，另一层由 SiN_x 制成，用于起到修复 Si 的缺陷的作用。所述第一栅极绝缘层 46 用于实现第一栅线 12 所在的第一栅线层 (例如金属层) 的绝缘，所述第二栅极绝缘层 47 用于实现第二栅线 13 所在的第二栅线层 (例如金属层) 的绝缘。需要知道，这样的层级结构仅仅是示意性的，并不代表本公开仅保护含有所有这些层级结构的阵列基板，可以知道，在允许的情况下，所述层级结构中的各层可以有增减，这些变形也应该属于本公开的保护范围。

在前述各实施例的描述基础上，还需要指出的是，本公开旨在通过平衡走线 pitch 和走线间电容而使得显示面板在 Y 方向长度能够尽可能小，从而达到实现窄边框的目的，只要能够达到这样的目的，并且公开思路与本公开基本一致，即可认为属于本公开的保护范围。

需要说明的是，前述的部分实施例中以数据线为例进行了描述，但是可以知道的是，栅线也需要通过扇出线与外部 IC 电路进行信号传输，因此，对于栅线来说，也可以参考前述数据线的实施例来完成与扇出线的连接，在此不再赘述。

还需要说明的是，前述实施例中以阵列基板包括两种栅线 (即第一栅线 12 和第二栅线 13) 为例进行描述，但是可以知道，阵列基板中还存在仅包括一种栅线的结构 (即，仅包括用于接收扫描信号的栅线)，对于这种结构，也同样适用于前述实施例的公开思路，在此不再赘述。

本公开实施例还提供了一种显示装置，能够在一定程度上减小显示面板边框宽度。所述显示装置，包括如前所述的阵列基板的任一实施例或实施例的组合。

从上述实施例可以看出，本公开提供的显示装置，通过在第一扇出线层和第二扇出线层之间夹设间隔层使二者的层间间隔增大，从而减小了第一扇出线层和第二扇出线层之间形成的电容，进而减少了串扰问题，降低了功耗；同时，第一扇出线层和第二扇出线层之间形成的电容的减小，也使得所述第一扇出线层和第二扇出线层之间可以存在一定重叠，从而减小了走线 pitch，压缩扇出区域在 Y 方向的长度，有助于实现窄边框。

需要说明的是，本实施例中的显示装置可以为：电子纸、手机、平板电脑、电视机、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

本公开实施例还提供了一种阵列基板的制造方法，能够在一定程度上减小显示面板边框宽度。

如图 7 所示，所述阵列基板的制造方法，包括：

步骤 91：在衬底基板上形成包括第二扇出线的第二扇出线层；

步骤 92：在所述第二扇出线层的远离衬底基板的一侧形成一个或多个间隔层；

步骤 93：在所述间隔层的远离衬底基板的一侧形成包括第一扇出线的扇出线层，所述第二扇出线在衬底基板上的正投影与所述第一扇出线在衬底基板上的正投影至少存在部分重叠；

步骤 94：在所述第一扇出线层远离衬底基板的一侧形成包括信号线的信号线层，所述信号线与所述第一扇出线或第二扇出线连接；

其中，所述间隔层采用绝缘材料制作；所述信号线形成在所述阵列基板的显示区域，所述第一扇出线和第二扇出线形成在所述阵列基板的扇出区域。

从上述实施例可以看出，本公开提供的阵列基板的制造方法，通过在第一扇出线层和第二扇出线层之间夹设间隔层使二者的层间间隔增大，从而减小了第一扇出线和第二扇出线之间形成的电容，进而减少了串扰问题，降低了功耗；同时，第一扇出线和第二扇出线之间形成的电容的减小，也使得所述第一扇出线和第二扇出线之间可以存在一定重叠，从而减小了走线 pitch，压缩扇出区域在 Y 方向的长度，有助于实现窄边框。

在一些实施例中，所述阵列基板的制造方法中的步骤 91 还可包括以下步骤：

在所述衬底基板上形成第一金属薄膜；

对所述第一金属薄膜进行图案化处理，形成遮光层和所述第二扇出线层；所述遮光层用于遮挡从所述衬底基板入射到阵列基板中的的光线，例如以防止所述光线照射所述阵列基板的薄膜晶体管阵列中的有源层。

通过利用遮光层材料制作其中一层扇出线，使得其与另一层扇出线之间的层级结构均可作为所述间隔层，从而层间间隔能够增大（因遮光层直接置于衬底基板上，属于最底层的层级结构），以进一步减小串扰问题。同时能够把存在于扇出区的遮光层（金属材料）更充分地利用起来。

在一些实施例中，所述信号线还包括栅线，所述阵列基板的制造方法，在所述步骤 92 之后，还可包括以下步骤：

在所述间隔层上形成第二金属薄膜；

对所述第二金属薄膜进行图案化处理，在所述显示区域形成栅线层，在所述显示区域和扇出区域的交界位置形成转接线层。

这样，通过一次构图工艺即可同时制作形成栅线层和转接线层，精简了工艺，提升了生产效率。

在一些实施例中，所述栅线包括所述阵列基板的显示区域内的用于形成 TFT 的栅极的第一栅线 12 以及用于形成存储电容的第二栅线 13。在制作这两种栅线的同时，均可同时制作所述转接线层。

在一些实施例中，所述第一扇出线的正投影与所述第二扇出线的正投影重叠。因为减小了串扰问题，使得第一扇出线与第二扇出线间可形成交叠，进而减小线间距，从而减小下边框的宽度。

在一些实施例中，所述间隔层可包括缓冲层或至少一个栅极绝缘层或缓冲层与至少一个栅极绝缘层的组合。当衬底基板为玻璃时，缓冲层可隔离衬底基板上杂质进入其他层，缓冲层材质不限，例如可以为 SiN_x 或 SiO_x 。因为缓冲层通常设置在靠近衬底基板的层级位置，因此，当第二扇出线位于缓冲层以下而第一扇出线位于缓冲层以上时，能够保证第一扇出线和第二扇出线之间的层间间隔足够大，以达到减小二者间电容的目的。

在本公开的实施例中，通过在第一扇出线与第二扇出线之间增加设置至少一层绝缘层，可以加大第一扇出线与第二扇出线的层间间隔，进一步减小串扰问题。

需要说明的是，上述形成层的操作，包括但不限于（化学相、物理相）沉积成膜、（磁控）溅射成膜，并且本领域技术人员可以理解，在形成每个层之后，可以根据需要在其上进一步形成相应的图案，本公开对此不再赘述。

本公开实施例提供的阵列基板及其制造方法、显示装置，通过在第一扇出线层和第二扇出线层之间夹设间隔层使二者的层间间隔增大，从而减小了第一扇出线和第二扇出线之间形成的电容，进而减少了串扰问题，降低了功耗；同时，第一扇出线和第二扇出线之间形成的电容的减小，也使得所述第一扇出线和第二扇出线之间可以存在一定重叠，从而减小了走线 pitch，压缩扇出区域在 Y 方向的长度，有助于实现窄边框。

以上结合附图详细说明了本公开的技术方案，考虑到现有技术中，源漏极和有源层处于不同层，使得基板厚度较大，制作工艺复杂。通过本申请的技术方案，可以通

过对氮化铜进行掺杂处理，将源极、漏极、数据线和有源层制备在同一层中，从而减小阵列基板的厚度，简化阵列基板的制作工艺。

需要指出的是，在附图中，为了图示的清晰可能夸大了层和区域的尺寸。而且可以理解，当元件或层被称为在另一元件或层“上”时，它可以直接在其他元件上，或者可以存在中间的层。另外，可以理解，当元件或层被称为在另一元件或层“下”时，它可以直接在其他元件下，或者可以存在一个以上的中间的层或元件。另外，还可以理解，当层或元件被称为在两层或两个元件“之间”时，它可以为两层或两个元件之间惟一的层，或还可以存在一个以上的中间层或元件。通篇相似的参考标记指示相似的元件。

所属领域的普通技术人员应当理解：以上所述仅为本公开的具体实施例而已，并不用于限制本公开，凡在本公开的精神和原则之内，所做的任何修改、等同替换、改进等，均应包含在本公开的保护范围之内。

权 利 要 求 书

1. 一种阵列基板，包括：

衬底基板；以及

设置在衬底基板上的显示区域和扇出区域，在所述显示区域中设置有信号线，所述扇出区域包括第一扇出线层、第二扇出线层和在所述第一扇出线层与所述第二扇出线层之间的一个或更多个间隔层，在所述第一扇出线层中设置有第一扇出线，在所述第二扇出线层中设置有第二扇出线，所述信号线与所述第一扇出线或第二扇出线连接，所述间隔层采用绝缘材料制作；

其中，所述第一扇出线在衬底基板上的正投影与所述第二扇出线在衬底基板上的正投影至少存在部分重叠。

2. 根据权利要求1所述的阵列基板，其中，所述信号线包括与第一扇出线连接的第一信号线和与第二扇出线连接的第二信号线。

3. 根据权利要求1所述的阵列基板，其中，所述阵列基板包括遮光层，所述遮光层用于遮挡从所述衬底基板入射到阵列基板中的光线，所述第二扇出线层与所述阵列基板的遮光层由相同材料制成且位于同一层。

4. 根据权利要求3所述的阵列基板，其中，所述阵列基板包括至少一个栅线层，所述第一扇出线层与所述至少一个栅线层中的一个栅线层由相同材料制成且设置于同一层。

5. 根据权利要求3所述的阵列基板，其中，所述信号线包括数据线，所述阵列基板还包括数据线层和转接线层，所述数据线设置于所述数据线层中，所述转接线层设置在所述数据线层与所述第一扇出线层或所述第二扇出线层之间；所述转接线层包括转接线，所述数据线与所述转接线电连接且所述转接线与所述第一扇出线或第二扇出电线电连接。

6. 根据权利要求5所述的阵列基板，其中，所述信号线还包括栅线；所述转接线层与所述栅线由相同材料制成且布置在同一层。

7. 根据权利要求5所述的阵列基板，其中，所述阵列基板包括第一栅线层和第二栅线层，所述转接线层与所述第一栅线层由相同材料制成且布置在同一层，所述扇出区域包括位于所述转接线层和第二扇出线层之间的至少一个缓冲层和第一栅极绝缘层

以及位于所述数据线层和所述转接线层之间的第二栅极绝缘层和至少一个层间介质层，所述数据线通过贯穿所述第二栅极绝缘层和至少一个层间介质层的第一导电塞与所述转接线电连接且所述转接线通过贯穿所述至少一个缓冲层和第一栅极绝缘层的第二导电塞与所述第二扇出线电连接。

8. 根据权利要求 5 所述的阵列基板，其中，所述阵列基板包括第一栅线层和第二栅线层，所述转接线层与所述第二栅线层由相同材料制成且布置在同一层，所述扇出区域包括位于所述转接线层和第二扇出线层之间的至少一个缓冲层、第一栅极绝缘层和第二栅极绝缘层以及位于所述数据线层和所述转接线层之间的至少一个层间介质层，所述数据线通过贯穿所述至少一个层间介质层的第三导电塞与所述转接线电连接且所述转接线通过贯穿所述至少一个缓冲层、第一栅极绝缘层和第二栅极绝缘层的第四导电塞与所述第二扇出线电连接。

9. 根据权利要求 3 所述的阵列基板，其中，所述信号线包括数据线，所述阵列基板还包括数据线层，所述数据线设置于所述数据线层中，所述数据线通过第五导电塞与所述第一扇出线或第二扇出线电连接，所述第五导电塞贯穿所述数据线层与所述第一扇出线层或第二扇出线层之间的一个或多个绝缘层。

10. 根据权利要求 1 至 9 中任一项所述的阵列基板，其中，所述第一扇出线在衬底基板上的正投影与所述第二扇出线在衬底基板上的正投影完全重叠。

11. 根据权利要求 1 至 9 中任一项所述的阵列基板，其中，所述间隔层包括缓冲层或至少一个栅极绝缘层或缓冲层与至少一个栅极绝缘层的组合。

12. 根据权利要求 1 至 9 中任一项所述的阵列基板，其中，所述一个或多个间隔层的总厚度大于 500nm。

13. 根据权利要求 1 至 9 中任一项所述的阵列基板，其中，所述第一扇出线层包括多个所述第一扇出线，所述第二扇出线层包括多个所述第二扇出线，所述多个第一扇出线的节距和所述多个第二扇出线的节距在 1.5 至 3.0 微米之间。

14. 根据权利要求 1 至 9 中任一项所述的阵列基板，其中，彼此至少部分交叠的所述第一扇出线和所述第二扇出线之间的单位面积电容小于 8×10^{-5} 皮法/平方微米。

15. 一种显示装置，包括如权利要求 1-14 中任一项所述的阵列基板。

16. 一种阵列基板的制造方法，包括：

在衬底基板上形成包括第二扇出线的第二扇出线层；

在所述第二扇出线层的远离衬底基板的一侧形成一个或多个间隔层；

在所述间隔层的远离衬底基板的一侧形成包括第一扇出线的第一扇出线层，所述第一扇出线在衬底基板上的正投影与所述第二扇出线在衬底基板上的正投影至少存在部分重叠；

在所述第一扇出线层的远离衬底基板的一侧形成包括信号线的信号线层，所述信号线与所述第一扇出线或第二扇出线连接；

其中，所述间隔层采用绝缘材料制作；所述信号线形成在所述阵列基板的显示区域，所述第一扇出线和第二扇出线形成在所述阵列基板的扇出区域。

17. 根据权利要求 16 所述的方法，其中，所述在衬底基板上形成包括第二扇出线的第二扇出线层还包括：

在所述衬底基板上形成第一金属薄膜；

对所述第一金属薄膜进行图案化处理，形成遮光层和所述第二扇出线层；所述遮光层用于遮挡从所述衬底基板入射到阵列基板中的光线。

18. 根据权利要求 16 所述的方法，其中，所述信号线包括栅线，在所述第二扇出线层的远离衬底基板的一侧形成一个或多个间隔层之后，所述方法还包括：

在所述间隔层上形成第二金属薄膜；

对所述第二金属薄膜进行图案化处理，在所述显示区域形成栅线层，在所述显示区域和扇出区域的交界位置形成转接线层。

19. 根据权利要求 16 所述的方法，其中，所述第一扇出线在衬底基板上的正投影与所述第二扇出线在衬底基板上的正投影重叠。

20. 根据权利要求 16 所述的方法，其中，所述间隔层包括缓冲层或至少一个栅极绝缘层或缓冲层与至少一个栅极绝缘层的组合。

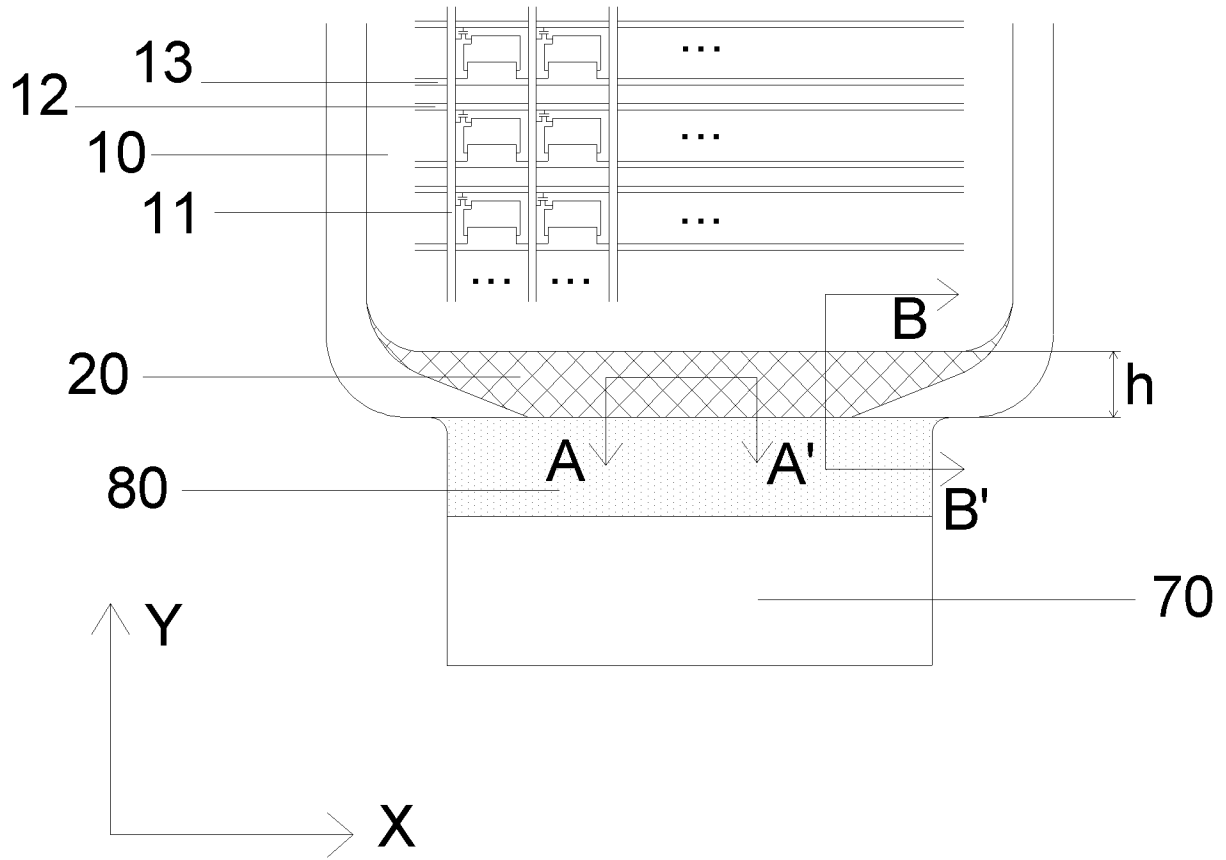


图 1

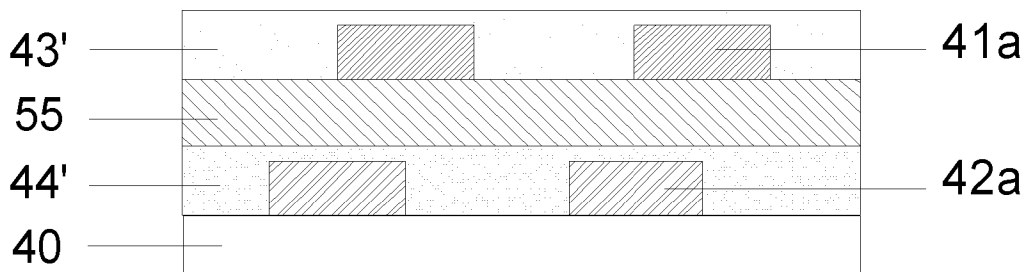


图 2

2 / 5

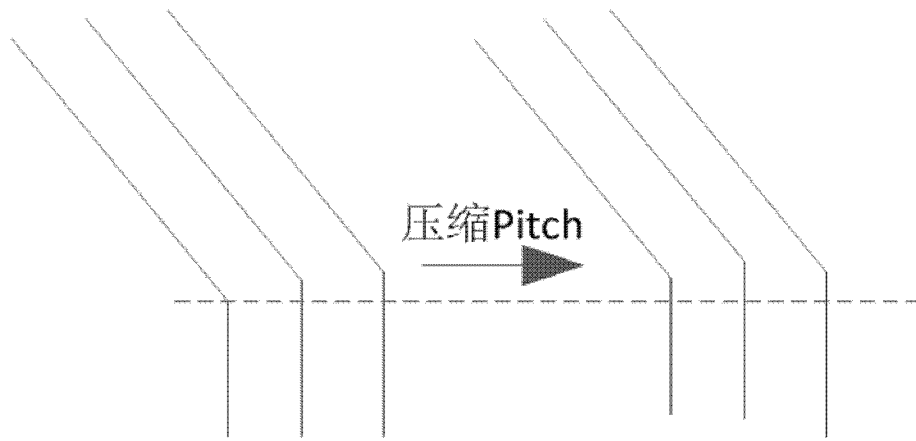


图 3

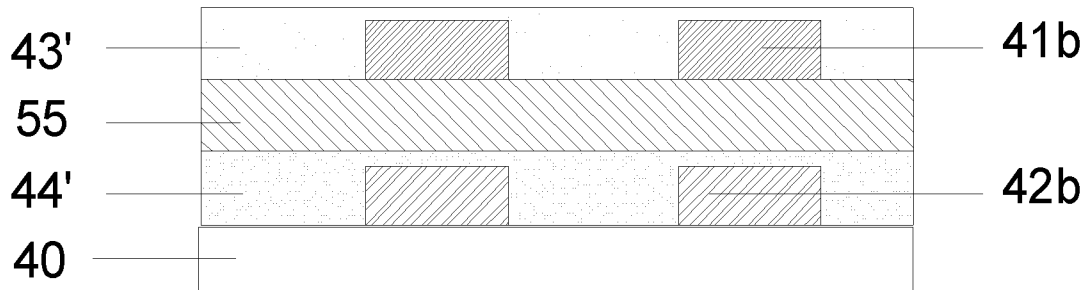


图 4

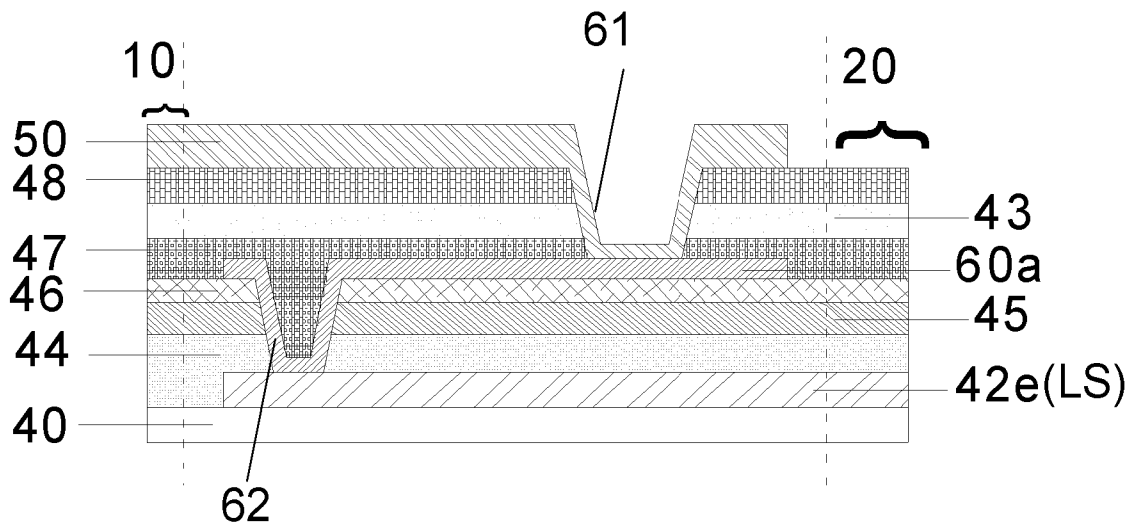


图 5A

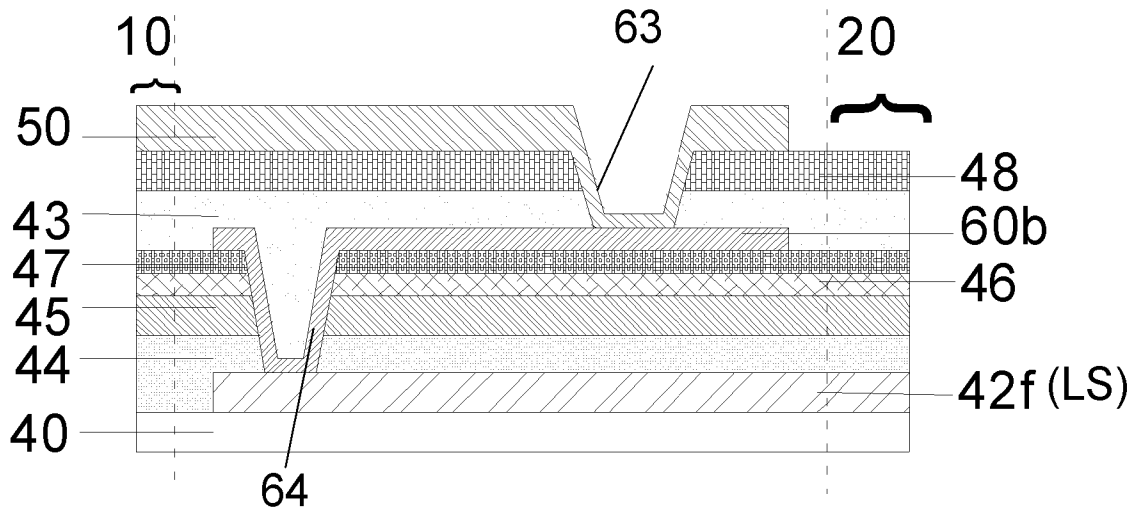


图 5B

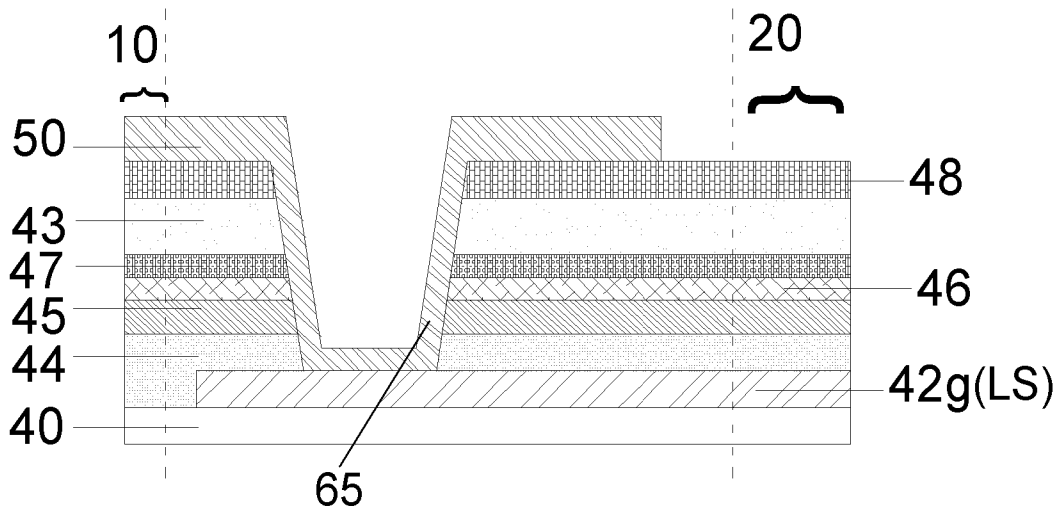


图 5C

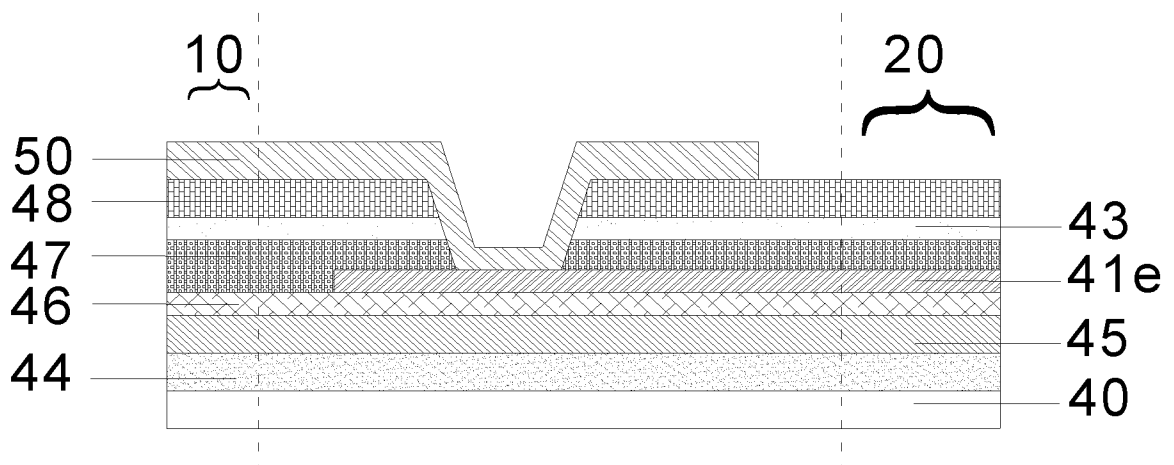


图 6A

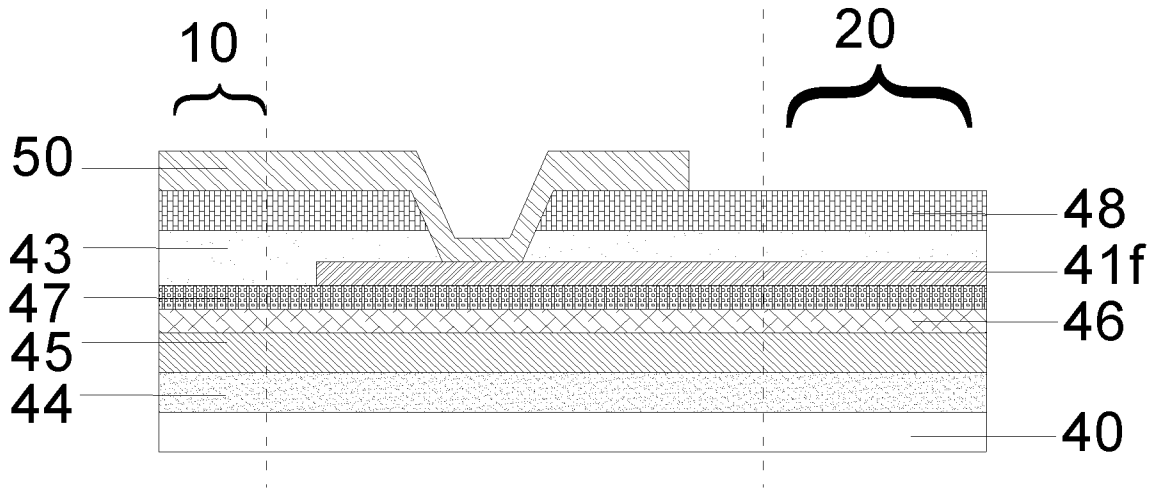


图 6B

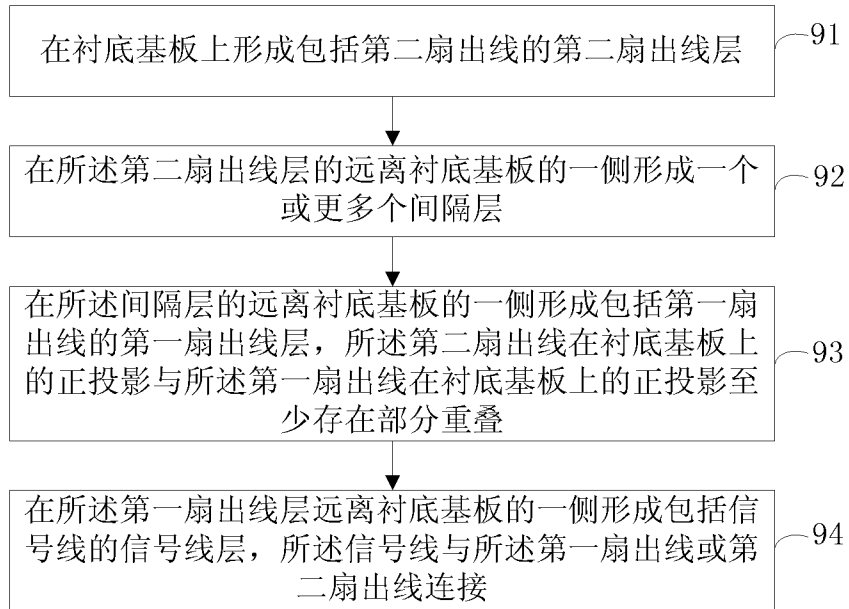


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/108660

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 27/12(2006.01)i; H01L 21/77(2017.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
WPI, EPODOC, CNPAT, CNKI, IEEE, GOOGLE: 阵列基板, 扇区, 扇出, 信号线, 数据线, 栅极线, 栅线, 电容, 重叠, 交叠, 隔离, ARRAY, FAN OUT, FANOUT, SIGNAL LINE, DATA LINE, GATE LINE, OVERLAP		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 109449169 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 08 March 2019 (2019-03-08) description, paragraphs 44-64, and figures 1-7	1-20
X	CN 108732837 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 02 November 2018 (2018-11-02) description, paragraphs 61-97, and figures 1-11	1-9, 11-18, 20
Y	CN 108732837 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 02 November 2018 (2018-11-02) description, paragraphs 61-97, and figures 1-11	10, 19
X	CN 107331294 A (XIAMEN TIANMA MICROELECTRONICS CO., LTD.) 07 November 2017 (2017-11-07) description, paragraphs 64-66, and figure 6	1-2, 15-16
X	CN 107884994 A (WUHAN TIANMA MICRO-ELECTRONICS CO., LTD.) 06 April 2018 (2018-04-06) description, paragraphs 50-58, and figures 4-7	1-2, 15-16
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
19 December 2019		27 December 2019
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088 China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/108660

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 105652544 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 08 June 2016 (2016-06-08) description, paragraph 3, and figures 1-2	10, 19
A	US 2015015800 A1 (HTC CORP.) 15 January 2015 (2015-01-15) entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/108660

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109449169	A	08 March 2019	None			
CN	108732837	A	02 November 2018	CN	108732837	B	18 October 2019
CN	107331294	A	07 November 2017	None			
CN	107884994	A	06 April 2018	None			
CN	105652544	A	08 June 2016	CN	105652544	B	12 March 2019
US	2015015800	A1	15 January 2015	US	9377891	B2	28 June 2016

国际检索报告

国际申请号

PCT/CN2019/108660

<p>A. 主题的分类</p> <p>H01L 27/12(2006.01)i; H01L 21/77(2017.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																										
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>WPI, EPDOC, CNPAT, CNKI, IEEE, GOOGLE:阵列基板、扇区、扇出、信号线、数据线、栅极线、栅线、电容、重叠、交叠、隔离、ARRAY, FAN OUT, FANOUT, SIGNAL LINE, DATA LINE, GATE LINE, OVERLAP</p>																										
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 109449169 A (京东方科技集团股份有限公司 等) 2019年 3月 8日 (2019 - 03 - 08) 说明书第44-64段、附图1-7</td> <td>1-20</td> </tr> <tr> <td>X</td> <td>CN 108732837 A (武汉华星光电技术有限公司) 2018年 11月 2日 (2018 - 11 - 02) 说明书第61-97段、附图1-11</td> <td>1-9、11-18、20</td> </tr> <tr> <td>Y</td> <td>CN 108732837 A (武汉华星光电技术有限公司) 2018年 11月 2日 (2018 - 11 - 02) 说明书第61-97段、附图1-11</td> <td>10、19</td> </tr> <tr> <td>X</td> <td>CN 107331294 A (厦门天马微电子有限公司) 2017年 11月 7日 (2017 - 11 - 07) 说明书第64-66段、附图6</td> <td>1-2、15-16</td> </tr> <tr> <td>X</td> <td>CN 107884994 A (武汉天马微电子有限公司) 2018年 4月 6日 (2018 - 04 - 06) 说明书第50-58段、附图4-7</td> <td>1-2、15-16</td> </tr> <tr> <td>Y</td> <td>CN 105652544 A (京东方科技集团股份有限公司 等) 2016年 6月 8日 (2016 - 06 - 08) 说明书第3段、附图1-2</td> <td>10、19</td> </tr> <tr> <td>A</td> <td>US 2015015800 A1 (HTC CORP.) 2015年 1月 15日 (2015 - 01 - 15) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 109449169 A (京东方科技集团股份有限公司 等) 2019年 3月 8日 (2019 - 03 - 08) 说明书第44-64段、附图1-7	1-20	X	CN 108732837 A (武汉华星光电技术有限公司) 2018年 11月 2日 (2018 - 11 - 02) 说明书第61-97段、附图1-11	1-9、11-18、20	Y	CN 108732837 A (武汉华星光电技术有限公司) 2018年 11月 2日 (2018 - 11 - 02) 说明书第61-97段、附图1-11	10、19	X	CN 107331294 A (厦门天马微电子有限公司) 2017年 11月 7日 (2017 - 11 - 07) 说明书第64-66段、附图6	1-2、15-16	X	CN 107884994 A (武汉天马微电子有限公司) 2018年 4月 6日 (2018 - 04 - 06) 说明书第50-58段、附图4-7	1-2、15-16	Y	CN 105652544 A (京东方科技集团股份有限公司 等) 2016年 6月 8日 (2016 - 06 - 08) 说明书第3段、附图1-2	10、19	A	US 2015015800 A1 (HTC CORP.) 2015年 1月 15日 (2015 - 01 - 15) 全文	1-20
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																								
PX	CN 109449169 A (京东方科技集团股份有限公司 等) 2019年 3月 8日 (2019 - 03 - 08) 说明书第44-64段、附图1-7	1-20																								
X	CN 108732837 A (武汉华星光电技术有限公司) 2018年 11月 2日 (2018 - 11 - 02) 说明书第61-97段、附图1-11	1-9、11-18、20																								
Y	CN 108732837 A (武汉华星光电技术有限公司) 2018年 11月 2日 (2018 - 11 - 02) 说明书第61-97段、附图1-11	10、19																								
X	CN 107331294 A (厦门天马微电子有限公司) 2017年 11月 7日 (2017 - 11 - 07) 说明书第64-66段、附图6	1-2、15-16																								
X	CN 107884994 A (武汉天马微电子有限公司) 2018年 4月 6日 (2018 - 04 - 06) 说明书第50-58段、附图4-7	1-2、15-16																								
Y	CN 105652544 A (京东方科技集团股份有限公司 等) 2016年 6月 8日 (2016 - 06 - 08) 说明书第3段、附图1-2	10、19																								
A	US 2015015800 A1 (HTC CORP.) 2015年 1月 15日 (2015 - 01 - 15) 全文	1-20																								
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																										
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																										
<p>国际检索实际完成的日期</p> <p>2019年 12月 19日</p>		<p>国际检索报告邮寄日期</p> <p>2019年 12月 27日</p>																								
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>陆然</p> <p>电话号码 86-(10)-53961226</p>																								

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/108660

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109449169	A	2019年 3月 8日	无			
CN	108732837	A	2018年 11月 2日	CN	108732837	B	2019年 10月 18日
CN	107331294	A	2017年 11月 7日	无			
CN	107884994	A	2018年 4月 6日	无			
CN	105652544	A	2016年 6月 8日	CN	105652544	B	2019年 3月 12日
US	2015015800	A1	2015年 1月 15日	US	9377891	B2	2016年 6月 28日