



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년08월30일
(11) 등록번호 10-1178393
(24) 등록일자 2012년08월24일

(51) 국제특허분류(Int. Cl.)
H02J 3/38 (2006.01) H02M 7/48 (2007.01)
H02J 3/18 (2006.01)
(21) 출원번호 10-2010-0139044
(22) 출원일자 2010년12월30일
심사청구일자 2010년12월30일
(65) 공개번호 10-2012-0077179
(43) 공개일자 2012년07월10일
(56) 선행기술조사문헌
KR1020070056264 A
JP2003209931 A
KR200372499 Y1
JP2010068630 A

(73) 특허권자
서울과학기술대학교 산학협력단
서울특별시 노원구 공릉로 232 (공릉동, 서울과학기술대학교)
(72) 발명자
최세완
서울특별시 서대문구 연희로11길 53 (연희동)
윤선재
경기도 김포시 조리미로 39-36, - 7동 304호 (사우동, 원미아파트)
(74) 대리인
특허법인 정안

전체 청구항 수 : 총 10 항

심사관 : 이석주

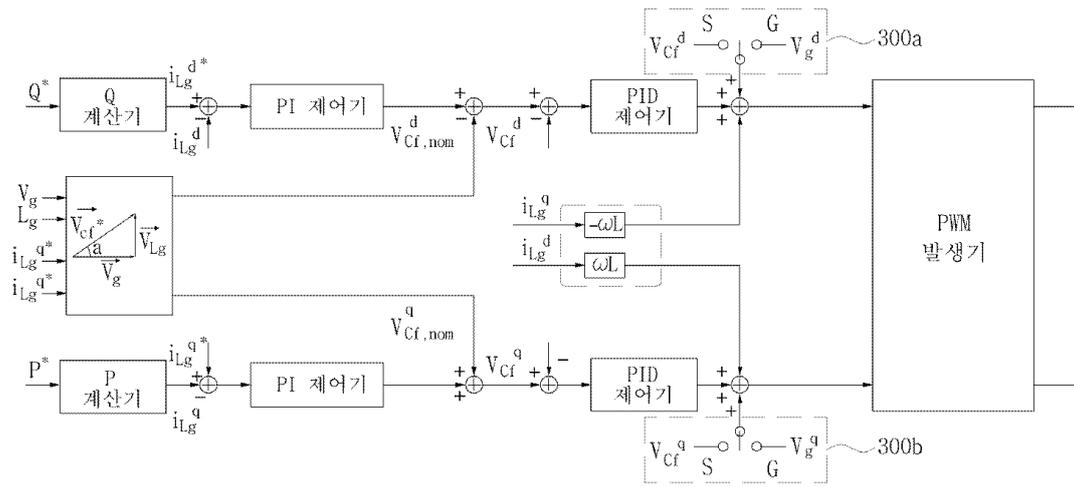
(54) 발명의 명칭 3상 간접전류제어 방식의 계통연계형 인버터의 제어방법

(57) 요약

본 발명은 3상 간접전류제어 방식의 계통연계형 인버터의 제어방법에 관한 것으로, 계통연계 인버터의 출력전압을 정현파로 변환하기 위한 필터캐패시터(C_f) 및 필터인덕터(L_i), 계통에 주입되는 전류를 레귤레이션(regulation)하기 위한 라인인덕터(L_g)를 구비한 계통연계 인버터의 제어 방법에 있어서, 계통에 주입하고자하는 전력목표치(P^*, Q^*)에 따라 인버터 출력전류의 목표치(i_{Lg}^{d*}, i_{Lg}^{q*})를 구하는 제1단계, 상기 제1단계의 목표치(i_{Lg}^{d*}, i_{Lg}^{q*})에 따라 필터캐패시터(C_f)양단에 요구되는 전압($V_{Cf,nom}^d, V_{Cf,nom}^q$)을 구하는 제2단계, 상기 제1단계의 목표치(i_{Lg}^{d*}, i_{Lg}^{q*})와 실제 흐르는 전류(i_{Lg}^d, i_{Lg}^q)를 비교하여 오차를 계산하는 제3단계, 상기 제3단계의 오차 값을 이용하여 외부루프 제어기가 상기 제2단계의 필터캐패시터(C_f)양단에 요구되는 전압($V_{Cf,nom}^d, V_{Cf,nom}^q$)의 보상 값을 계산하는 제4단계, 상기 제4단계의 보상 값과 필터캐패시터(C_f)양단에 요구되는 전압($V_{Cf,nom}^d, V_{Cf,nom}^q$)을 더하여 최종 필터캐패시터(C_f) 양단전압의 목표치(V_{Cf}^{d*}, V_{Cf}^{q*})를 구하는 제5단계, 상기 제5단계의 전압목표치(V_{Cf}^{d*}, V_{Cf}^{q*})와 상기 필터캐패시터(C_f) 양단의 실제 전압치(V_{Cf}^d, V_{Cf}^q)을 비교하여 전압오차를 계산하는 제6단계, 상기 제6단계의 전압 오차 값을 이용하여 내부루프 제어기가 최종 전압 보상값을 계산하는 제7단계, 상기 제7단계의 최종 전압 보상값에 의해 펄스폭변조(PWM) 제어신호를 출력하는 제8단계로 이루어지는 것을 특징으로 한다.

상기와 같이 구성된 3상 간접전류제어 방식의 계통연계형 인버터의 제어방법에 따르면, 3상 계통연계 인버터에서 항시 전압제어를 수행함으로써 계통연계 시 출력전류를 제어할 수 있으며 단독운전발생 시 의도적이지 않은 단독운전 시에도 중요부하에 안정된 크기와 주파수의 전압공급이 가능하며, 인버터가 단독운전을 검출하여 독립운전으로 모드전환 할 때에도 과도상태 없는 전압공급이 가능하며, 계통의 순간전압강하(Sag) 또는 순간과전압(Swell) 발생 시에도 Grid code에 따른 FRT기능을 수행함과 동시에 중요부하의 전압도 정격전압으로 보상하여 공급가능한 효과가 있다.

대표도



특허청구의 범위

청구항 1

계통연계 인버터의 출력전압을 정현파로 변환하기 위한 필터캐패시터(C_f) 및 필터인덕터(L_i), 계통에 주입되는 전류를 레귤레이션(regulation)하기 위한 라인인덕터(L_g)를 구비한 계통연계 인버터의 제어 방법에 있어서,

계통에 주입하고자하는 전력목표치(P*, Q*)에 따라 인버터 출력전류의 목표치(i_{Lg}^{d*}, i_{Lg}^{q*})를 구하는 제1단계;

상기 제1단계의 목표치(i_{Lg}^{d*}, i_{Lg}^{q*})에 따라 필터캐패시터(C_f)양단에 요구되는 전압(V_{Cf,nom}^d, V_{Cf,nom}^q)을 구하는 제2단계;

상기 제1단계의 목표치(i_{Lg}^{d*}, i_{Lg}^{q*})와 실제 흐르는 전류(i_{Lg}^d, i_{Lg}^q)를 비교하여 오차를 계산하는 제3단계;

상기 제3단계의 오차 값을 이용하여 외부루프 제어기가 상기 제2단계의 필터캐패시터(C_f)양단에 요구되는 전압(V_{Cf,nom}^d, V_{Cf,nom}^q)의 보상 값을 계산하는 제4단계;

상기 제4단계의 보상 값과 필터캐패시터(C_f)양단에 요구되는 전압(V_{Cf,nom}^d, V_{Cf,nom}^q)을 더하여 최종 필터캐패시터(C_f) 양단전압의 목표치(V_{Cf}^{d*}, V_{Cf}^{q*})를 구하는 제5단계;

상기 제5단계의 전압목표치(V_{Cf}^{d*}, V_{Cf}^{q*})와 상기 필터캐패시터(C_f) 양단의 실제 전압치(V_{Cf}^d, V_{Cf}^q)을 비교하여 전압오차를 계산하는 제6단계;

상기 제6단계의 전압 오차 값을 이용하여 내부루프 제어기가 최종 전압 보상값을 계산하는 제7단계;

상기 제7단계의 최종 전압 보상값에 의해 펄스폭변조(PWM) 제어신호를 출력하는 제8단계;

로 이루어지는 3상 간접전류제어 방식의 계통연계 인버터의 제어방법.

청구항 2

제1항에 있어서,

계통 정상 시 상기 제2단계의 필터캐패시터(C_f)양단에 요구되는 전압(V_{Cf,nom}^d, V_{Cf,nom}^q)값은,

$$\begin{pmatrix} V_{Cf,nom}^d \\ V_{Cf,nom}^q \end{pmatrix} = \begin{pmatrix} V_g^d \\ V_g^q \end{pmatrix} + \begin{pmatrix} V_{Lg}^d \\ V_{Lg}^q \end{pmatrix} = \begin{pmatrix} V_{Lg}^d \\ V_{Lg}^q \end{pmatrix} = \begin{pmatrix} \omega L_g i_{Lg}^{q*} \\ |V_g| \end{pmatrix}$$

인 것을 특징으로 하는 3상 간접전류제어 방식의 계통연계 인버터의 제어방법.

청구항 3

제1항에 있어서,

계통 이상 시 상기 제2단계의 필터캐패시터(C_f)양단에 요구되는 전압(V_{Cf,nom}^d, V_{Cf,nom}^q)값은,

$$\begin{pmatrix} V_{Cf,nom}^d \\ V_{Cf,nom}^q \end{pmatrix} = \begin{pmatrix} V_g^d \\ V_g^q \end{pmatrix} + \begin{pmatrix} V_{Lg}^d \\ V_{Lg}^q \end{pmatrix} = \begin{pmatrix} V_{Lg}^d \\ V_g^q + V_{Lg}^q \end{pmatrix} = \begin{pmatrix} \omega L_g i_{Lg}^{q*} \\ |V_{g,nom}| \end{pmatrix}$$

인 것을 특징으로 하는 3상 간접전류제어 방식의 계통연계 인버터의 제어방법.

청구항 4

제1항에 있어서,

내부루프 제어기의 전달함수는,

$$\frac{V_{Cf}^{dq}(s)}{V_{Cf}^{dq*}(s)} = \frac{(K_{pv}s + K_{iv} + K_{dv}s^2)L_g}{s^3 L_i C_f L_g + s^2 (C_f L_g R_i + L_g K_{dv}) + s(L_g K_{pv} + L_i + L_g) + L_g K_{iv}}$$

이고, 상기 K_{pv}, K_{iv}, K_{dv} 값은 각각

$$K_{pv} = \omega_v^2 (1 + 2\zeta_v^2 m) L_i C_f - 1 - (L_i / L_g)$$

$$K_{iv} = \zeta_v \omega_v^3 m / L_g$$

$$K_{dv} = \zeta_v \omega_v (2 + m) L_i C_f - R_i C_f$$

인 것을 특징으로 하는 3상 간접전류제어 방식의 계통연계 인버터의 제어방법.

청구항 5

제1항에 있어서,

외부루프 제어기의 전달함수는,

$$\frac{i_{Lg}^{dq}}{i_{Lg}^{dq*}} = \frac{K_{\pi}s + K_{ii}}{s^2 L_g + (R_g + K_{\pi})s + K_{ii}}$$

이고, 상기 K_π 및 K_{ii} 값은 각각

$$K_{\pi} = 2\zeta_i \omega_i L_g - R_g$$

$$K_{ii} = \omega_i^2 L_g$$

인 것을 특징으로 하는 3상 간접전류제어 방식의 계통연계 인버터의 제어방법.

청구항 6

제1항에 있어서,
상기 필터인덕터(L_i) 값은,

$$L_i = \frac{0.867V_{dc}V_g}{\omega_{sw}r_iP}$$

이되, P는 계통 주입 전력이고, V_g 는 계통전압이고, V_{dc} 는 발전전압이고, ω_{sw} 는 스위칭 주파수이고, r_i 는 인버터 측 인덕터 전류의 리플률인 것을 특징으로 하는 3상 간접전류제어 방식의 계통연계 인버터의 제어방법.

청구항 7

제1항에 있어서,
상기 필터 필터캐패시터(C_f) 값은,

$$C_f = \frac{1}{\omega_{sw}^2 a} \left(\frac{1-a}{L_i} - \frac{\omega_{sw}r_gP}{0.867V_{dc}V_g} \right)$$

이되, P는 계통 주입 전력이고, V_g 는 계통전압이고, V_{dc} 는 발전전압이고, ω_{sw} 는 스위칭 주파수이고, r_g 는 계통 측 인덕터 전류의 리플률이고, a는 캐패시터 전압의 리플 감쇄율인 것을 특징으로 하는 3상 간접전류제어 방식의 계통연계 인버터의 제어방법.

청구항 8

제1항에 있어서,
상기 라인인덕터(L_g) 값은,

$$L_g = \frac{0.867aV_{dc}V_g}{\omega_{sw}r_gP}$$

이되, P는 계통 주입 전력이고, V_g 는 계통전압이고, V_{dc} 는 DC 링크전압이고, ω_{sw} 는 스위칭 주파수이고, r_g 는 계통 측 인덕터 전류의 리플률이고, a는 캐패시터 전압의 리플 감쇄율인 것을 특징으로 하는 3상 간접전류제어 방식의 계통연계 인버터의 제어방법.

청구항 9

3상 정현파 전류인 계통 전류 I_{Lg} 를 샘플링하는 단계;

상기 계통 전류 I_{Lg} 를 입력받아 dq 동기 좌표계를 이용하여 좌표변환된 값을 출력하는 단계;

상기 좌표변환되어 출력된 상기 계통 전류 I_{Lg} 의 값 중 q축에 대하여 출력된 전류치(I_{Lg}^q)와 그 목표전류치(I_{Lg}^{q*})의 차가 일정 값 이상이면 그 횃수를 누산하여 누산 값을 저장하고, 상기 차가 일정 값 미만이면 상기 누산 값을 초기화하는 단계;

상기 누산 값이 일정 값 이상이면 단독 운전으로 판단하는 단계;

로 계통연계 인버터의 단독운전을 검출하되, 단독운전 시 중요부하에 일정한 전압이 인가되어도 단독운전 검출이 가능한 것을 특징으로 하는 3상 간접전류제어 방식의 계통연계 인버터의 제어방법.

청구항 10

계통 전압(V_g)을 입력받아 dq 동기 좌표계를 이용하여 좌표변환된 값을 출력하는 단계;

상기 좌표변환되어 출력된 상기 계통 전압(V_g)의 d축에 대하여 산출된 계통 전압(V_g^d)과 상기 산출된 전압의 목표치 전압(V_g^{d*})의 차를 이용하여 보상 각도 값($\Delta\theta$)을 산출하는 단계;

상기 보상 각도 값($\Delta\theta$)과 계통전압의 위상각(θ_{ff})을 합산한 값을 이용하여 다시 계통 전압(V_g)에 대하여 dq 변환하여 각각의 축에 대한 전압(V_g^d, V_g^q)을 재산출하는 단계;

로 구성된 위상 고정 루프(PLL, Phase Locked Loop) 제어방법으로 중요부하에 일정한 주파수를 공급하는 것을 특징으로 하는 3상 간접전류제어 방식의 계통연계 인버터의 단독운전 검출방법.

명세서

기술분야

[0001] 본 발명은 3상 간접전류제어 방식의 계통연계형 인버터의 제어방법에 관한 것으로, 구체적으로 계통이상 발생 시 단독운전 검출이 가능할 뿐만 아니라 중요부하에 안정적인 전원 공급이 가능한 3상 간접전류제어 방식의 계통연계형 인버터의 제어방법에 관한 것이다.

배경기술

[0002] 현재 사용되고 있는 에너지원의 대부분을 차지하는 화석연료는 지구온난화를 일으키는 이산화탄소 및 각종 공해물질을 배출하고 있다. 최근 기후변화협약을 바탕으로 채택된 교토의정서가 발효됨에 따라 신·재생에너지를 활용할 수 있는 기술의 중요성이 점차 증대되고 있다. 이러한 신·재생에너지원은 그 규모가 1kW급의 소형에서부터 수백MW급에 이르기까지 다양하며 분산발전의 형태로 계통에 연계된다.

[0003] 분산발전시스템에서 주전원계통에 정전이 발생하는 경우에도 분산발전시스템이 주전원으로부터 분리되지 않고 계속 동작하는 상황을 단독운전(Islanding operation)이라고 한다. 단독운전시에는 통상적으로 즉시 인버터의 동작을 정지시켜서 주전원계통과 분산발전시스템과의 연결을 해제하여야 한다. 단독운전은 크게 2가지로 나뉘는데, 인버터가 이를 검출하기 전까지를 의도적이지 않은 단독운전이라 하고 인버터가 이를 검출하여 독립운전모드로 전환한 경우 의도적인 단독운전 또는 독립운전이라 한다. 일반적으로 단독운전방지(anti-islanding)는 의도적이지 않은 단독운전을 검출하는 방법을 의미한다.

[0004] 계통에 일정크기 이상의 순간전압강하(Sag) 또는 순간과전압(Swell) 발생 시 유럽 및 미국의 경우 계통에 무효전력을 주입하며 계속하여 운전되도록 규정하고 있다. 이 기능을 FRT(Fault Ride Through)기능 이라고 하며, 중요부하가 존재하는 경우 FRT기능을 수행함과 동시에 중요부하의 전압 또한 보상하여 유지시켜줄 필요가 있다.

[0005] 한편, 종래에는 단독운전 발생 시 전류제어에서 전압제어로의 모드전환을 수행하는데, 이때 다음과 같은 두 가지 문제점이 발생한다. 첫째, 의도적이지 않은 단독운전동안 중요부하의 전압의 크기와 주파수는 계통연계

인버터의 출력전력 및 부하의 임피던스 조건에 따라 변화될 수 있다. 이에 따라 중요부하가 없는 계통연계 시스템에서는 문제가 되지 않으나, 중요부하가 존재하는 계통연계 시스템에서는 안정적인 부하전압을 공급을 보장할 수 없게 되며, 이에 따라 부하소자의 손상 및 오동작이 발생할 수 있다. 둘째, 인버터가 단독운전 상태를 검출하여 독립운전모드 전환 시 전류제어에서 전압제어 모드로 변경되므로 이로 인해 부하전압에 큰 과도 상태가 발생하며, 이로 인하여 부하소자의 손상 및 오동작이 유발될 수 있다. 이를 개선하기 위해 여러 가지 Seamless Transfer 방법이 출현하였으나 대부분 두 번째 문제점만 개선하기 위한 방법이었으며 상기의 두 가지 문제점을 동시에 개선한 방법은 거의 전무한 실정이었다.

[0006] 또한, 종래기술에서 일정 크기이상의 순간전압강하(Sag) 또는 순간과전압(Swell) 발생하여 Grid code에 따라 인버터가 무효전력을 공급하기 위하여 운전되는 경우, 안정된 중요부하전압을 보장할 수 없는 문제점이 있다. 게다가 종래의 단독운전 검출방법은 단독운전 발생 시 부하전압의 크기 또는 주파수에 발생하는 이상 현상을 이용한 방법이었는데 Seamless Transfer를 이용한 계통연계 인버터에서는 중요부하의 전압이 안정하게 제어되어 크기와 주파수의 왜곡이 발생하지 않아 종래 기술에 의한 단독운전 검출방법을 적용할 수 없는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 목적은 상술한 바와 같은 문제점을 해결하기 위해 이루어진 것으로서, 계통에 일정크기 이상의 순간전압강하(Sag) 또는 순간과전압(Swell) 발생 시 중요부하에 무효전력을 주입하며 중요부하에 걸리는 전압을 보상하여 중요부하의 손상을 방지할 수 있을 뿐만 아니라, 계통 이상 발생 시에도 중요부하에 걸리는 전압의 크기와 주파수를 일정하게 유지할 수 있을 뿐만 아니라 단독 운전 검출이 가능한 3상 간접전류제어 방식의 계통연계형 인버터의 제어방법을 제공하기 위한 것이다.

과제의 해결 수단

[0008] 본 발명에 따른 3상 간접전류제어 방식의 계통연계 인버터의 제어방법은, 계통연계 인버터의 출력전압을 정현파로 변환하기 위한 필터캐패시터(C_f) 및 필터인덕터(L_i), 계통에 주입되는 전류를 레귤레이션(regulation)하기 위한 라인인덕터(L_g)를 구비한 계통연계 인버터의 제어 방법에 있어서, 계통에 주입하고자하는 전력목표치(P^{*}, Q^{*})에 따라 인버터 출력전류의 목표치(i_{Lg}^{d*}, i_{Lg}^{q*})를 구하는 제1단계, 상기 제1단계의 목표치(i_{Lg}^{d*}, i_{Lg}^{q*})에 따라 필터캐패시터(C_f)양단에 요구되는 전압(V_{Cf,nom}^d, V_{Cf,nom}^q)을 구하는 제2단계, 상기 제1단계의 목표치(i_{Lg}^{d*}, i_{Lg}^{q*})와 실제 흐르는 전류(i_{Lg}^d, i_{Lg}^q)를 비교하여 오차를 계산하는 제3단계, 상기 제3단계의 오차 값을 이용하여 외부루프 제어기가 상기 제2단계의 필터캐패시터(C_f)양단에 요구되는 전압(V_{Cf,nom}^d, V_{Cf,nom}^q)의 보상 값을 계산하는 제4단계, 상기 제4단계의 보상 값과 필터캐패시터(C_f)양단에 요구되는 전압(V_{Cf,nom}^d, V_{Cf,nom}^q)을 더하여 최종 필터캐패시터(C_f) 양단전압의 목표치(V_{Cf}^{d*}, V_{Cf}^{q*})를 구하는 제5단계, 상기 제5단계의 전압목표치(V_{Cf}^{d*}, V_{Cf}^{q*})와 상기 필터캐패시터(C_f) 양단의 실제 전압치(V_{Cf}^d, V_{Cf}^q)을 비교하여 전압오차를 계산하는 제6단계, 상기 제6단계의 전압 오차 값을 이용하여 내부루프 제어기가 최종 전압 보상값을 계산하는 제7단계, 상기 제7단계의 최종 전압 보상값에 의해 펄스폭변조(PWM) 제어신호를 출력하는 제8단계로 이루어지는 것을 특징으로 한다.

[0009] 또한, 계통 정상 시 상기 제2단계의 필터캐패시터(C_f)양단에 요구되는 전압(V_{Cf,nom}^d, V_{Cf,nom}^q)값은,

$$\begin{pmatrix} V_{Cf,nom}^d \\ V_{Cf,nom}^q \end{pmatrix} = \begin{pmatrix} V_g^d \\ V_g^q \end{pmatrix} + \begin{pmatrix} V_{Lg}^d \\ V_{Lg}^q \end{pmatrix} = \begin{pmatrix} V_{Lg}^d \\ V_{Lg}^q \end{pmatrix} = \begin{pmatrix} \omega L_g I_g^{q*} \\ |V_g| \end{pmatrix}$$

[0010] 인 것을 특징으로 한다.
 [0011]

[0012] 또한, 계통 이상 시 상기 제2단계의 필터캐패시터(Cf)양단에 요구되는 전압($V_{Cf,nom}^d$, $V_{Cf,nom}^q$)값은,

$$[0013] \begin{pmatrix} V_{Cf,nom}^d \\ V_{Cf,nom}^q \end{pmatrix} = \begin{pmatrix} V_g^d \\ V_g^q \end{pmatrix} + \begin{pmatrix} V_{Lg}^d \\ V_{Lg}^q \end{pmatrix} = \begin{pmatrix} V_{Lg}^d \\ V_g^q + V_{Lg}^q \end{pmatrix} = \begin{pmatrix} \omega L_g I_{Lg}^{q*} \\ |V_{g,nom}| \end{pmatrix}$$

[0014] 인 것을 특징으로 한다.

[0015] 또한, 내부루프 제어기의 전달함수는,

$$[0016] \frac{V_{Cf}^{dq}(s)}{V_{Cf}^{dq*}(s)} = \frac{(K_{pv}s + K_{iv} + K_{dv}s^2)L_g}{s^3 L_i C_f L_g + s^2 (C_f L_g R_i + L_g K_{dv}) + s(L_g K_{pv} + L_i + L_g) + L_g K_{iv}}$$

[0017] 이고, 상기 K_{pv} , K_{iv} , K_{dv} 값은 각각

$$[0018] K_{pv} = \omega_v^2 (1 + 2\zeta_v^2 m) L_i C_f - (L_i / L_g)$$

$$[0019] K_{iv} = \zeta_v \omega_v^3 m / L_g$$

$$[0020] K_{dv} = \zeta_v \omega_v (2 + m) L_i C_f R_i C_f$$

[0021] 인 것을 특징으로 한다.

[0022] 또한, 외부루프 제어기의 전달함수는,

$$[0023] \frac{i_{Lg}^{dq}}{i_{Lg}^{dq*}} = \frac{K_{\pi}s + K_{ii}}{s^2 L_g + (R_g + K_{\pi})s + K_{ii}}$$

[0024] 이고, 상기 K_{π} 및 K_{ii} 값은 각각

$$[0025] K_{\pi} = 2\zeta_i \omega_i L_g - R_g$$

$$[0026] K_{ii} = \omega_i^2 L_g$$

[0027] 인 것을 특징으로 한다.

[0028] 또한, 상기 필터인덕터(L_i) 값은,

$$[0029] L_i = \frac{0.867 V_{dc} V_g}{\omega_{sw} r_i P}$$

[0030] 이되, P는 계통 주입 전력이고, V_g 는 계통전압이고, V_{dc} 는 발전전압이고, ω_{sw} 는 스위칭 주파수이고, r_i 는 인버터 측 인덕터 전류의 리플률인 것을 특징으로 한다.

[0031] 또한, 상기 필터 필터캐패시터(Cf) 값은,

$$C_f = \frac{1}{\omega_{sw}^2 a} \left(\frac{1-a}{L_i} - \frac{\omega_{sw} r_g P}{0.867 V_{dc} V_g} \right)$$

[0032]

[0033] 이되, P는 계통 주입 전력이고, V_g는 계통전압이고, V_{dc}는 발전전압이고, ω_{sw}는 스위칭 주파수이고, r_g는 계통 측 인덕터 전류의 리플률이고, a는 캐패시터 전압의 리플 감쇄율인 것을 특징으로 한다.

[0034] 또한, 상기 라인인덕터(L_g) 값은,

$$L_g = \frac{0.867 a V_{dc} V_g}{\omega_{sw} r_g P}$$

[0035]

[0036] 이되, P는 계통 주입 전력이고, V_g는 계통전압이고, V_{dc}는 DC 링크전압이고, ω_{sw}는 스위칭 주파수이고, r_g는 계통 측 인덕터 전류의 리플률이고, a는 캐패시터 전압의 리플 감쇄율인 것을 특징으로 한다.

[0037] 3상 간접전류제어 방식의 계통연계 인버터의 제어방법에서 단독운전 검출은 3상 정현파 전류인 계통 전류 I_{Lg}를 샘플링하는 단계, 상기 계통 전류 I_{Lg}를 입력받아 dq 동기 좌표계를 이용하여 좌표변환된 값을 출력하는 단계, 상기 좌표변환되어 출력된 상기 계통 전류 I_{Lg}의 값 중 q축에 대하여 출력된 전류치(I_{Lg}^q)와 그 목표전류치(I_{Lg}^{q*})의 차가 일정 값 이상이면 그 횟수를 누산하여 누산 값을 저장하고, 상기 차가 일정 값 미만이면 상기 누산 값을 초기화하는 단계, 상기 누산 값이 일정 값 이상이면 단독 운전으로 판단하는 단계로 구성된 것을 특징으로 한다.

[0038] 3상 간접전류제어 방식의 계통연계 인버터의 제어방법에서 중요부하에 일정한 주파수를 공급하기 위한 위상 고정 루프(PLL, Phase Locked Loop) 제어방법은, 계통 전압(V_g)을 입력받아 dq 동기 좌표계를 이용하여 좌표 변환된 값을 출력하는 단계, 상기 좌표변환되어 출력된 상기 계통 전압(V_g)의 d축에 대하여 산출된 계통 전압(V_g^d)과 상기 산출된 전압의 목표치 전압(V_g^{d*})의 차를 이용하여 보상 각도 값(Δθ)을 산출하는 단계, 상기 보상 각도 값(Δθ)과 계통전압의 위상각(θ_{ff})을 합산한 값을 이용하여 다시 계통 전압(V_g)에 대하여 dq변환하여 각각의 축에 대한 전압(V_g^d, V_g^q)을 재산출하는 단계로 구성된 것을 특징으로 한다.

발명의 효과

[0039] 본 발명에 따른 3상 간접전류제어 방식의 계통연계형 인버터의 제어방법에 따르면, 3상 계통연계 인버터에서 항상 전압제어를 수행함으로써 계통연계 시 출력전류를 제어할 수 있으며 단독운전발생 시 의도적이지 않은 단독운전 시에도 중요부하에 안정된 크기와 주파수의 전압공급이 가능하며, 인버터가 단독운전을 검출하여 독립운전으로 모드전환 할 때에도 과도상태 없는 전압공급이 가능하다.

[0040] 또한 계통의 순간전압강하(Sag) 또는 순간과전압(Swell) 발생 시에도 Grid code에 따른 FRT기능을 수행함과 동시에 중요부하의 전압도 정격전압으로 보상하여 공급가능하다.

도면의 간단한 설명

[0041] 도 1은 본 발명에 따른 계통연계 인버터의 회로도를 도시한 도면이다.

도 2는 본 발명에 따른 계통연계 인버터의 제어방법을 도시한 블록도이다.

도 3은 본 발명에 따른 계통연계 인버터의 제어방법의 전압보상방법에 대한 백터도를 도시한 도면이다.

도 4는 제어기에 의하여 디커플링이 완전하게 일어난 경우 도 2를 간략화한 블록도이다.

도 5는 본 발명에 따른 계통연계 인버터에서 PLL(Phase Locked Loop)을 이용한 제어블록도를 도시한 도면이다.

도 6은 본 발명에 따른 계통연계 인버터에서 단독운전을 검출하는 방법을 도시한 순서도이다.

도 7a 및 도 7b는 독립운전 모드에서 계통연계 모드로의 전환과정을 도시한 도면이다.

도 8은 계통 이상 발생 시 계통연계 모드에서 독립운전 모드로의 전환과정을 도시한 그래프이다.

도 9a 내지 도 9f는 본 발명에 따른 LCL 필터 설계방법의 타당성을 보여주는 LCL 필터의 특성을 시뮬레이션한 결과 파형이다.

발명을 실시하기 위한 구체적인 내용

[0042] 이하에서는 3상 간접전류제어 방식의 계통연계 인버터의 제어방법에 대한 일 실시예를 설명한다.

[0043] 도 1은 본 발명에 따른 계통연계 인버터의 회로도를 도시한 도면이다. 상기 도 1을 참조하여 설명하면, 주전원계통이 정상일 때 주전원계통스위치(S_r) 및 계통연계스위치(S_i)가 ON 상태이고 계통연계형 인버터가 전압제어모드로 운전되면서 라인인덕터(L_g)에 가해지는 전압을 제어함으로써 계통에 주입되는 전류(I_o)를 조정한다. 도 1에서 도면부호 100은 계통 전압을 의미하며, 도면부호 200은 중요부하를 의미한다.

[0044] 상기 주전원계통에 고장이 발생하면, 주전원계통스위치(S_r)는 곧바로 차단되면서 의도적인 단독운전으로 모드가 전환되고 약 1/4사이클 이내에 계통연계 인버터에게 사고를 알리게 되는데, 이때 계통연계형 인버터에서 OVP/UVP(Over Voltage Protection/Under Voltage Protection) 또는 OFP/UFP(Over Frequency Protection/Under Frequency Protection) 등의 방법에 의하여 사고를 인식하면 전류주입을 중단하고 계통연계스위치(S_i)를 차단하는 한편, 정격대비 소정비율의 중요부하에 끊임없이 안정적인 전력을 공급한다.

[0045] 상기 주전원계통스위치(S_r)는 지락계전기, 영상계전기, 과전압보호기 등 전기공급자(한국전력)가 설치 및 운영하는 보호용 계전기에 의하여 동작하며 전기공급자측이 설치하여 관리하는 보호용 차단기, 단로기 등이 이에 해당되고, 상기 계통연계스위치(S_i)는 인버터 제작자가 설치 및 운영하는 보호용 스위치로서 주전원의 이상 발생으로 주전원계통이 차단되었을 때 계통연계형 인버터를 계통으로부터 분리시킴으로써 배전용 변압기에 2차측으로부터의 역-여자현상이 발생하지 않도록 방지하는 용도이다. 특히, 상기에서 주전원계통스위치(S_r)로서 순간적인 과전류가 유입되면 차단되었다가 약 0.5초 후에 다시 단락되는 recloser가 사용될 수 있으며, 본 발명에서는 recloser를 이용한 스위치를 중심으로 설명한다.

[0046] 단상인버터를 구성하는 무접점 스위치인 S1, 내지 S6은 펄스폭변조(PWM; Pulse Width Modulation) 방법에 의하여 직류에너지원(V_{dc} 및 C_d)으로부터 직류전압을 공급받아 교류형태의 전압을 만들어 낸다. 상기 직류에너지원은 배터리가 사용될 수도 있고, 연료전지 등의 신재생 에너지원이 사용될 수도 있으며, 상기 직류에너지원의 캐패시터(C_d)는 직류링크의 전압을 평활하게 유지해 주는 기능을 갖는다.

[0047] 필터인덕터(L_f) 및 필터캐패시터(C_f)는 계통연계형 인버터를 위한 출력필터요소를 구성하며, 인버터가 만들어 내는 PWM방식의 교류전압을 보다 정현적으로 만들어 주는 기능을 갖는다. 따라서 스위치 S1 내지 S6으로 구성되는 단상인버터와 필터인덕터(L_f) 및 필터캐패시터(C_f)로 구성되는 출력필터의 조합에 의하여 정현파에 근사한 출력전압을 만들어 낸다. 이러한 기능에 의하여 단독운전 모드에서 중요부하에 안정적인 정현파 교류전압을 공급할 수 있다.

[0048] 라인인덕터(L_g)는 간접전류제어를 수행하기 위한 요소이다. 라인인덕터에 가해지는 전압을 적절히 제어하여 줌으로써 계통에 주입되는 전류를 레귤레이션할 수 있다.

[0049] 도 2는 본 발명에 따른 계통연계 인버터의 제어방법을 도시한 블록도이다. 본 발명에 따른 계통연계 인버터의 제어방법은, 계통에 주입하고자하는 전력목표치(P^*, Q^*)에 따라 인버터 출력전류의 목표치(i_{Lg}^{d*}, i_{Lg}^{q*})를 구하는 제1단계, 상기 제1단계의 목표치(i_{Lg}^{d*}, i_{Lg}^{q*})에 따라 필터캐패시터(C_f)양단에 요구되는 전압($V_{Cf,nom}^d, V_{Cf,nom}^q$)을 구하는 제2단계, 상기 제1단계의 목표치(i_{Lg}^{d*}, i_{Lg}^{q*})와 실제 흐르는 전류(i_{Lg}^d, i_{Lg}^q)를 비교하여 오차를 계산하는 제3단계, 상기 제3단계의 오차 값을 근거로 외부루프 제어기가 상기 제2단계의 필터캐패시터(C_f)양단에 요구되는 전압($V_{Cf,nom}^d, V_{Cf,nom}^q$)의 보상 값을 계산하는 제4단계, 제4단계의 보상 값과 필터캐패시터(C_f)양단에 요구되는 전압($V_{Cf,nom}^d, V_{Cf,nom}^q$)을 더하여 최종 필터캐패시터(C_f) 양단전압의 목표치(V_{Cf}^{d*}, V_{Cf}^{q*})를 구하는 제5단계, 상기 제5단계의 전압목표치(V_{Cf}^{d*}, V_{Cf}^{q*})와 실제 값(V_{Cf}^d, V_{Cf}^q)을 비교하여 전압오차를 계산하는 제6단계, 상기 제6단계의 전압오차값을 근거로 내부루프 제어기가 최종보상값을 계산하는 제7단계 및 상기 제7단계의 최종보상값에 의해 펄스폭변조(PWM) 제어신호를 출력하는 제8단계로 이루어진다.

[0050] 상기 제1단계의 인버터 출력전류의 목표치(i_{Lg}^{d*}, i_{Lg}^{q*})는 각각 하기의 수학식 1 및 수학식 2와 같다. 여기서 V_g 는 계통전압을 의미하며, V_g^d 및 V_g^q 는 각각 계통전압(V_g)를 dq 동기좌표 변환한 d축, q축의 출력전압을 의미한다. 또한, 계통연계운전/단독운전 절환부(300a, 300b)는 각각 상기 인버터가 계통운전 시 또는 단독운전 시 각각 G단자 또는 S단자에 연결된 전압을 인가시키는 것이다.

수학식 1

[0051]
$$i_{Lg}^{q*} = \frac{\frac{2}{3}(P^* V_g^q + Q^* V_g^d)}{(V_g^q)^2 + (V_g^d)^2}$$

수학식 2

[0052]
$$i_{Lg}^{d*} = \frac{\frac{2}{3}(P^* V_g^d - Q^* V_g^q)}{(V_g^q)^2 + (V_g^d)^2}$$

[0053] 또한, 상기 제2단계의 필터캐패시터(C_f)양단에 요구되는 전압($V_{Cf,nom}^d, V_{Cf,nom}^q$)은 하기 수학식 3과 같다. 도 3을 참고하면, 하기 수학식 3에서 V_{Lg}^d 및 V_{Lg}^q 는 각각 V_g^d 및 V_g^q 에 d축 및 q축 방향으로 보상되어야 하는 전압 값을 의미한다.

수학식 3

$$\begin{pmatrix} V_{Cf,nom}^d \\ V_{Cf,nom}^q \end{pmatrix} = \begin{pmatrix} V_g^d \\ V_g^q \end{pmatrix} + \begin{pmatrix} V_{Lg}^d \\ V_{Lg}^q \end{pmatrix}$$

[0054]

[0055] 계통이 정상인 경우, 유효전력만을 주입하므로 i_{Lg}^{d*} 는 0이고 PLL(Phase Locked Loop)알고리즘이 정상으로 동작되어 V_g^d 는 0이 되고, V_g^q 는 계통전압의 크기와 동일한 값을 가지므로 상기 제2단계의 필터캐패시터(Cf)양단에 요구되는 전압($V_{Cf,nom}^d$, $V_{Cf,nom}^q$)은 하기 수학식 4와 같다. 여기서, 하기 수학식 4에서 $\omega_1=2\pi f$ 를 의미하며, 여기서 f는 전원의 주파수를 의미한다.

수학식 4

$$\begin{pmatrix} V_{Cf,nom}^d \\ V_{Cf,nom}^q \end{pmatrix} = \begin{pmatrix} V_g^d \\ V_g^q \end{pmatrix} + \begin{pmatrix} V_{Lg}^d \\ V_{Lg}^q \end{pmatrix} = \begin{pmatrix} V_{Lg}^d \\ V_g^q \end{pmatrix} = \begin{pmatrix} \omega_1 L_g j^{q*} \\ |V_g| \end{pmatrix}$$

[0056]

[0057] 한편, 순간전압강하 또는 순간과전압 시에는 필터캐패시터 양단에는 전압 보상동작이 필요하며, 그에 따른 필터캐패시터(Cf)양단에 요구되는 전압($V_{Cf,nom}^d$, $V_{Cf,nom}^q$)을 도 3에 도시한 벡터도를 참조하여 다시 나타내면 하기 수학식 5와 같다.

수학식 5

$$\begin{pmatrix} V_{Cf,nom}^d \\ V_{Cf,nom}^q \end{pmatrix} = \begin{pmatrix} V_g^d \\ V_g^q \end{pmatrix} + \begin{pmatrix} V_{Lg}^d \\ V_{Lg}^q \end{pmatrix} = \begin{pmatrix} V_{Lg}^d \\ V_g^q + V_{Lg}^q \end{pmatrix} = \begin{pmatrix} \omega_1 L_g j^{q*} \\ |V_{g,nom}| \end{pmatrix}$$

[0058]

[0059] d축과 q축에 대하여 각각 디커플링이 완벽하게 수행된다고 가정하면, 도 2의 제어도는 도 4와 같이 간략화하여 도시할 수 있다. 한편, 도 4에서 제어 이득 G_{vc} 는 LCL필터 모델로부터 하기 수학식 6과 같이 산출될 수 있다.

수학식 6

$$G_{vc} = \frac{V_{Cf}(s)}{V_i(s)} = \frac{L_g \left(s + \frac{R_g}{L_g} \right)}{sL_i C_f L_g \left(s + \frac{R_i}{L_i} \right) \left(s + \frac{R_g}{L_g} \right) + L_i \left(s + \frac{R_i}{L_i} \right) + L_g \left(s + \frac{R_g}{L_g} \right)}$$

[0060]

[0061]

여기서 R_i 와 R_g 는 각각 L_i 와 L_g 의 기생 저항으로 동일한 코어와 와이어를 사용한다면 기생 저항 값은 인덕턴스에 거의 비례하므로 R_i/L_i 값은 R_g/L_g 로 근사할 수 있고 이를 상기 수학식 6에 대입하여 정리하면 하기 수학식 7과 같다.

수학식 7

$$G_{vc} = \frac{V_{Cf}(s)}{V_i(s)} = \frac{L_g}{s^2 L_i C_f L_g + s C_f L_g R_i + L_i + L_g}$$

[0062]

[0063]

또한, 도 4와 상기 수학식 7로부터 내부 전압제어루프의 페루프 전달함수($V_{Cf}^{dq}(s)/V_{Cf}^{dq*}(s)$)를 산출하면 하기 수학식 8과 같다.

수학식 8

$$\frac{V_{Cf}^{dq}(s)}{V_{Cf}^{dq*}(s)} = \frac{(K_{pv}s + K_{iv} + K_{dv}s^2)L_g}{s^3 L_i C_f L_g + s^2 (C_f L_g R_i + L_g K_{dv}) + s(L_g K_{pv} + L_i + L_g) + L_g K_{iv}}$$

[0064]

[0065]

전술한 근사화한 전압제어루프는 3차 시스템이므로 3개의 극점을 가진다. 상기 극점은 구현하고자 하는 동특성을 가지도록 미리 설정한 감쇄(damping) ζ_v 와 미리 설정한 고유 진동수 ω_v 를 가지도록 먼저 2개의 복소극점을 정하고, 다음으로 상기 2개의 복소극점에 영향을 미치지 않을 정도로 허수축으로부터 멀리 떨어진 실수 극점을 가지는 것이 가장 바람직하다. 따라서 3차 시스템의 특성방정식은 하기 수학식 9와 같이 나타낼 수 있다.

수학식 9

$$(s^2 + 2\zeta_v \omega_v s + \omega_v^2)(s + m\zeta_v \omega_v) = 0$$

[0066]

[0067]

[0068] 여기서 m 은 통상적으로 10 이상의 값을 사용한다. 상기 수학식 8이 상기 수학식 9와 같은 감쇄(damping) ζ_v 와 고유 진동수 ω_v 를 가지기 위해서 계수 비교법을 사용하여 상기 수학식 8의 전압제어기의 이득 K_{pv} , K_{iv} , K_{dv} 을 구하면 각각 하기 수학식 10 내지 수학식 12와 같다.

수학식 10

[0069]

$$K_{pv} = \omega_v^2 (1 + 2\zeta_v^2 m) L_i C_f - 1 - (L_i / L_g)$$

수학식 11

[0070]

$$K_{iv} = \zeta_v \omega_v^3 m / L_g$$

수학식 12

[0071]

$$K_{dv} = \zeta_v \omega_v (2 + m) L_i C_f - R_i C_j$$

[0072]

도 4에서 내부전압루프의 대역폭이 외부 전류루프의 대역폭보다 충분히 큰 경우라면 내부루프의 전달함수는 1로 근사할 수 있으며 이에따라 근사화된 시스템의 폐루프 전달함수($i_{Lg}^{dq} / i_{Lg}^{dq*}$)는 하기 수학식 13과 같다.

수학식 13

[0073]

$$\frac{i_{Lg}^{dq}}{i_{Lg}^{dq*}} = \frac{K_{\pi} s + K_{ii}}{s^2 L_g + (R_g + K_{\pi}) s + K_{ii}}$$

[0074]

[0075] 마찬가지로 댐핑 ζ_i 과 고유 진동수 ω_i 를 갖기 위해서 계수 비교법을 통하여 전류제어기의 이득 K_{π} 와 K_{ii} 을 구하면 수학식 14 및 수학식 15와 같다.

수학식 14

[0076]

$$K_{\pi} = 2\zeta_i \omega_i L_g - R_g$$

수학식 15

$$K_{ii} = \omega_i^2 L_g$$

[0077]

[0078] 다음은 본 발명에 따른 계통연계 인버터의 필터설계 방법에 대하여 설명한다.

[0079]

계통연계 시 주입되는 전류의 고조파는 계통연계 규정에 맞게 제한되어야 한다. 이를 위해 LCL필터를 인버터 출력에 연결하여 스위칭 고조파를 저감한다. 통상적인 LCL필터의 설계는 스위칭 리플을 감쇄하기 위해 우선 인버터 측 인덕터를 선정한다. 다음으로 계통에 주입되는 전류의 고조파 조건을 만족하기 위해 캐패시터와 계통측 인덕터를 추가하는 순서로 설계가 이루어진다. 반면, 본 발명에 따른 계통연계 인버터는 간접전류제어 방식으로 캐패시터 전압을 제어하므로 다음과 같은 순서로 설계가 이루어진다. 우선 스위칭 리플을 감쇄하기 위한 LC필터를 선정하고, 다음으로 계통에 주입되는 전류의 고조파 조건을 만족시키기 위해 계통측에 인덕터를 추가한다.

[0080]

다음은 본 발명에 따른 계통연계 인버터의 구체적인 LCL필터 설계 과정이다. 계통 주입 전력 P, 계통전압 V_g, 발전전압 V_{dc}, 스위칭 주파수 f_{sw}=ω_{sw}/2π에 대하여 설계하고자하는 LCL필터의 출력전류에 대한 고조파 리플률 r_g=I_{Lg,sw}/I_{Lg,1}(I_{Lg,sw}와 I_{Lg,1}는 각각 정상적인 계통 운전시 라인 인덕터에 흐르는 전류의 스위칭 고조파 성분 및 기본파 성분이다.)라고 하고 인버터 출력과위는 I_{Li,1}>>I_{Cf,1}라고 가정하면 하기 수학식 16과 같이 정리된다.

수학식 16

$$P = 3V_g \times I_{Lg,1} \doteq 3V_g \times I_{Li,1}$$

[0081]

[0082]

스위칭 방법으로 SPWM(Sinusoidal Pulse Width Modulation)방법을 사용하고, 상기 스위칭 방법에서 modulation index를 0.8로 설정한 경우, 인버터 출력전압의 스위칭 성분 V_{i,sw}의 rms(root mean square)값은 하기 수학식 17과 같이 산출된다.

수학식 17

$$V_{i,sw} = 0.818 \times 0.5V_{dc} / \sqrt{2}$$

[0083]

[0084]

[0085]

상기 수학식 17에서 V_{i,sw}>>V_{Cf,sw}라고 가정하면, 인버터 측 인덕터 전류의 스위칭 성분은 하기 수학식 18과 같고,

수학식 18

$$I_{Li,sw} = \frac{V_{Li,sw}}{\omega_{sw} L_i} = \frac{V_{i,sw}}{\omega_{sw} L_i}$$

[0086]

[0087] 상기 수학식 16 내지 수학식 18에 의해 인버터 측 인덕터 값을 산출하면 하기 수학식 19와 같다.

수학식 19

$$L_i = \frac{0.867 V_{dc} V_g}{\omega_{sw} r_i P}$$

[0088]

[0089] 상기 수학식 19에서 $r_i = I_{Li,sw} / I_{Li,1}$ 는 인버터 측 인덕터 전류의 리플률을 나타내는 것으로 0.1 내지 0.5의 값을 가진다. LCL필터 모델에 의해 캐패시터 전압의 스위칭 성분은 하기 수학식 20과 같고,

수학식 20

$$V_{Cf,sw} = \frac{L_g}{\omega_{sw}^2 L_g C_f L_i + (L_g + L_i)} V_{i,sw}$$

[0090]

[0091] 상기 수학식 20을 이용하여 LCL필터의 캐패시터는 하기 수학식 21과 같이 산출할 수 있다.

수학식 21

$$C_f = \frac{1}{\omega_{sw}^2 a} \left(\frac{1-a}{L_i} - \frac{\omega_{sw} r_g P}{0.867 V_{dc} V_g} \right)$$

[0092]

[0093] 상기 수학식 21에서 캐패시터 전압의 리플 감쇄율 a 는 $a = V_{Cf,sw} / V_{i,sw}$ 로 나타낼 수 있다. 또한, 계통 측 인덕터 전류의 스위칭 성분의 rms값 $I_{Lg,sw}$ 는 하기 수학식 22와 같다.

수학식 22

$$I_{Lg,sw} = \frac{V_{Lg,sw}}{\omega_{sw} L_g} = \frac{V_{Cf,sw}}{\omega_{sw} L_g}$$

[0094]

[0095] 상기 수학식 22를 이용하여 계통 측 인덕터를 구하면 하기 수학식 23과 같다.

[0096]

수학식 23

$$L_g = \frac{0.867aV_{dc}V_g}{\omega_{sw} r_g P}$$

[0097]

[0098] 도 5는 본 발명에 따른 계통연계 인버터에서 PLL(Phase Locked Loop)을 이용한 제어블록도를 도시한 도면이다. 분산발전시스템이 계통과 연계되기 위해서는 주전원 계통의 위상과 인버터의 출력을 정확하게 동기시켜야 하므로 계통의 위상정보를 검출하는 방법이 필수적이다. 일반적으로 위상정보를 검출하는 방법으로는 PLL 제어방법을 사용하며, dq PLL, αβ PLL 등 다양한 PLL 제어방법들이 존재한다. 이 중 가장 많이 사용하는 dq PLL 제어방법은 3상의 계통전압을 동기좌표 변환한 뒤 d축 전압을 0으로 제어함으로써 계통과 일치하는 위상각을 얻는 방법으로 d축 전압을 제어하는 PI제어기와 그 출력을 적분하여 위상을 얻는 방법이다. 하지만 이와 같은 PLL 제어방법은 주전원 계통에 이상이 발생하여 단독운전 상황이 되는 경우 기준이 되는 위상각의 정보를 얻을 수 없으므로 PI제어기의 출력이 비정상적으로 가변되어 출력주파수가 변동되는 문제점이 발생한다.

[0099]

본 발명의 PLL(Phase Locked Loop) 제어방법에 따르면 계통이상이 발생한 후 단독운전 검출 전까지도 출력 주파수가 변동하지 않는 특징이 있다. 본 발명의 PLL 제어방법에서 d축 전압을 제어하는 PI 제어기의 출력은 Δθ가 되며 이는 60Hz를 가지는 θ_{ff}와 더해져 계통전압의 위상각과 일치하는 위상각을 출력한다. θ_{ff}는 60Hz에 해당하는 ω_{ff}를 적분하여 산출된 위상각이다. 본 발명에 따른 PLL 제어방법의 출력 위상각(θ)을 수식으로 표현하면 하기 수학식 24와 같다.

수학식 24

$$\theta = \theta_{ff} + \Delta\theta = \frac{\omega_{ff}}{s} + \Delta\theta$$

[0100]

[0101] 상기 수학식 24에서 θ_{ff}는 60Hz의 주파수를 가지는 위상각이며 Δθ는 계통전압의 위상각과의 오차를 보상을 위한 각도 값이다. 상기 수학식 24에서 산출되는 바와 같이 본 발명에 따른 PLL 제어방법에 따르면 출력 위상각의 주파수는 언제나 60Hz로 일정하다. 그러므로 계통이 정전되어 단독운전 검출 전 계통 위상 값을 검출하지 못하는 경우에도 출력 주파수는 변동하지 않는다.

[0102]

본 발명에 따른 PLL(Phase Locked Loop) 제어방법은 구체적으로, 계통 전압(V_g)을 입력받아 dq 동기 좌표계를 이용하여 좌표변환된 값을 출력하는 단계, 상기 좌표변환되어 출력된 상기 계통 전압(V_g)의 d축에 대하여 산출된 계통 전압(V_g^d)과 상기 산출된 전압의 목표치 전압(V_g^{d*})의 차를 이용하여 보상 각도 값(Δθ)을 산출하는

단계, 상기 보상 각도 값($\Delta\theta$)과 계통전압의 위상각(θ_{ff})을 합산한 값을 이용하여 다시 계통 전압(V_g)에 대하여 dq변환하여 각각의 축에 대한 전압(V_g^d, V_g^q)을 재산출하는 단계로 구성된다.

[0103] 도 6은 본 발명에 따른 계통연계 인버터에서 단독운전을 검출하는 방법을 도시한 순서도이다. 본 발명과 같이 단독 운전 시 중요부하(Critical Load)에 과도상태를 최소화시키는 방법을 적용하면, 부하전압의 크기와 주파수는 크게 변화하지 않으나 계통 정상 시 인버터가 출력하는 전력 및 부하가 소모하는 전력의 차이는 인버터의 출력 전류의 변화로 나타난다. 따라서 출력 전류와 전류 목표치의 차이가 일정 범위 이상 변동하게 되면 단독운전을 검출할 수 있게 된다. 본 발명에서는 일 실시예로 10%이상의 전류 변동이 10회 이상 발생하는 경우 단독운전으로 판단하여 검출할 수 있는 단독운전 방지 알고리즘을 구현하였으며 그 순서도는 도 6에 도시한 바와 같다.

[0104] 구체적인 단독운전 검출방법은, 3상 정현파 전류인 계통 전류 I_{Lg} 를 샘플링하는 단계, 상기 계통 전류 I_{Lg} 를 입력받아 dq 동기 좌표계를 이용하여 좌표변환된 값을 출력하는 단계, 상기 좌표변환되어 출력된 상기 계통 전류 I_{Lg} 의 값 중 q축에 대하여 출력된 전류치(I_{Lg}^q)와 그 목표전류치(I_{Lg}^{q*})의 차가 일정 값 이상이면 그 횟수를 누산하여 누산 값을 저장하고, 상기 차가 일정 값 미만이면 상기 누산 값을 초기화하는 단계, 상기 누산 값이 일정 값 이상이면 단독 운전으로 판단하는 단계로 이루어진다.

[0105] 다음은 본 발명에 따른 계통연계 인버터의 제어방법을 적용하였을 때 효과를 설명한다. 도 7a 내지 도 8은 본 발명에 의한 계통연계 인버터의 출력전압 및 출력전류를 도시한 도면이다. 이에 따르면 3상 간접전류제어방식의 계통연계운전 및 독립운전, 과도 상태가 최소화된(Seamless) 모드전환에 대한 타당성을 검토하기 위한 시뮬레이션을 수행하였다. 시뮬레이션 조건은 표 1과 같다.

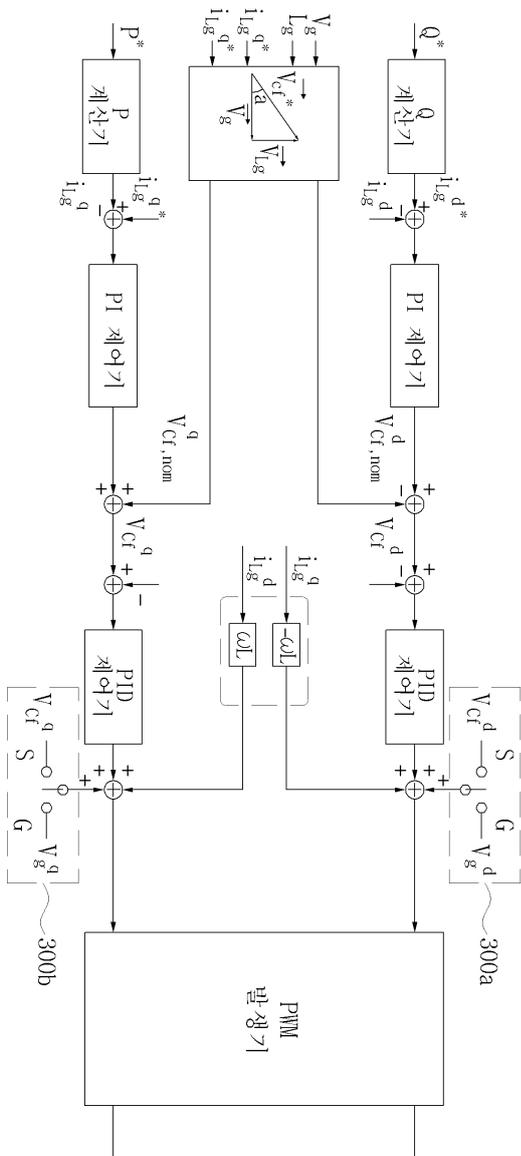
표 1

계통 주입 전력(P)		300kW	
계통전압(V_g)		220V/60Hz	
발전전압(V_{dc})		700V	
스위칭 주파수 (f_{sw})		6kHz	
중요부하전력		40kW	
L_i	88uH	r_i	0.15
C_f	255uF	a	0.03
L_g	131uH	r_g	0.003

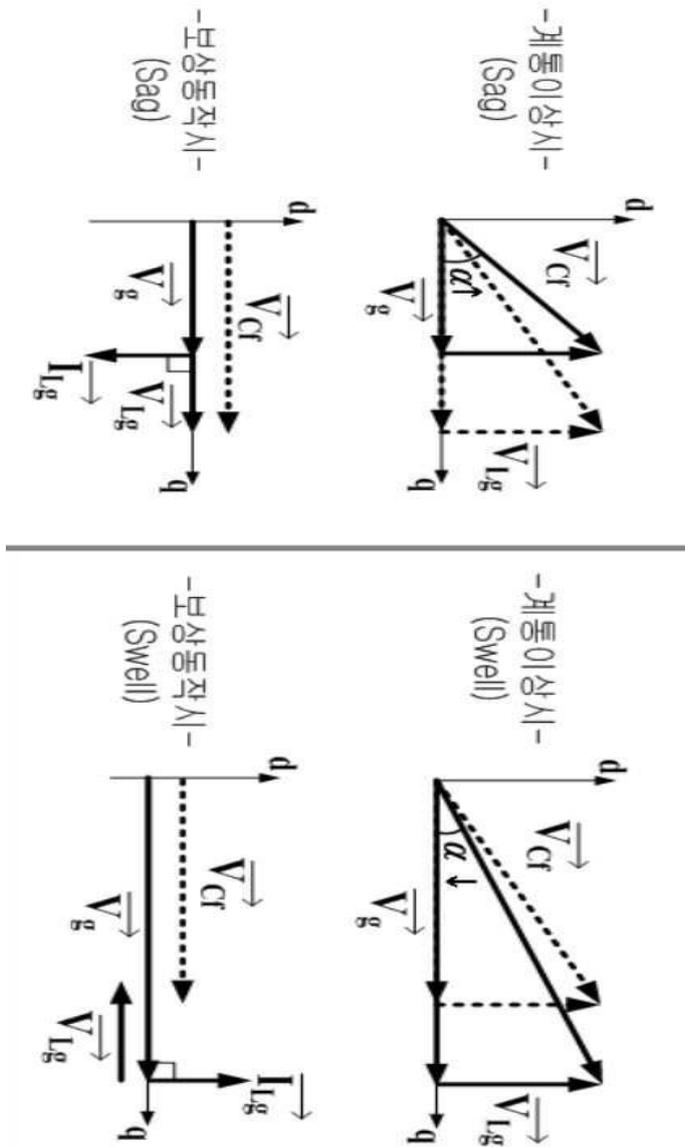
[0107] 도 7a 및 도 7b는 독립운전 모드에서 계통연계 모드로의 전환과정을 도시한 도면이다. 도 7a에 도시한 바에 따르면 인버터 출력전압의 크기 및 위상은 약 2주기만에 계통전압의 크기 및 위상과 일치하도록 동작하고 있는 것을 확인할 수 있다. 인버터 스위치는 아직 닫히지 않은 상태이므로 계통 측 인덕터 전류는 부하전류와 일치한다. 도 7b에 도시한 바에 따르면 인버터 출력전압이 계통전압과 동기화가 끝나면, 인버터 스위치는 닫히고 계통으로 주입되는 전류가 정격값까지 서서히 증가한다. 즉, 본 발명에 따라 인버터 출력전압과 계통전압과의 동기화가 완벽하게 이루어지면 모드전환 시 인버터 출력전압에 과도 상태 발생시간이 현저히 단축됨을 확인할 수 있었다.

[0108] 도 8은 계통 이상 발생 시 계통연계 모드에서 독립운전 모드로의 전환과정을 도시한 그래프이다. 인버터는 계통에 전류를 주입하고 있으므로 계통의 recloser가 차단되는 순간 짧은 순간 과도전압이 관찰된다. 이는 recloser의 예상치 못한 차단으로 발생하는 현상이다. 본 발명에 따른 간접전류제어방법에 의하면 단독운전 발생 시 인버터가 이를 검출하여 계통연계 스위치를 완전히 차단하는 Crearing time 동안 인버터 출력전압에 아무런 과도상태가 나타나지 않음을 확인할 수 있었다. Crearing time 이후 인버터 스위치는 차단되고 제어기

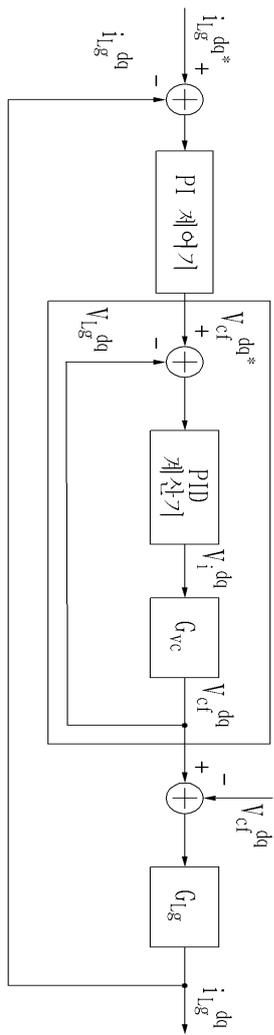
도면2



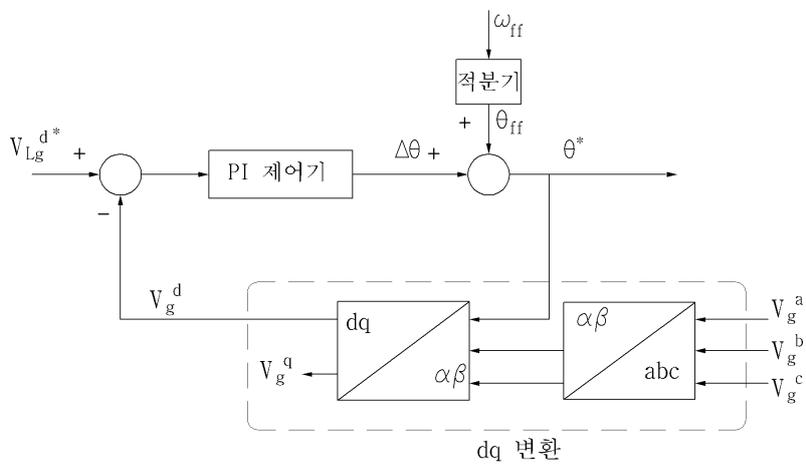
도면3



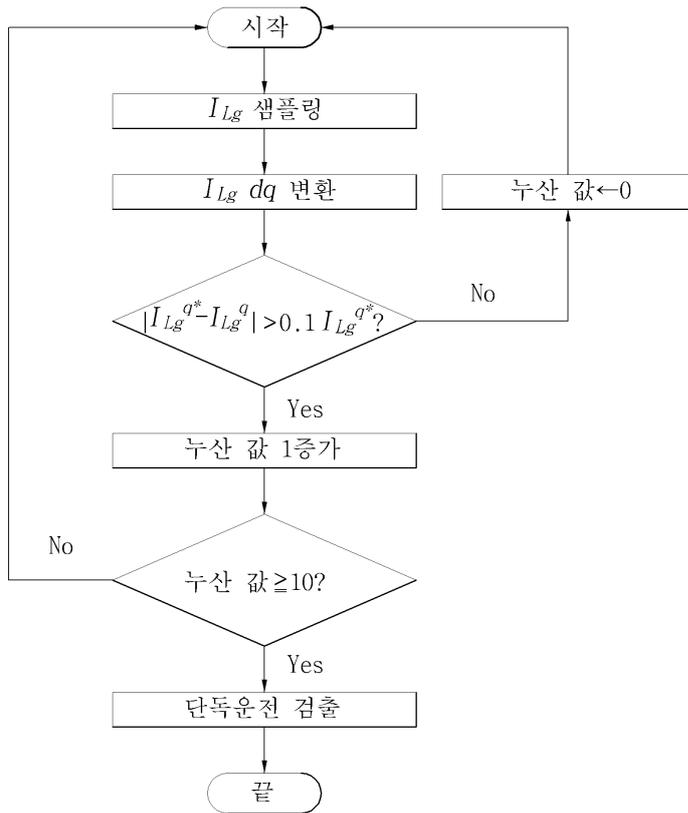
도면4



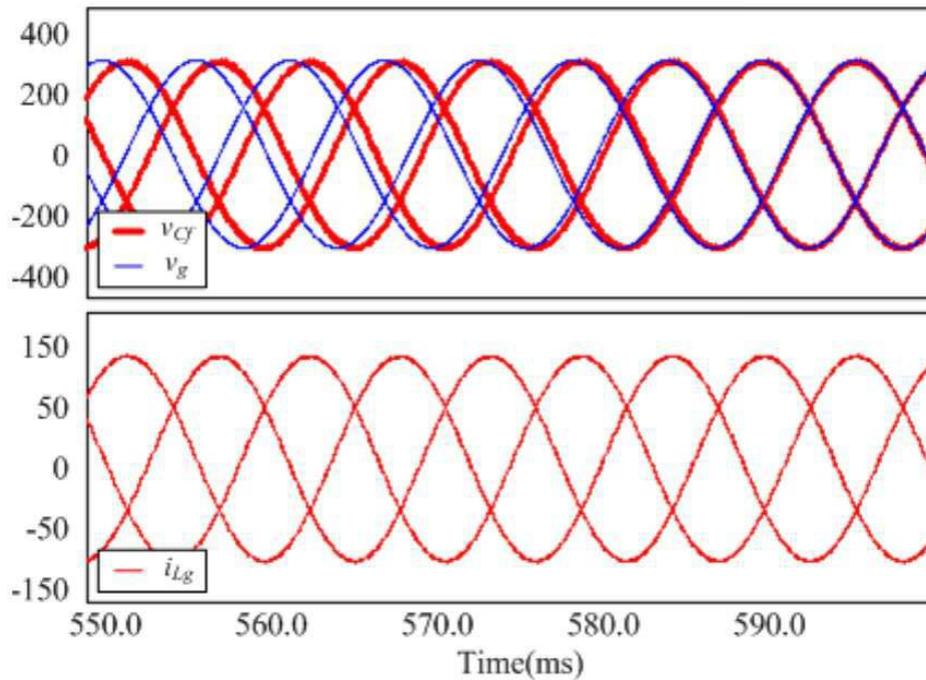
도면5



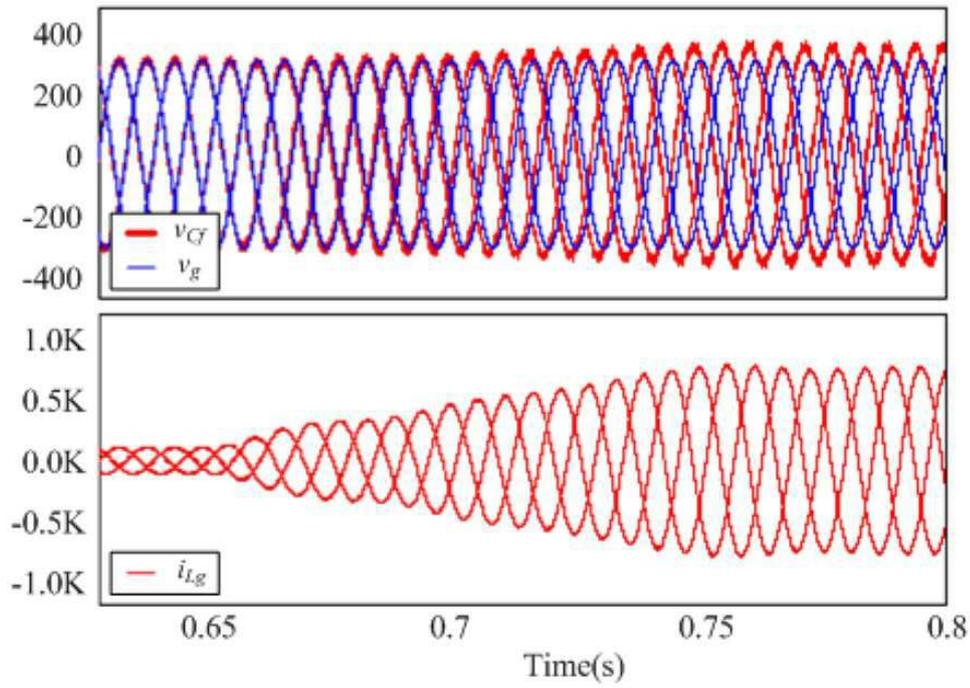
도면6



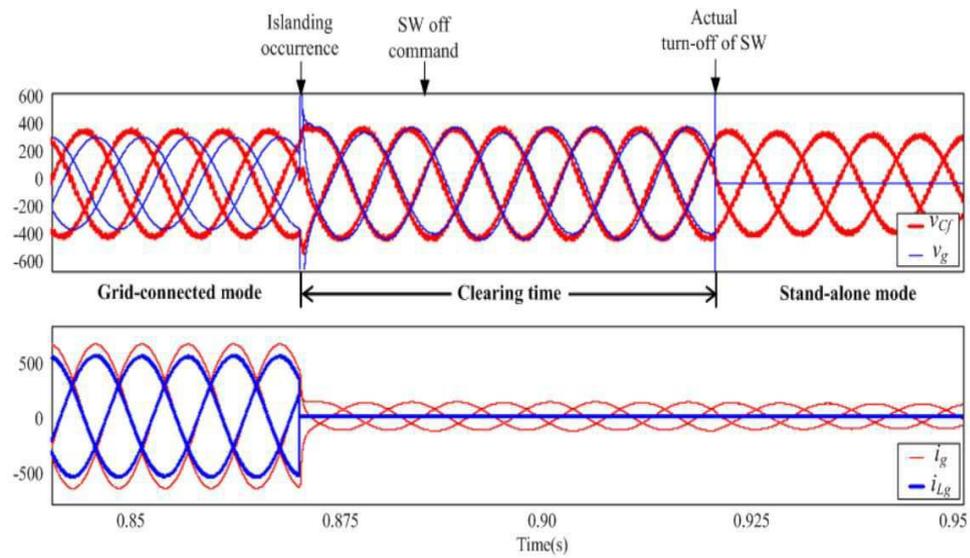
도면7a



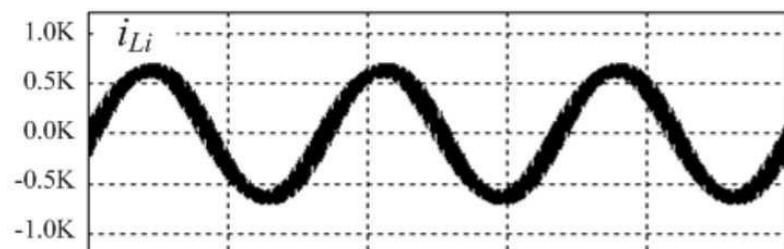
도면7b



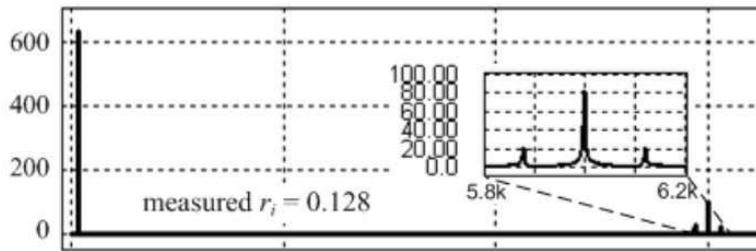
도면8



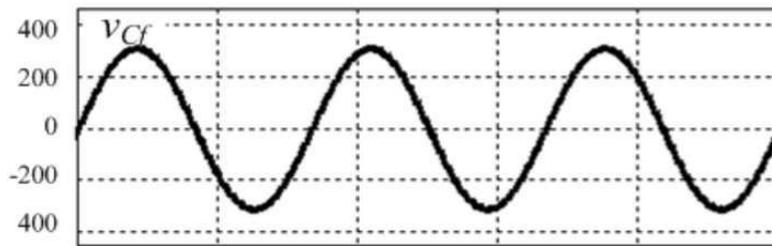
도면9a



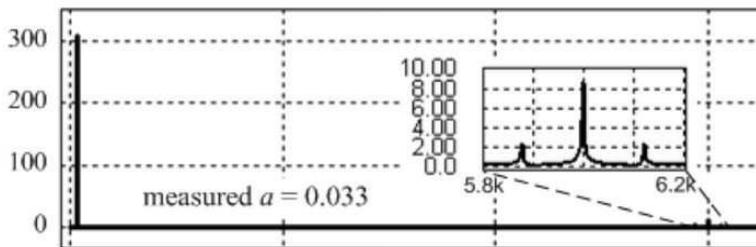
도면9b



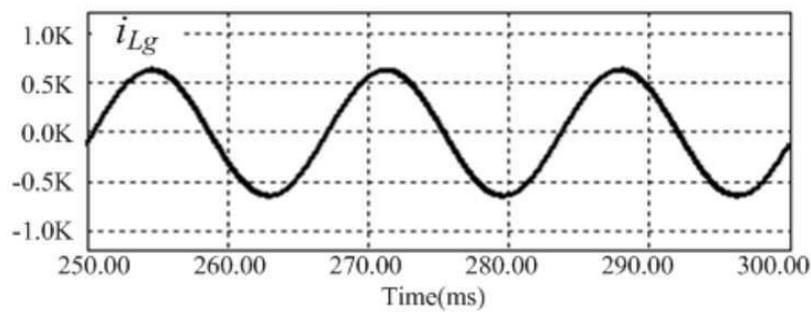
도면9c



도면9d



도면9e



도면9f

