



(12) 发明专利申请

(10) 申请公布号 CN 104320141 A

(43) 申请公布日 2015. 01. 28

(21) 申请号 201410564527. 7

(22) 申请日 2014. 10. 21

(71) 申请人 华南理工大学

地址 510640 广东省广州市天河区五山路
381 号

(72) 发明人 李斌 陈华濂 吴朝晖 武海军

(74) 专利代理机构 广州嘉权专利商标事务所有
限公司 44205

代理人 郑莹

(51) Int. Cl.

H03M 1/38 (2006. 01)

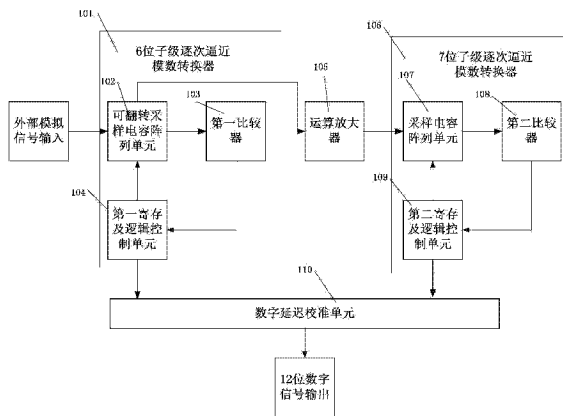
权利要求书2页 说明书6页 附图3页

(54) 发明名称

一种低功耗 12 位流水线式逐次逼近模数转换器

(57) 摘要

本发明公开了一种低功耗 12 位流水线式逐次逼近模数转换器,包括 6 位子级逐次逼近模数转换器、运算放大器、7 位子级逐次逼近模数转换器和数字延迟校准单元,所述 6 位子级逐次逼近模数转换器的残差信号输出连接到运算放大器的输入端,所述 6 位子级逐次逼近模数转换器的数字信号输出至数字延迟校准单元的高六位输入端,所述运算放大器的输出端连接至所述 7 位子级逐次逼近模数转换器的输入端,所述 7 位子级逐次逼近模数转换器数字信号输出连接所述数字延迟校准单元的低六位输入端。本发明能有效实现流水线模数转换器及逐次逼近比较器的结合,有效提高模数转换器的综合性能,并比同类模数转换器功耗低,在深亚微米工艺有广泛的应用前景。



1. 一种低功耗 12 位流水线式逐次逼近模数转换器,其特征在于:包括 6 位子级逐次逼近模数转换器(101)、运算放大器(105)、7 位子级逐次逼近模数转换器(106)和数字延迟校准单元(110),所述 6 位子级逐次逼近模数转换器(101)的残差信号输出连接到运算放大器(105)的输入端,所述 6 位子级逐次逼近模数转换器(101)的数字信号输出至数字延迟校准单元(110)的高六位输入端,所述运算放大器(105)的输出端连接至所述 7 位子级逐次逼近模数转换器(106)的输入端,所述 7 位子级逐次逼近模数转换器(106)数字信号输出连接所述数字延迟校准单元(110)的低六位输入端,所述 6 位子级逐次逼近模数转换器(101)和所述 7 位子级逐次逼近模数转换器(106)构成两级子级逐次逼近模数转换器,所述两级子级逐次逼近模数转换器均采用全电容阵列结构,并且所述两级子级逐次逼近模数转换器之间的残差信号放大倍数减小到理论值的 1/4 倍。

2. 根据权利要求 1 所述的一种低功耗 12 位流水线式逐次逼近模数转换器,其特征在于:所述 6 位子级逐次逼近模数转换器(101)包括可翻转采样电容阵列单元(102)、第一比较器(103)和第一寄存及逻辑控制单元(104),所述可翻转采样电容阵列单元(102)输出的残差信号连接至运算放大器(105)的输入端,所述可翻转采样电容阵列单元(102)的输入端连接外部模拟信号输入,所述可翻转采样电容阵列单元(102)的输出端连接第一比较器(103)的输入端,所述第一比较器(103)的输出端输出控制信号至第一寄存及逻辑控制单元(104)的输入端,所述第一寄存及逻辑控制单元(104)根据所述控制信号控制可翻转采样电容阵列单元(102),所述第一寄存及逻辑控制单元(104)的数字信号输出至数字延迟校准单元(110)的高六位输入端。

3. 根据权利要求 1 所述的一种低功耗 12 位流水线式逐次逼近模数转换器,其特征在于:所述 7 位子级逐次逼近模数转换器(106)包括采样电容阵列单元(107)、第二比较器(108)和第二寄存及逻辑控制单元(109),所述运算放大器(105)输出的模拟信号与采样电容阵列单元(107)的输入端相连接,所述采样电容阵列单元(107)的输出信号与第二比较器(108)的输入端相连接,所述第二比较器(108)的输出端输出控制信号,并将该控制信号接入第二寄存及逻辑控制单元(109),所述第二寄存及逻辑控制单元(109)根据所述控制信号控制采样电容阵列单元(107),所述第二寄存及逻辑控制单元(109)的数字信号输出连接至所述数字延迟校准单元(110)的低六位输入端。

4. 根据权利要求 2 所述的一种低功耗 12 位流水线式逐次逼近模数转换器,其特征在于:所述可翻转采样电容阵列单元(102)包括采样电容阵列(202)和翻转电容阵列(203),所述采样电容阵列(202)分为上部分采样电容阵列和下部分采样电容阵列,所述翻转电容阵列(203)分为上部分翻转电容阵列和下部分翻转电容阵列,所述上部分采样电容阵列的下极板与上部分翻转电容阵列的下极板连接,所述上部分翻转电容阵列的下极板分别与第一比较器(204)的反相输入端和运算放大器(206)的反相输入端连接,所述下部分采样电容阵列的上极板与下部分翻转电容阵列的上极板连接,所述下部分翻转电容阵列的上极板分别与第一比较器(204)的同相输入端和运算放大器(206)的同相输入端连接。

5. 根据权利要求 4 所述的一种低功耗 12 位流水线式逐次逼近模数转换器,其特征在于:所述上部分采样电容阵列和下部分采样电容阵列均分别由 7 个电容值分别为 1C、1C、2C、4C、8C、16C 和 32C 的电容并联组成。

6. 根据权利要求 4 所述的一种低功耗 12 位流水线式逐次逼近模数转换器,其特征在

于:所述上部分翻转电容阵列和下部分翻转电容阵列均分别由 2 个电容值分别为 $60C$ 和 $4C$ 的电容并联组成。

7. 根据权利要求 3 所述的一种低功耗 12 位流水线式逐次逼近模数转换器,其特征在于:所述采样电容阵列单元(107)包括上部分电容组和下部分电容组,所述上部分电容组的下极板均连接至第二比较器(209)的反相输入端,所述下部分电容组的上极板均连接至第二比较器(209)的同相输入端。

8. 根据权利要求 7 所述的一种低功耗 12 位流水线式逐次逼近模数转换器,其特征在于:所述上部分电容组和下部分电容组均分别由 8 个电容值分别为 $1C$ 、 $1C$ 、 $2C$ 、 $4C$ 、 $8C$ 、 $16C$ 、 $32C$ 和 $64C$ 的电容并联组成。

一种低功耗 12 位流水线式逐次逼近模数转换器

技术领域

[0001] 本发明涉及模数转换器技术领域,特别涉及一种低功耗 12 位流水线式逐次逼近模数转换器。

背景技术

[0002] 随着数字信号处理技术在高分辨率图像、视频处理及无线通信等领域的广泛应用,电路系统对模数转换器提出了更高的要求,高速高精度低功耗的 ADC 已成为业界的追求目标。

[0003] 随着先进制造业的发展,半导体器件工艺已经发展到了深亚微米的工艺领域,给信号处理电路带来了许多好处:更低的电源电压,更低的功耗,更高的处理速度,更高的集成度,更小的芯片面积,但是对模拟电路的设计提出了更高的要求,传统电路的设计变得更复杂,且难以实现器件工艺尺寸减小带来的好处。

[0004] 模数转换器是将模拟信号转换为数字信号的桥梁,其中应用极为广泛的两种模数转换器:流水线模数转换器和逐次逼近模数转换器。但这两种模数转换器在深亚微米工艺下难以达到低功耗、高精度和适合的速度的要求。表现为:流水线模数转换器能够达到高速的要求,但是存在高功耗的问题,而逐次逼近模数转换器能够满足低功耗要求,但是其速度和精度却限制在 100MS/s 和 10 位精度以下。所以,这两种模数转换器传统的设计思路不能充分实现器件尺寸工艺降低而带来的好处。

[0005] 流水线式逐次逼近模数转换器作为一种新型的模数转换器结构,其融合了流水线模数转换器和逐次逼近模数转换器结构的设计特点,从而实现模数转换器性能的综合提高,在深亚微米工艺的应用能够得到适合的功耗、精度和速度的要求。但是,传统的流水线式逐次逼近模数转换器设计依然存在问题:1、传统流水线式逐次逼近模数转换器的子级模数转换器的设计采用容阻式结构的逐次逼近转换器。这种结构不能有效的减少功耗,并且由于电阻对充电的影响,将大大的影响系统的整体速度。2、放大器作为该系统的主要耗电模块,应该在不太影响精度情况下,减小功耗的使用。若按传统的流水线设计思想,前级子级模数转换器与后级子级模数转换器间需要一个 128 倍的放大器。这样,电路的功耗不能达到有效的减小,并且 128 倍放大器难以实现很高的输出精度。

发明内容

[0006] 为了解决上述技术问题,本发明的目的在于,基于上述问题,提出一种流水式逐次逼近模数转换器。首先该模数转换器的子级逐次逼近模数转换器采用功耗低的全电容结构代替容阻结构,减小电阻对电路的影响。其次在功耗消耗高的放大器上,创新性的提出了用 32 倍放大倍数代替原有的 128 倍放大倍数的“1/4”放大技术,减少放大器的输出幅度,从而降低总体电路功耗,提高深亚微米先进工艺领域应用中模数转换器综合性能,提供一种低功耗 12 位流水线式逐次逼近模数转换器。

[0007] 本发明所采用的技术方案是:

[0008] 一种低功耗 12 位流水线式逐次逼近模数转换器,包括 6 位子级逐次逼近模数转换器、运算放大器、7 位子级逐次逼近模数转换器和数字延迟校准单元,所述 6 位子级逐次逼近模数转换器的残差信号输出连接到运算放大器的输入端,所述 6 位子级逐次逼近模数转换器的数字信号输出至数字延迟校准单元的高六位输入端,所述运算放大器的输出端连接至所述 7 位子级逐次逼近模数转换器的输入端,所述 7 位子级逐次逼近模数转换器数字信号输出连接所述数字延迟校准单元的低六位输入端,所述 6 位子级逐次逼近模数转换器和所述 7 位子级逐次逼近模数转换器构成两级子级逐次逼近模数转换器,所述两级子级逐次逼近模数转换器均采用全电容阵列结构,并且所述两级子级逐次逼近模数转换器之间的残差信号放大倍数减小到理论值的 1/4 倍。

[0009] 进一步作为本发明一种低功耗 12 位流水线式逐次逼近模数转换器的改进,所述 6 位子级逐次逼近模数转换器包括可翻转采样电容阵列单元、第一比较器和第一寄存及逻辑控制单元,所述可翻转采样电容阵列单元输出的残差信号连接至运算放大器的输入端,所述可翻转采样电容阵列单元的输入端连接外部模拟信号输入,所述可翻转采样电容阵列单元的输出端连接第一比较器的输入端,所述第一比较器的输出端输出控制信号至第一寄存及逻辑控制单元的输入端,所述第一寄存及逻辑控制单元根据所述控制信号控制可翻转采样电容阵列单元,所述第一寄存及逻辑控制单元的数字信号输出至数字延迟校准单元的高六位输入端。

[0010] 进一步作为本发明一种低功耗 12 位流水线式逐次逼近模数转换器的改进,所述 7 位子级逐次逼近模数转换器包括采样电容阵列单元、第二比较器和第二寄存及逻辑控制单元,所述运算放大器输出的模拟信号与采样电容阵列单元的输入端相连接,所述采样电容阵列单元的输出信号与第二比较器的输入端相连接,所述第二比较器的输出端输出控制信号,并将该控制信号接入第二寄存及逻辑控制单元,所述第二寄存及逻辑控制单元根据所述控制信号控制采样电容阵列单元,所述第二寄存及逻辑控制单元的数字信号输出连接至所述数字延迟校准单元的低六位输入端。

[0011] 进一步作为本发明一种低功耗 12 位流水线式逐次逼近模数转换器的改进,所述可翻转采样电容阵列单元包括采样电容阵列和翻转电容阵列,所述采样电容阵列分为上部分采样电容阵列和下部分采样电容阵列,所述翻转电容阵列分为上部分翻转电容阵列和下部分翻转电容阵列,所述上部分采样电容阵列的下极板与上部分翻转电容阵列的下极板连接,所述上部分翻转电容阵列的下极板分别与第一比较器的反相输入端和运算放大器的反相输入端连接,所述下部分采样电容阵列的上极板与下部分翻转电容阵列的上极板连接,所述下部分翻转电容阵列的上极板分别与第一比较器的同相输入端和运算放大器的同相输入端连接。

[0012] 进一步作为本发明一种低功耗 12 位流水线式逐次逼近模数转换器的改进,所述上部分采样电容阵列和下部分采样电容阵列均分别由 7 个电容值分别为 1C、1C、2C、4C、8C、16C 和 32C 的电容并联组成。

[0013] 进一步作为本发明一种低功耗 12 位流水线式逐次逼近模数转换器的改进,所述上部分翻转电容阵列和下部分翻转电容阵列均分别由 2 个电容值分别为 60C 和 4C 的电容并联组成。

[0014] 进一步作为本发明一种低功耗 12 位流水线式逐次逼近模数转换器的改进,所述

采样电容阵列单元包括上部分电容组和下部分电容组,所述上部分电容组的下极板均连接至第二比较器的反相输入端,所述下部分电容组的上极板均连接至第二比较器的同相输入端。

[0015] 进一步作为本发明一种低功耗 12 位流水线式逐次逼近模数转换器的改进,所述上部分电容组和下部分电容组均分别由 8 个电容值分别为 1C、1C、2C、4C、8C、16C、32C 和 64C 的电容并联组成。

[0016] 本发明的有益效果是:

[0017] 本发明一种低功耗 12 位流水线式逐次逼近模数转换器提出一种新型的低功耗的混合式模数转换器的结构,本发明的子级逐次逼近模数转换器采用功耗低的全电容结构代替容阻结构,减小电阻对电路的影响,其次在功耗消耗高的放大器上,创新性的提出了用 32 倍放大倍数代替原有的 128 倍放大倍数的“1/4”放大技术,减少放大器的输出幅度,从而降低总体电路功耗,提高深亚微米先进工艺领域应用中模数转换器综合性能,本发明采用这种结构能有效突破传统流水线模数转换器和逐次逼近模数转换器在深亚微米工艺的应用领域的性能瓶颈,降低了流水线式逐次逼近模数转换器的功耗。

附图说明

[0018] 下面结合附图对本发明的具体实施方式作进一步说明:

[0019] 图 1 是本发明一种低功耗 12 位流水线式逐次逼近模数转换器的原理方框图;

[0020] 图 2 是本发明实施例中一种低功耗 12 位流水线式逐次逼近模数转换器的电路原理图;

[0021] 图 3 是本发明实施例中比较器的结构框图;

[0022] 图 4 是本发明实施例中寄存及逻辑控制单元结构框图;

[0023] 图 5 是本发明实施例中运算放大器的电路图;

[0024] 图 6 是本发明的翻转采样电容与运算放大器组成的 32 倍放大器结构电路图;

[0025] 图 7 是本发明一种低功耗 12 位流水线式逐次逼近模数转换器的动态特性仿真结果图。

具体实施方式

[0026] 参考图 1,本发明一种低功耗 12 位流水线式逐次逼近模数转换器,包括 6 位子级逐次逼近模数转换器 101、运算放大器 105、7 位子级逐次逼近模数转换器 106 和数字延迟校准单元 110,所述 6 位子级逐次逼近模数转换器 101 的残差信号输出连接到运算放大器 105 的输入端,所述 6 位子级逐次逼近模数转换器 101 的数字信号输出至数字延迟校准单元 110 的高六位输入端,所述运算放大器 105 的输出端连接至所述 7 位子级逐次逼近模数转换器 106 的输入端,所述 7 位子级逐次逼近模数转换器 106 数字信号输出连接所述数字延迟校准单元 110 的低六位输入端,所述 6 位子级逐次逼近模数转换器 101 和所述 7 位子级逐次逼近模数转换器 106 构成两级子级逐次逼近模数转换器,所述两级子级逐次逼近模数转换器均采用全电容阵列结构,并且所述两级子级逐次逼近模数转换器之间的残差信号放大倍数减小到理论值的 1/4 倍。

[0027] 进一步作为本发明一种低功耗 12 位流水线式逐次逼近模数转换器的改进,所述 6

位子级逐次逼近模数转换器 101 包括可翻转采样电容阵列单元 102、第一比较器 103 和第一寄存及逻辑控制单元 104, 所述可翻转采样电容阵列单元 102 输出的残差信号连接至运算放大器 105 的输入端, 所述可翻转采样电容阵列单元 102 的输入端连接外部模拟信号输入, 所述可翻转采样电容阵列单元 102 的输出端连接第一比较器 103 的输入端, 所述第一比较器 103 的输出端输出控制信号至第一寄存及逻辑控制单元 104 的输入端, 所述第一寄存及逻辑控制单元 104 根据所述控制信号控制可翻转采样电容阵列单元 102, 所述第一寄存及逻辑控制单元 104 的数字信号输出至数字延迟校准单元 110 的高六位输入端。所述 6 位子级逐次逼近模数转换器 101 在电路工作时, 主要有三个工作状态: 模拟信号采样状态, 模拟信号转换状态和模拟残差信号及数字信号输出状态。6 位子级逐次逼近模数转换器 101 实现系统的高 6 位的转换功能, 该级输出的残差信号将影响后级 7 位子级逐次逼近模数转换器 106 精度, 所以这一子级转换器要尽量使用高精度的逐次逼近模数转换器设计。

[0028] 进一步作为本发明一种低功耗 12 位流水线式逐次逼近模数转换器的改进, 所述 7 位子级逐次逼近模数转换器 106 包括采样电容阵列单元 107、第二比较器 108 和第二寄存及逻辑控制单元 109, 所述运算放大器 105 输出的模拟信号与采样电容阵列单元 107 的输入端相连接, 所述采样电容阵列单元 107 的输出信号与第二比较器 108 的输入端相连接, 所述第二比较器 108 的输出端输出控制信号, 并将该控制信号接入第二寄存及逻辑控制单元 109, 所述第二寄存及逻辑控制单元 109 根据所述控制信号控制采样电容阵列单元 107, 所述第二寄存及逻辑控制单元 109 的数字信号输出连接至所述数字延迟校准单元 110 的低六位输入端。所述 7 位子级逐次逼近模数转换器 106 电路不选用能耗高的容阻式的逐次逼近模数转换器结构, 而选用的全电容式的逐次逼近模数转换器结构, 主要是因为电容具有非耗电性, 能够减小电路功耗, 并且能够避免电阻对电流的影响, 从而增大对电容的充电电流, 有效提高电路的速度。

[0029] 参考图 2, 进一步作为本发明一种低功耗 12 位流水线式逐次逼近模数转换器的改进, 所述可翻转采样电容阵列单元 102 包括采样电容阵列 202 和翻转电容阵列 203, 由于电路采用差分输入, 所述采样电容阵列 202 分为上部分采样电容阵列和下部分采样电容阵列, 所述翻转电容阵列 203 分为上部分翻转电容阵列和下部分翻转电容阵列, 所述上部分采样电容阵列的下极板与上部分翻转电容阵列的下极板连接, 所述上部分翻转电容阵列的下极板分别与第一比较器 204 的反相输入端和运算放大器 206 的反相输入端连接, 所述下部分采样电容阵列的上极板与下部分翻转电容阵列的上极板连接, 所述下部分翻转电容阵列的上极板分别与第一比较器 204 的同相输入端和运算放大器 206 的同相输入端连接。

[0030] 进一步作为本发明一种低功耗 12 位流水线式逐次逼近模数转换器的改进, 所述上部分采样电容阵列和下部分采样电容阵列均分别由 7 个电容值分别为 $1C$ 、 $1C$ 、 $2C$ 、 $4C$ 、 $8C$ 、 $16C$ 和 $32C$ 的电容并联组成。其中 C 为单位电容。在转换阶段, 其分别对应与转换的电压的大小: $2^{-5}V_{ref}$ 、 $2^{-5}V_{ref}$ 、 $2^{-4}V_{ref}$ 、 $2^{-3}V_{ref}$ 、 $2^{-2}V_{ref}$ 、 $2^{-1}V_{ref}$ 和 V_{ref} , 其中 V_{ref} 为参考电压, 这样就可以将电路的模拟信号转换电压信号, 并与输入信号进行比较, 完成逐次比较逼近转换。电路工作时, 在采样阶段采样电容阵列 202 和翻转电容阵列 203 和上板块电容接通 V_{in+} , 下板块电容接通 V_{in-} ; 在转换阶段, 采样电容阵列 202 上板块第一个 $1C$ 接通 V_{ref+} , 下板块接通 V_{ref-} 。然后, 第一寄存及逻辑控制单元 205 分别对采样电容阵列 202 其他 6 个电容的开关输进控制信号, 信号为“1”时, 对应电容的上板块接通 V_{ref+} , 下板块接通 V_{ref-} ; 信号为“0”时, 对应

电容的上板块接通 V_{ref-} ，下板块接通 V_{ref+} 。翻转电容阵列 203 上下板块都接通 V_{com} ；在翻转阶段，翻转电容阵列 203 上下板块的 4C 电容接通运算放大器的输出端，其他电容保持转换阶段结束时的接通状态。

[0031] 进一步作为本发明一种低功耗 12 位流水线式逐次逼近模数转换器的改进，所述上部分翻转电容阵列和下部分翻转电容阵列均分别由 2 个电容值分别为 60C 和 4C 的电容并联组成。该翻转电容的主要作用是当电路处于残差放大时与运算放大器 105 及采样电容阵列 202 及翻转电容阵列 203 组成一个 32 倍的放大电路 701。

[0032] 进一步，整个可翻转采样电容阵列单元 102 在电路的具体应用上，对应 6 位子级逐次逼近模数转换器 101 的三个工作状态，分别起到三个重要的作用：1、系统处于模拟信号采样状态，采样电容阵列 202 及翻转电容阵列 203 都作为采样单元，对输入信号进行采集；2、系统处于模拟信号转换状态，可翻转采样电容阵列单元 102 作为子级数模转换器单元，其中采样电容阵列 202 模拟逼近电压与储存的输入信号进行比较，完成转换。翻转电容阵列 203 不工作；3、系统处于第一模拟残差量信号及数字信号输出状态，电容阵列中采样电容阵列 202 及翻转电容阵列 203 与运算放大器 105 及采样电容阵列 202 组成 32 倍的放大器 701 放大第一模拟残差量，输入后级 7 位子级逐次逼近模数转换器 106。

[0033] 理论上所述运算放大器 105 输入端连接 6 位子级逐次逼近模数转换器 101 输出的模拟残差信号并对其放大 128 倍。在电路机构设计选用高增益及宽频带的两级的增益自举运算放大器电路，从而提高模拟信号输出精度。由于放大器功耗占电路绝大部分的比例，为了减少其功耗的方法，提出了“1/4”放大原理，从而减少放大器的输出幅度，减小电路功耗输出。

[0034] 所述的“1/4”放大原理是：按原理传统的流水线模数转换器的设计思路，经过前级 6 位子级逐次逼近模数转换器 101 转换成电路的高六位后，电路输出第一残差模拟信号为 $V_{res} = 1/2(V_{in} - V_{dac})$ 。在后级 7 位子级逐次逼近模数转换器 106 转换量程为 $[+V_{ref}, -V_{ref}]$ 时，原理上要将上述输出第一残差电压放大 128 倍才能满足后级输入的要求。但是，本发明采用全电容子级逐次逼近模数转换器结构，可以通过电容翻转结构结合放大器 105 组成 32 倍放大电路，然后重新把 7 位子级逐次逼近模数转换器 106 的转换量程设定为 $[+1/2V_{ref}, -1/2V_{ref}]$ ，并且 7 位子级逐次逼近模数转换器 106 转换输出结果取后六位，那么第一残差模拟信号放大 32 倍就可以满足后级逐次逼近模数转换器第模拟输入信号范围要求，所以称为 1/4 倍的放大结构。应用此原理，使放大器的输出幅度范围从 $[+V_{ref}, -V_{ref}]$ 降低到 $[+1/2V_{ref}, -1/2V_{ref}]$ ，从而减小放大器的输入电流，降低了电路的功耗。

[0035] 进一步作为本发明一种低功耗 12 位流水线式逐次逼近模数转换器的改进，由于电路采用差分输入，所述采样电容阵列单元 107 包括上部分电容组和下部分电容组，所述上部分电容组的下极板均连接至第二比较器 209 的反相输入端，所述下部分电容组的上极板均连接至第二比较器 209 的同相输入端。

[0036] 进一步作为本发明一种低功耗 12 位流水线式逐次逼近模数转换器的改进，所述上部分电容组和下部分电容组均分别由 8 个电容值分别为 1C、1C、2C、4C、8C、16C、32C 和 64C 的电容并联组成。电路工作在采样阶段时，采样电容阵列 208 上下板块电容接通运算放大器输出端；在转换阶段时，采样电容阵列 208 上板块第一个 1C 接通 $1/2V_{ref+}$ ，下板块接通 $1/2V_{ref-}$ 。然后，寄存及逻辑控制单元 210 分别对采样电容阵列 208 其他 7 个电容的开关输

进控制信号,信号为“1”时,对应电容的上板块接通 V_{ref+} ,下板块接通 V_{ref-} ;信号为“0”时,对应电容的上板块接通 V_{ref-} ,下板块接通 V_{ref+} 。

[0037] 图3是本发明实施例中比较器的结构框图。两个子级逐次逼近模数转换器的比较器结构一样,主要包括:前级预放大器301、第二级放大器302和锁存器303。前级预放大器301连接电容阵列下级板,锁存器303的输出连接寄存及逻辑控制单元的寄存模块。

[0038] 图4是本发明实施例中寄存及逻辑控制单元结构框图。两个子级逐次逼近模数转换器的寄存及逻辑控制单元组成基本一致,主要包括:时序控制单元401和寄存单元402。时序控制单元401的由多个D类触发器串联组成,由启动信号启动和时钟信号控制,每个时钟周期从左至右依次触发一个D类触发器输出高电位。寄存单元402由D类触发器依次串联时序控制单元401的D类触发器时序信号输出端组成,输入端连接比较器的输出信号。工作原理:时序控制单元401控制时序输出,寄存单元402按照转换阶段依次保存转换的数字信号,对应Nbit……2bit、1bit,N为6或7,并作为输出控制电容开关的控制信号。

[0039] 图5是本发明实施例中运算放大器的电路图。运算放大器采用两级自举增益结构,为电路提供了足够的增益及带宽幅度。

[0040] 图6是本发明的翻转采样电容与运算放大器组成的32倍放大器结构电路图。当第一级6位子级逐次逼近模数转换器201处于第一模拟残差量信号及数字信号输出状态时,6位子级逐次逼近模数转换器201中的采样电容阵列702及翻转电容阵列703与放大器704共同组成32倍放大电路。电路形式如图,第一寄存及控制模块705的控制信号控制采样电容阵列702及翻转电容阵列703的60C电容组,而翻转电容阵列703的4C电容组与放大器的输出端连接,从而组成32倍放大电路。

[0041] 实施本发明关键设计在于两个子级逐次逼近模数转换器。由于电路要实现适用于流水线模数转换器的速度要求,电路的选择上采用了全电容的逐次逼近模数转换器结构,特别是前级的6位子级逐次逼近模数转换器201,其电容阵列单元是本设计的关键,即有数模转换功能,又与后级的组成32倍的放大器的电路。因此,设计电路时对电路的电容大小要经过严格的调试,这样才能保证电路的高精度,提高电路采样度与速度。在设计电路的比较器时,务必要提高比较器的灵敏度,故此设计手法上在前级预放大器301和第二级放大器302的连接上采用了消失调的方法,提高电路精度。在综合考虑功耗和速度问题上,挑选了增益自举放大器的结构。

[0042] 图7是本发明一种低功耗12位流水线式逐次逼近模数转换器的动态特性仿真结果图,利用4096采样点进行FFT变换得出的幅频特性图,从图中可以得出信噪失真比SNDR为72.7dB,有效位ENOB为11.757,无杂散动态范围SFDR为91.9dB,12位流水线式逐次逼近模数转换器动态特性良好,通过功耗测试,电路的整体功耗在100 μ W,低于同类逐次逼近模数转换器的设计。

[0043] 通过以上动态特性仿真,可以看出本实施例能够达到12位流水线式逐次逼近模数转换器的要求,能够实现比较理想的静态性能和动态性能。

[0044] 以上是对本发明的较佳实施进行了具体说明,但本发明创造并不限于所述实施例,熟悉本领域的技术人员在不违背本发明精神的前提下还可做作出种种的等同变形或替换,这些等同的变形或替换均包含在本申请权利要求所限定的范围内。

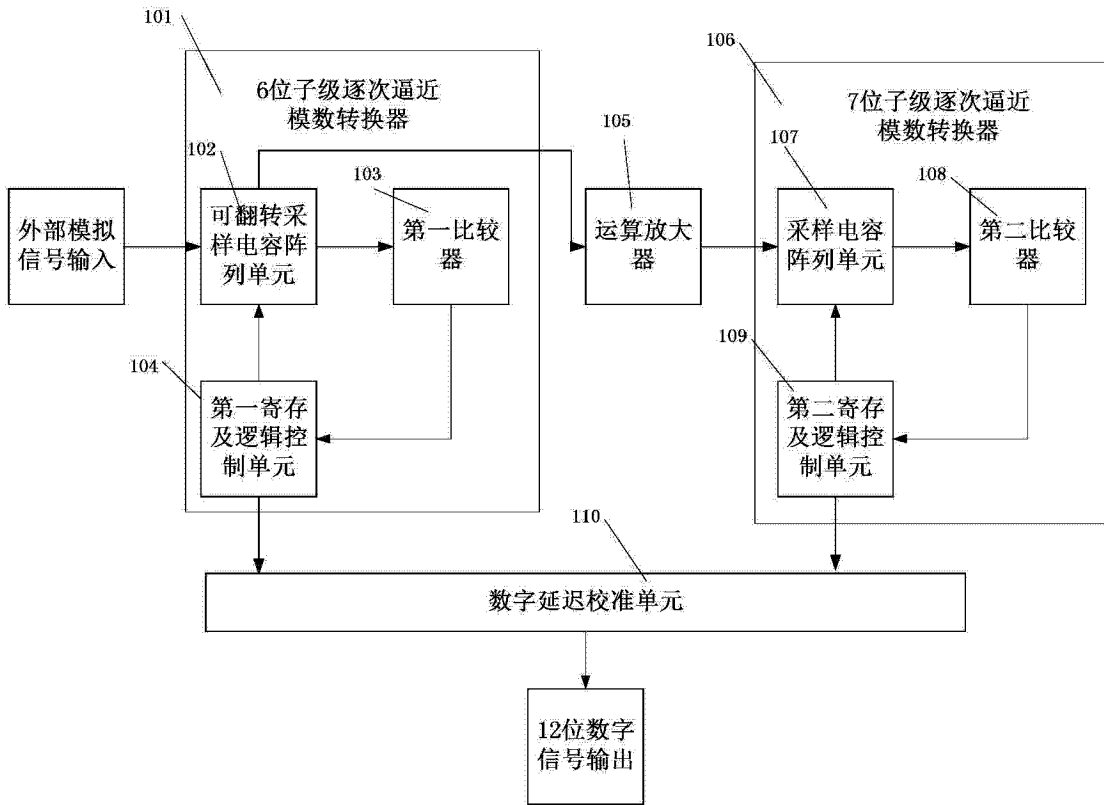


图 1

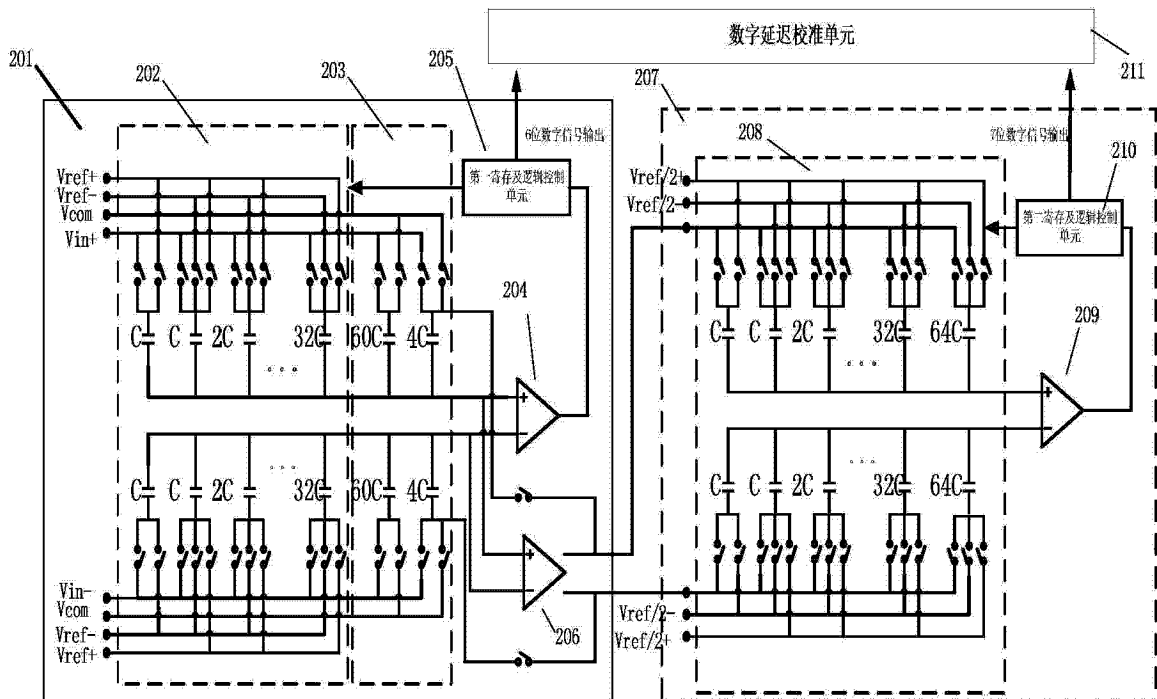


图 2

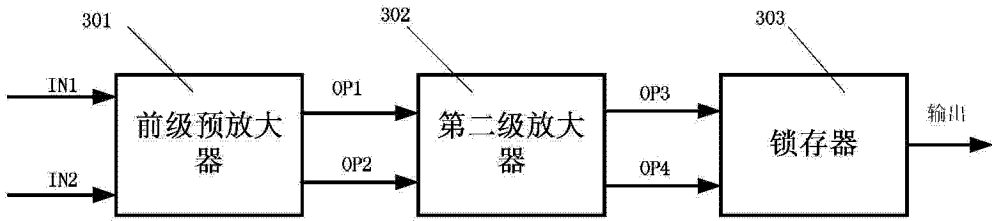


图 3

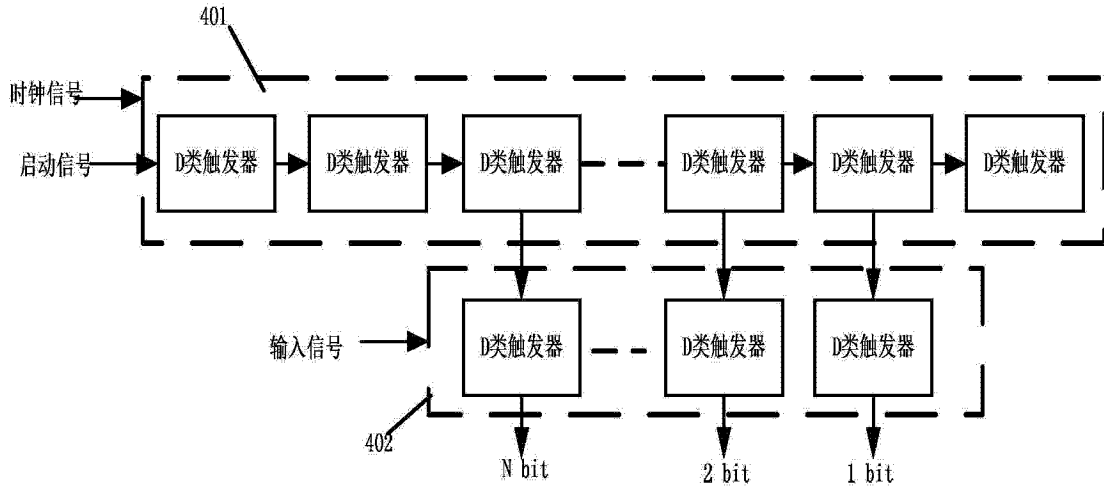


图 4

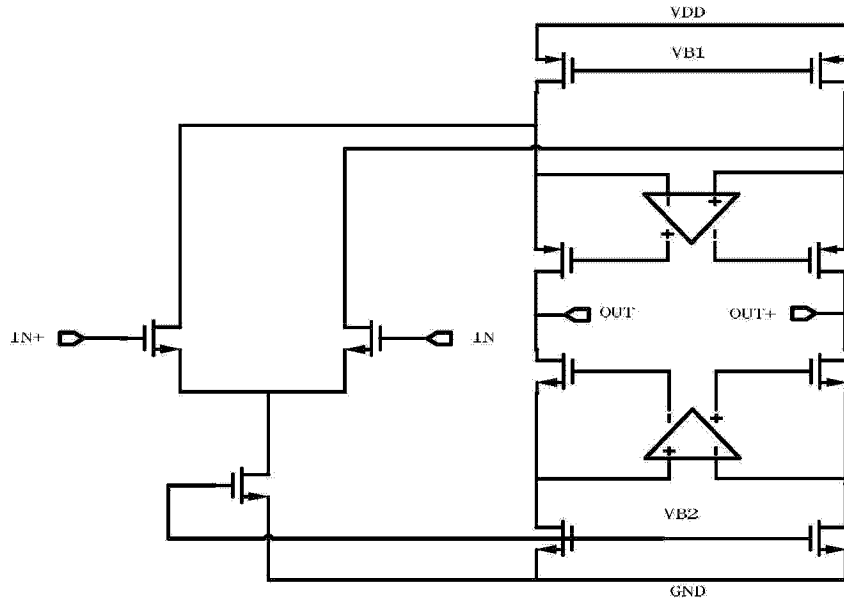


图 5

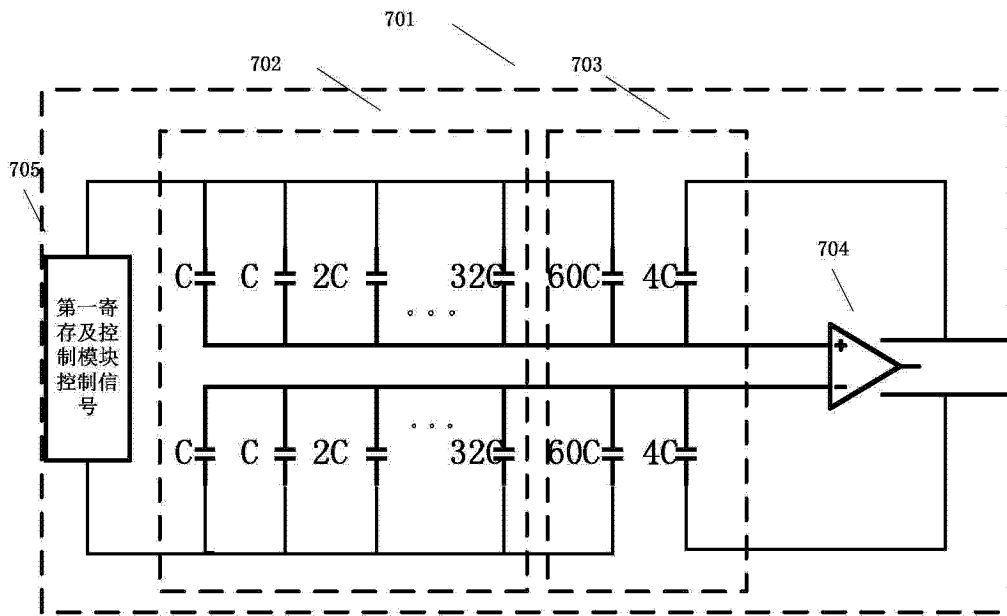


图 6

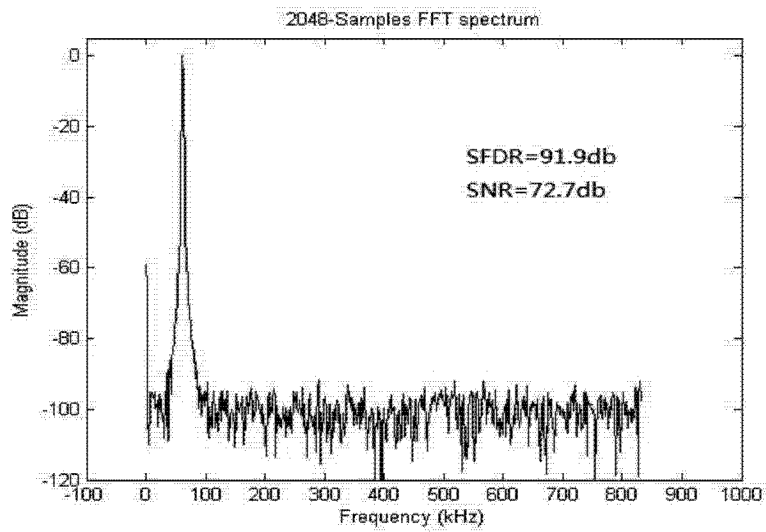


图 7