



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년03월18일
(11) 등록번호 10-1958855
(24) 등록일자 2019년03월11일

(51) 국제특허분류(Int. Cl.)
G11C 7/10 (2015.01) G11C 7/22 (2015.01)
(21) 출원번호 10-2012-0096424
(22) 출원일자 2012년08월31일
심사청구일자 2017년08월09일
(65) 공개번호 10-2014-0029936
(43) 공개일자 2014년03월11일
(56) 선행기술조사문헌
KR100699406 B1

(73) 특허권자
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
지정환
경기 이천시 대산로288번길 89, 104동 404호 (고담동, 하이닉스고담기숙사)
이근일
경기 용인시 기흥구 구갈로 115-16, 201동 205호 (신갈동, 도현마을현대아파트)
(74) 대리인
특허법인신성

전체 청구항 수 : 총 2 항

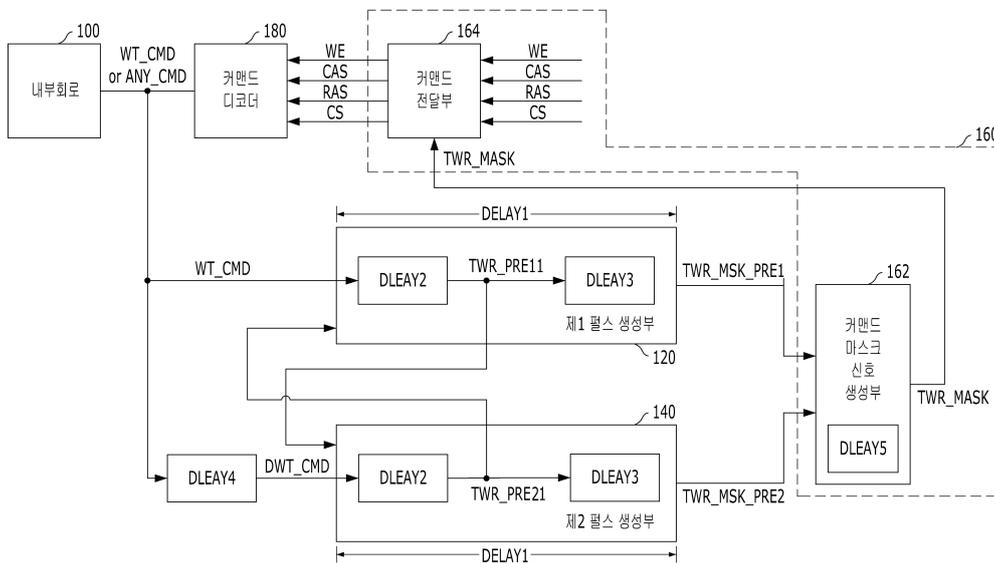
심사관 : 윤석채

(54) 발명의 명칭 반도체 메모리 장치 및 그 동작방법

(57) 요약

라이트 회복시간을 보장해줄 수 있는 반도체 메모리 장치에 관한 것으로서, 연속으로 입력되는 다수의 라이트 커맨드에 응답하여 연속적인 라이트 동작을 수행하는 내부회로와, 다수의 라이트 커맨드 중 제1 펄스의 비활성화구간에서 입력되는 라이트 커맨드에 응답하여 제1 시간만큼 활성화되는 제1 펄스를 생성하는 제1 펄스 생성부와, 제1 펄스의 활성화시점보다 제2 시간 - 제1 시간보다 짧음 - 만큼 늦은 시점 이후 다수의 라이트 커맨드 중 제2 펄스의 비활성화구간에서 입력되는 라이트 커맨드에 응답하여 제1 시간만큼 활성화되는 제2 펄스를 생성하는 제2 펄스 생성부, 및 제1 펄스와 제2 펄스의 활성화구간을 합한 구간 내에서 라이트 커맨드를 제외한 임의의 커맨드가 내부회로로 전달되는 것을 방지하는 전달제어부를 구비하는 반도체 메모리 장치를 제공한다.

대표도



명세서

청구범위

청구항 1

연속으로 입력되는 다수의 라이트 커맨드에 응답하여 연속적인 라이트 동작을 수행하는 내부회로;

상기 다수의 라이트 커맨드 중 제1 펄스의 비활성화구간에서 입력되는 라이트 커맨드에 응답하여 제1 시간만큼 활성화되는 상기 제1 펄스를 생성하는 제1 펄스 생성부;

상기 제1 펄스의 활성화시점보다 제2 시간 - 상기 제1 시간보다 짧음 - 만큼 늦은 시점 이후 상기 다수의 라이트 커맨드 중 제2 펄스의 비활성화구간에서 입력되는 라이트 커맨드에 응답하여 상기 제1 시간만큼 활성화되는 상기 제2 펄스를 생성하는 제2 펄스 생성부; 및

상기 제1 펄스와 상기 제2 펄스의 활성화구간을 합한 구간 내에서 상기 라이트 커맨드를 제외한 임의의 커맨드가 상기 내부회로로 전달되는 것을 방지하는 전달제어부

를 구비하는 반도체 메모리 장치.

청구항 2

◆청구항 2은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 전달제어부는,

상기 제1 펄스의 활성화구간과 상기 제2 펄스의 활성화구간을 합한 만큼의 활성화 구간을 갖는 커맨드 마스크 신호를 생성하는 커맨드 마스크 신호 생성부; 및

상기 커맨드 마스크 신호의 활성화구간 동안 상기 다수의 라이트 커맨드는 상기 내부회로로 전송하지만, 상기 다수의 라이트 커맨드를 제외한 임의의 커맨드는 상기 내부회로로 전송하지 않는 커맨드 전달부를 구비하는 반도체 메모리 장치.

청구항 3

◆청구항 3은(는) 설정등록료 납부시 포기되었습니다.◆

제2항에 있어서,

상기 제1 시간과 상기 제2 시간을 합한 시간은 라이트 회복시간인 것을 특징으로 하는 반도체 메모리 장치.

청구항 4

◆청구항 4은(는) 설정등록료 납부시 포기되었습니다.◆

제3항에 있어서,

상기 제1 시간과 상기 제2 시간은 각각 동작클록에 동기화되어 그 크기가 결정되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 5

◆청구항 5은(는) 설정등록료 납부시 포기되었습니다.◆

제3항에 있어서,

상기 제1 시간과 상기 제2 시간은 동작클록의 주기와 상관없이 각각 설정된 크기를 갖는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6

◆청구항 6은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 전달제어부는,

상기 제1 펄스와 상기 제2 펄스의 활성화구간을 합한 구간과 함께 이어지는 설정된 시간만큼의 구간 내에서 상기 다수의 라이트 커맨드를 제외한 임의의 커맨드가 상기 내부회로로 전달되는 것을 방지하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 7

◆청구항 7은(는) 설정등록료 납부시 포기되었습니다.◆

제6항에 있어서,

상기 전달제어부는,

상기 제1 펄스의 활성화구간과 상기 제2 펄스의 활성화구간을 합한 만큼의 활성화 구간을 갖는 프리 커맨드 마스크 신호를 생성하는 프리 커맨드 마스크 신호 생성부;

상기 프리 커맨드 마스크 신호의 활성화구간을 상기 설정된 시간에 대응하는 구간만큼 더 확장한 뒤, 커맨드 마스크 신호로서 출력하는 활성화구간 확장부; 및

상기 커맨드 마스크 신호의 활성화구간 동안 상기 다수의 라이트 커맨드는 상기 내부회로로 전송하지만, 상기 다수의 라이트 커맨드를 제외한 임의의 커맨드는 상기 내부회로로 전송하지 않는 커맨드 전달부를 구비하는 반도체 메모리 장치.

청구항 8

◆청구항 8은(는) 설정등록료 납부시 포기되었습니다.◆

제7항에 있어서,

상기 제1 시간과 상기 제2 시간 및 상기 설정된 시간을 합한 시간은 라이트 회복시간인 것을 특징으로 하는 반도체 메모리 장치.

청구항 9

◆청구항 9은(는) 설정등록료 납부시 포기되었습니다.◆

제8항에 있어서,

상기 제1 시간과 상기 제2 시간 및 상기 설정된 시간은 각각 동작클록에 동기화되어 그 크기가 결정되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 10

◆청구항 10은(는) 설정등록료 납부시 포기되었습니다.◆

제9항에 있어서,

상기 제1 시간과 상기 제2 시간 및 상기 설정된 시간은 동작클록의 주기와 상관없이 각각 설정된 크기를 갖는 것을 특징으로 하는 반도체 메모리 장치.

청구항 11

◆청구항 11은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 제1 펄스 생성부는,

제1 입력준비신호가 활성화 상태를 유지하는 구간에서 상기 제1 펄스가 비활성화 상태일 때 입력되는 상기 다수의 라이트 커맨드 중 가장 첫 번째 커맨드에 응답하여 상기 제1 펄스를 활성화시키고, 제1 동작초기화 신호가 활성화되는 것에 응답하여 상기 제1 펄스를 비활성화시키는 제1 펄스 활성화 제어부;

상기 제1 펄스가 활성화되는 시점으로부터 상기 제2 시간이 흐른 시점에서 제2 입력준비신호를 활성화시키고, 상기 제1 동작초기화 신호가 비활성화되는 것에 응답하여 상기 제2 입력준비신호를 비활성화시키는 제2 입력준비신호 활성화 제어부; 및

상기 제2 입력준비신호가 활성화되는 시점으로부터 제3 시간 - 상기 제1 시간에서 상기 제2 시간을 뺀 시간임 - 이 흐른 시점에서 상기 제1 동작초기화 신호를 활성화시키고, 상기 제1 펄스가 활성화되는 것에 응답하여 상기 제1 동작초기화 신호를 비활성화시키는 제1 동작초기화 신호 활성화 제어부를 구비하는 반도체 메모리 장치.

청구항 12

◆청구항 12은(는) 설정등록료 납부시 포기되었습니다.◆

제11항에 있어서,

상기 제2 펄스 생성부는,

상기 다수의 라이트 커맨드를 제4 시간 - 상기 제2시간보다 짧음 - 만큼 지연시켜 다수의 라이트 지연 커맨드로서 출력하는 커맨드 지연부;

상기 제2 입력준비신호가 활성화 상태를 유지하는 구간에서 상기 제2 펄스가 비활성화 상태일 때 입력되는 다수의 라이트 지연 커맨드 중 가장 첫 번째 커맨드에 응답하여 상기 제2 펄스를 활성화시키고, 제2 동작초기화 신호가 활성화되는 것에 응답하여 상기 제2 펄스를 비활성화시키는 제2 펄스 활성화 제어부;

상기 제2 펄스가 활성화되는 시점으로부터 상기 제2 시간이 흐른 시점에서 상기 제1 입력준비신호를 활성화시키고, 상기 제2 동작초기화 신호가 비활성화되는 것에 응답하여 상기 제1 입력준비신호를 비활성화시키는 제1 입력준비신호 활성화 제어부; 및

상기 제1 입력준비신호가 활성화되는 시점으로부터 상기 제3 시간이 흐른 시점에서 상기 제2 동작초기화 신호를 활성화시키고, 상기 제2 펄스가 활성화되는 것에 응답하여 상기 제2 동작초기화 신호를 비활성화시키는 제2 동작초기화 신호 활성화 제어부를 구비하는 반도체 메모리 장치.

청구항 13

◆청구항 13은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 임의의 커맨드는 프리차지 커맨드인 것을 특징으로 하는 반도체 메모리 장치.

청구항 14

라이트 커맨드를 연속으로 입력받는 단계;

제1 입력준비신호가 활성화되고 제1 펄스가 비활성화되는 구간에서 상기 라이트 커맨드가 입력되는 것에 응답하여 상기 제1 펄스를 활성화시키고 제2 입력준비신호를 비활성화시키는 제1 입력단계;

상기 제1 펄스가 활성화된 시점으로부터 설정된 A 시간이 흐른 시점에서 상기 제2 입력준비신호를 활성화시키고, 이어서 설정된 B 시간 - 상기 A 시간보다 김 - 이 더 흐른 시점에서 상기 제1 펄스를 비활성화시키는 제1 확장단계;

상기 제2 입력준비신호가 활성화되고 제2 펄스가 비활성화되는 구간에서 상기 라이트 커맨드가 입력되는 것에 응답하여 상기 제2 펄스를 활성화시키고 상기 제1 입력준비신호를 비활성화시키는 제2 입력단계;

상기 제2 펄스가 활성화된 시점으로부터 상기 A 시간이 흐른 시점에서 상기 제1 입력준비신호를 활성화시키고, 이어서 상기 B 시간이 더 흐른 시점에서 상기 제2 펄스를 비활성화시키는 제2 확장단계; 및

상기 제1 펄스와 활성화구간과 상기 제2 펄스의 활성화구간을 합한 구간내에서 상기 라이트 커맨드를 제외한 임의의 커맨드가 내부회로로 전달되는 것을 방지하는 전달제어단계

를 포함하는 반도체 메모리 장치의 동작방법.

청구항 15

◆청구항 15은(는) 설정등록료 납부시 포기되었습니다.◆

제14항에 있어서,

상기 제1 입력단계는,

상기 제1 입력준비신호가 활성화되고 상기 제1 펄스가 비활성화되는 구간에서 가장 첫 번째로 입력되는 상기 라이트 커맨드에 응답하여 상기 제1 펄스를 활성화시키는 단계;

상기 제1 펄스가 활성화되는 것에 응답하여 제1 동작초기화 신호를 비활성화시키는 단계; 및

상기 제1 동작초기화 신호가 비활성화되는 것에 응답하여 상기 제2 입력준비신호를 비활성화시키는 단계를 포함하는 반도체 메모리 장치의 동작방법.

청구항 16

◆청구항 16은(는) 설정등록료 납부시 포기되었습니다.◆

제15항에 있어서,

상기 제1 확장단계는,

상기 제1 펄스가 활성화된 시점으로부터 상기 A 시간이 흐른 시점에서 상기 제2 입력준비신호를 활성화시키는 단계;

상기 제1 펄스가 활성화된 시점으로부터 상기 A 시간과 상기 B 시간을 합한 시간만큼이 흐른 시점에서 상기 제1 동작초기화 신호를 활성화시키는 단계; 및

상기 제1 동작초기화 신호가 활성화되는 것에 응답하여 상기 제1 펄스를 비활성화시키는 단계를 포함하는 반도체 메모리 장치의 동작방법.

청구항 17

◆청구항 17은(는) 설정등록료 납부시 포기되었습니다.◆

제16항에 있어서,

상기 제2 입력단계는,

상기 제2 입력준비신호가 활성화되고 상기 제2 펄스가 비활성화되는 구간에서 가장 첫 번째로 입력되는 상기 라이트 커맨드에 응답하여 상기 제2 펄스를 활성화시키는 단계;

상기 제2 펄스가 활성화되는 것에 응답하여 제2 동작초기화 신호를 비활성화시키는 단계; 및

상기 제2 동작초기화 신호가 비활성화되는 것에 응답하여 상기 제1 입력준비신호를 비활성화시키는 단계를 포함하는 반도체 메모리 장치의 동작방법.

청구항 18

◆청구항 18은(는) 설정등록료 납부시 포기되었습니다.◆

제17항에 있어서,

상기 제2 확장단계는,

상기 제2 펄스가 활성화된 시점으로부터 상기 A 시간이 흐른 시점에서 상기 제1 입력준비신호를 활성화시키는 단계;

상기 제2 펄스가 활성화된 시점으로부터 상기 A 시간과 상기 B 시간을 합한 시간만큼이 흐른 시점에서 상기 제2 동작초기화 신호를 활성화시키는 단계; 및

상기 제2 동작초기화 신호가 활성화되는 것에 응답하여 상기 제2 펄스를 비활성화시키는 단계를 포함하는 반도체 메모리 장치의 동작방법.

청구항 19

◆청구항 19은(는) 설정등록료 납부시 포기되었습니다.◆

제14항에 있어서,

상기 전달제어단계는,

상기 제1 펄스의 활성화구간과 상기 제2 펄스의 활성화구간을 합한 만큼의 활성화 구간을 갖는 커맨드 마스크 신호를 생성하는 단계; 및

상기 커맨드 마스크 신호의 활성화구간 동안 상기 라이트 커맨드는 상기 내부회로로 전송하지만, 상기 라이트 커맨드를 제외한 임의의 커맨드는 상기 내부회로로 전송하지 않는 단계를 포함하는 반도체 메모리 장치의 동작방법.

청구항 20

◆청구항 20은(는) 설정등록료 납부시 포기되었습니다.◆

제14항에 있어서,

상기 전달제어단계는,

상기 제1 펄스와 상기 제2 펄스의 활성화구간을 합한 구간과 함께 이어지는 설정된 시간만큼의 구간 내에서 상기 라이트 커맨드를 제외한 임의의 커맨드가 상기 내부회로로 전달되는 것을 방지하는 동작을 더 포함하는 것을 특징으로 하는 반도체 메모리 장치의 동작방법.

청구항 21

◆청구항 21은(는) 설정등록료 납부시 포기되었습니다.◆

제20항에 있어서,

상기 전달제어단계는,

상기 제1 펄스의 활성화구간과 상기 제2 펄스의 활성화구간을 합한 만큼의 활성화 구간을 갖는 프리 커맨드 마스크 신호를 생성하는 단계;

상기 프리 커맨드 마스크 신호의 활성화구간을 상기 설정된 시간에 대응하는 구간만큼 더 확장한 뒤, 커맨드 마스크 신호로서 출력하는 단계; 및

상기 커맨드 마스크 신호의 활성화구간 동안 상기 라이트 커맨드는 상기 내부회로로 전송하지만, 상기 라이트 커맨드를 제외한 임의의 커맨드는 상기 내부회로로 전송하지 않는 단계를 포함하는 반도체 메모리 장치의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 설계 기술에 관한 것으로서, 구체적으로 라이트 회복시간을 보장해줄 수 있는 반도체 메모리 장치에 관한 것이다.

배경 기술

[0002] 메모리 장치가 점점 고속으로 동작하도록 요구되고 있는데, 메모리 장치의 동작성능을 나타내는 스펙중에서 '라이트 회복시간'이라는 항목이 있다.

[0003] 라이트 회복시간(Write Recovery Time, t_{WR}) 은 라이트 동작이 수행되어 메모리 장치의 단위 셀에 데이터를 저장하는 시점부터 프리차지 동작이 수행되어도 저장된 데이터에 아무런 영향을 미치지 않는 시점까지의 시간까지를 말하는 것이다. 즉, 라이트 커맨드가 발생하고 나서 메모리 장치의 단위 셀에 데이터를 정상적으로 저장하기 위해 필요한 최소한의 시간을 라이트 회복시간(t_{WR})이라 부른다.

[0004] 종래 기술에 따른 반도체 메모리 장치에서는 라이트 회복시간(t_{WR})을 충분히 확보하기 위해 주로 프리차지 커맨드가 입력되는 시점을 조절해주는 방식을 사용하였다. 즉, 라이트 회복시간(t_{WR})은 결국 라이트 커맨드가 입력되는 시점부터 프리차지 커맨드가 입력되는 시점까지를 의미하기 때문에 프리차지 커맨드가 활성화되는 시점을 적절히 조절해 주면 라이트 회복시간(t_{WR})을 충분히 확보하는 것이 가능했다.

[0005] 한편, 반도체 메모리 장치가 점점 더 고속으로 동작하면서 반도체 메모리 장치 내부에서 전송되는 신호들이 PVT(Process, Voltage, Temperature)에 따라 노이즈(noise)에 영향을 크게 받아 정상적인 값으로 인식되지 못하고 잘못된 값으로 인식되는 문제가 발생할 확률이 비약적으로 증가하게 되었다.

[0006] 예컨대, 반도체 메모리 장치 컨트롤러에서는 반도체 메모리 장치에 포함된 다수의 बैं크 중 첫 번째 बैं크는 라이트 동작을 시키고 두 번째 बैं크는 프리차지 동작을 시키기 위해 그에 대응하는 첫 번째 बैं크용 라이트 커맨드와 두 번째 बैं크용 프리차지 커맨드를 연달아 전송하였지만, 반도체 메모리 장치로 전송되는 과정에서 노이즈(noise)의 영향으로 인해 두 번째 프리차지 커맨드가 첫 번째 프리차지 커맨드로 바뀐 상태가 되어 첫 번째 बैं크용 라이트 커맨드와 첫 번째 बैं크용 프리차지 커맨드가 연달아 반도체 메모리 장치에 도착하는 형태가 될 수 있다.

[0007] 이와 같은 경우에, 반도체 메모리 장치의 첫 번째 बैं크는 라이트 커맨드에 이어서 곧바로 프리차지 커맨드를 입력받는 형태가 되므로 라이트 커맨드에 대응하는 라이트 회복시간(t_{WR})을 충분히 보장하지 못한 상태에서 프리차지 커맨드가 입력되어 정상적인 라이트 동작을 수행하지 못하는 문제가 발생한다.

[0008] 즉, 먼저 도착하는 라이트 커맨드는 정상적인 커맨드임에도 불구하고 나중에 도착한 잘못된 커맨드로 인해 정상적인 라이트 동작이 이루어지지 못하는 문제가 발생한다.

[0009] 이때, 나중에 도착하는 잘못된 커맨드가 실은 프리차지 커맨드이고, 반도체 메모리 장치의 입장에서 봤을 때는 잘못된 커맨드인지 알 수 있는 방법이 없기 때문에 종래기술에서와 같이 프리차지 커맨드가 인가되는 시점을 조

절하는 방식으로는 라이트 회복시간(tWR)을 충분히 확보하는 것이 불가능하다.

발명의 내용

해결하려는 과제

[0010] 본 발명은 전술한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 노이즈(noise)로 인해 정상적인 라이트 커맨드에 이어서 잘못된 프리차지 커맨드가 인가되는 경우에도 안정적으로 라이트 회복시간(tWR)을 확보할 수 있는 반도체 메모리 장치를 제공하는데 그 목적이 있다.

과제의 해결 수단

[0011] 상기의 해결하고자 하는 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 연속으로 입력되는 다수의 라이트 커맨드에 응답하여 연속적인 라이트 동작을 수행하는 내부회로; 상기 다수의 라이트 커맨드 중 제1 펄스의 비활성화구간에서 입력되는 라이트 커맨드에 응답하여 제1 시간만큼 활성화되는 상기 제1 펄스를 생성하는 제1 펄스 생성부; 상기 제1 펄스의 활성화시점보다 제2 시간 - 상기 제1 시간보다 짧음 - 만큼 늦은 시점 이후 상기 다수의 라이트 커맨드 중 제2 펄스의 비활성화구간에서 입력되는 라이트 커맨드에 응답하여 상기 제1 시간만큼 활성화되는 상기 제2 펄스를 생성하는 제2 펄스 생성부; 및 상기 제1 펄스와 상기 제2 펄스의 활성화구간을 합한 구간 내에서 상기 라이트 커맨드를 제외한 임의의 커맨드가 상기 내부회로로 전달되는 것을 방지하는 전달제어부를 구비하는 반도체 메모리 장치를 제공한다.

[0012] 상기의 해결하고자 하는 과제를 달성하기 위한 본 발명의 다른 측면에 따르면, 라이트 커맨드를 연속으로 입력 받는 단계; 제1 입력준비신호가 활성화되고 제1 펄스가 비활성화되는 구간에서 상기 라이트 커맨드가 입력되는 것에 응답하여 상기 제1 펄스를 활성화시키고 제2 입력준비신호를 비활성화시키는 제1 입력단계; 상기 제1 펄스가 활성화된 시점으로부터 설정된 A 시간이 흐른 시점에서 상기 제2 입력준비신호를 활성화시키고, 이어서 설정된 B 시간 - 상기 A 시간보다 김 - 이 더 흐른 시점에서 상기 제1 펄스를 비활성화시키는 제1 확장단계; 상기 제2 입력준비신호가 활성화되고 상기 제2 펄스가 비활성화되는 구간에서 상기 라이트 커맨드가 입력되는 것에 응답하여 상기 제2 펄스를 활성화시키고 상기 제1 입력준비신호를 비활성화시키는 제2 입력단계; 상기 제2 펄스가 활성화된 시점으로부터 상기 A 시간이 흐른 시점에서 상기 제1 입력준비신호를 활성화시키고, 이어서 상기 B 시간이 더 흐른 시점에서 상기 제2 펄스를 비활성화시키는 제2 확장단계; 및 상기 제1 펄스와 활성화구간과 상기 제2 펄스의 활성화구간이 겹치는 구간에서 상기 라이트 커맨드를 제외한 임의의 커맨드가 내부회로로 전달되는 것을 방지하는 전달제어단계를 포함하는 반도체 메모리 장치의 동작방법을 제공한다.

발명의 효과

[0013] 전술한 본 발명은 연속으로 라이트 커맨드가 입력되는 시점부터 설정된 구간에서는 추가적인 라이트 커맨드를 제외한 임의의 커맨드가 입력되는 것을 마스킹해 줌으로써 라이트 동작이 비정상적으로 종료되는 것을 방지하는 효과가 있다. 즉, 라이트 회복시간(tWR)을 충분히 확보해주는 효과가 있다.

도면의 간단한 설명

- [0014] 도 1은 본 발명의 실시예에 따른 반도체 메모리 장치를 도시한 블록 다이어그램.
- 도 2는 도 1에 도시된 본 발명의 실시예에 따른 반도체 메모리 장치의 구성요소 중 제1 펄스 생성부를 상세히 도시한 회로도.
- 도 3은 도 1에 도시된 본 발명의 실시예에 따른 반도체 메모리 장치의 구성요소 중 제2 펄스 생성부를 상세히 도시한 회로도.
- 도 4는 도 1에 도시된 본 발명의 실시예에 따른 반도체 메모리 장치의 구성요소 중 전달제어부에 포함된 커맨드 마스크 신호 생성부를 상세히 도시한 회로도.
- 도 5는 도 1에 도시된 본 발명의 실시예에 따른 반도체 메모리 장치의 동작을 설명하기 위해 도시한 타이밍 다

이어그램.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구성될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록하며 통상의 지식을 가진자에게 본 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- [0016] 도 1은 본 발명의 실시예에 따른 반도체 메모리 장치를 도시한 블록 다이어그램.
- [0017] 도 1을 참조하면, 본 발명의 실시예에 따른 반도체 메모리 장치는, 연속으로 입력되는 다수의 라이트 커맨드(WT_CMD)에 응답하여 연속적인 라이트 동작을 수행하는 내부회로(100)와, 다수의 라이트 커맨드(WT_CMD) 중 제1 펄스(TWR_MSK_PRE1)의 비활성화구간에서 입력되는 라이트 커맨드(WT_CMD)에 응답하여 제1 시간(DELAY1)만큼 활성화되는 제1 펄스(TWR_MSK_PRE1)를 생성하는 제1 펄스 생성부(120)와, 제1 펄스(TWR_MSK_PRE1)의 활성화시점보다 제2 시간(DELAY2) - 제1 시간(DELAY1)보다 짧은 - 만큼 늦은 시점 이후 다수의 라이트 커맨드(WT_CMD) 중 제2 펄스(TWR_MSK_PRE2)의 비활성화구간에서 입력되는 라이트 커맨드(WT_CMD)에 응답하여 제1 시간(DELAY1)만큼 활성화되는 제2 펄스(TWR_MSK_PRE2)를 생성하는 제2 펄스 생성부(140), 및 제1 펄스(TWR_MSK_PRE1)와 제2 펄스(TWR_MSK_PRE2)의 활성화구간을 합한 구간내에서 라이트 커맨드(WT_CMD)를 제외한 임의의 커맨드(ANY_CMD)가 내부회로(100)로 전달되는 것을 방지하는 전달제어부(160)를 구비한다.
- [0018] 여기서, 전달제어부(160)는, 제1 펄스(TWR_MSK_PRE1)의 활성화구간과 제2 펄스(TWR_MSK_PRE2)의 활성화구간을 합한 구간에 대응하는 활성화 구간을 갖는 커맨드 마스크 신호(TWR_MASK)를 생성하는 커맨드 마스크 신호 생성부(162), 및 커맨드 마스크 신호(TWR_MASK)의 활성화구간 동안 다수의 라이트 커맨드(WT_CMD)는 내부회로(100)로 전송하지만, 다수의 라이트 커맨드(WT_CMD)를 제외한 임의의 커맨드(ANY_CMD)는 내부회로(100)로 전송하지 않는 커맨드 전달부(164)를 구비한다.
- [0019] 전술한 전달제어부(160)의 구성에서 제1 시간(DELAY1)은 다수의 라이트 커맨드(WT_CMD) 각각에 대해 라이트 회복시간(tWR)을 보장하기 위해 미리 측정된 시간이다. 즉, 다수의 라이트 커맨드(WT_CMD) 각각에 대해 라이트 동작이 수행될 때, 셀에 데이터가 쓰이는데 필요한 시간은 설계자가 미리 알 수 있으며, 이를 복제 모델링하여 생성한 시간이 제1 시간(DELAY1)이 된다. 또한, 제1 시간(DELAY1)은 설계자의 선택에 의해 반도체 메모리 장치의 동작클록에 동기화되어 결정될 수도 있지만, 동작클록의 주파수와 상관없이 미리 설정된 크기를 갖는 형태로 결정될 수도 있다. 그리고, 제2 시간(DELAY2)은 제1 시간(DELAY1)보다 짧은 시간으로서, 연속으로 입력되는 다수의 라이트 커맨드(WT_CMD)에 제1 펄스(TWR_MSK_PRE1)와 제2 펄스(TWR_MSK_PRE2)가 반복적으로 대응하여 그 활성화구간을 결정할 수 있도록 하기 위한 시간이다. 또한, 제2 시간(DELAY2)도 설계자의 선택에 의해 반도체 메모리 장치의 동작클록에 동기화되어 결정될 수도 있지만, 동작클록의 주파수와 상관없이 미리 설정된 크기를 갖는 형태로 결정될 수도 있다.
- [0020] 전술한 전달제어부(160)의 구성은 제1 펄스(TWR_MSK_PRE1)와 제2 펄스(TWR_MSK_PRE2)의 활성화구간을 합한 구간뿐만 아니라 제1 펄스(TWR_MSK_PRE1)와 제2 펄스(TWR_MSK_PRE2)의 활성화구간을 합한 구간과 함께 이어지는 설정된 시간(DELAY5)만큼의 구간 내에서 다수의 라이트 커맨드(WT_CMD)를 제외한 임의의 커맨드가 내부회로(100)로 전달되는 것을 방지하는 구성으로 확장될 수도 있다.
- [0021] 이와 같이 구성이 확장된 구성의 전달제어부(160)의 구성은 도 1과 도 4를 함께 참조하면, 제1 펄스(TWR_MSK_PRE1)의 활성화구간과 제2 펄스(TWR_MSK_PRE2)의 활성화구간을 합한 구간에 대응하는 활성화 구간을 갖는 프리 커맨드 마스크 신호(TWR_MASK_COM)를 생성하는 프리 커맨드 마스크 신호 생성부(1622)와, 프리 커맨드 마스크 신호(TWR_MASK_COM)의 활성화구간을 설정된 시간(DELAY5)에 대응하는 구간만큼 더 확장한 뒤, 커맨드 마스크 신호(TWR_MASK)로서 출력하는 활성화구간 확장부(1624), 및 커맨드 마스크 신호(TWR_MASK)의 활성화구간 동안 다수의 라이트 커맨드(WT_CMD)는 내부회로(100)로 전송하지만, 다수의 라이트 커맨드(WT_CMD)를 제외한 임의의 커맨드(ANY_CMD)는 내부회로(100)로 전송하지 않는 커맨드 전달부(164)를 구비한다.
- [0022] 전술한 확장된 구성의 전달제어부(160)의 구성에서 제1 시간(DELAY1)과 설정된 시간(DELAY5)을 합한 시간은 다수의 라이트 커맨드(WT_CMD) 각각에 대해 라이트 회복시간(tWR)을 보장하기 위해 미리 측정된 시간이다. 즉, 다수의 라이트 커맨드(WT_CMD) 각각에 대해 라이트 동작이 수행될 때, 셀에 데이터가 쓰이는데 필요한 시간은 설

계자가 미리 알 수 있으며, 이를 복제 모델링하여 생성한 시간이 제1 시간(DELAY1)과 설정된 시간(DELAY5)을 합한 시간이 된다. 또한, 제1 시간(DELAY1)과 설정된 시간(DELAY5)은 설계자의 선택에 의해 반도체 메모리 장치의 동작클록에 동기화되어 결정될 수도 있지만, 동작클록의 주파수와 상관없이 미리 설정된 크기를 갖는 형태로 결정될 수도 있다. 그리고, 제2 시간(DELAY2)은 제1 시간(DELAY1)보다 짧은 시간으로서, 연속으로 입력되는 다수의 라이트 커맨드(WT_CMD)에 제1 펄스(TWR_MSK_PRE1)와 제2 펄스(TWR_MSK_PRE2)가 반복적으로 대응하여 그 활성화구간을 결정할 수 있도록 하기 위한 시간이다. 또한, 제2 시간(DELAY2)도 설계자의 선택에 의해 반도체 메모리 장치의 동작클록에 동기화되어 결정될 수도 있지만, 동작클록의 주파수와 상관없이 미리 설정된 크기를 갖는 형태로 결정될 수도 있다.

[0023] 전술한 전달제어부(160)의 구성과 확장된 구성의 전달제어부(160)의 구성은 사실 거의 유사하다. 다만, 전달제어부(160)에서의 제1 시간(DELAY1)보다 확장된 구성의 전달제어부(160)에서의 제1 시간(DELAY1)이 절대적인 기준에서는 좀 더 짧은 시간이 될 수 있다. 이로 인해, 제1 펄스 생성부(120)와 제2 펄스 생성부(140) 내부에 각각 포함된 지연회로(DELAY2, DELAY3)의 사이즈가 전달제어부(160)에서보다 확장된 구성의 전달제어부(160)에서 더 작게 설계될 수 있다. 즉, 확장된 구성의 전달제어부(160)에서 설정된 시간(DELAY5)만큼 커맨드 마스크 신호(TWR_MASK)의 활성화구간을 확장하는 것은 결국 제1 펄스(TWR_MSK_PRE1)와 제2 펄스(TWR_MSK_PRE2) 각각의 활성화구간을 설정된 시간(DELAY5)만큼 확장시키는 것과 동일한 동작이 될 수 있기 때문에 확장된 구성을 갖는 전달제어부(160)의 구성이 전달제어부(160)의 구성에 비해 사이즈 적인 측면에서 더 유리할 수 있다.

[0024] 그리고, 전술한 임의의 커맨드(ANY_CMD)는 프리차지 커맨드(Precharge Command)가 될 수 있다. 즉, 종래기술의 문제점에서 설명한 바와 같이 다수의 라이트 커맨드(WT_CMD)에 이어서 프리차지 커맨드가 잘못된 타이밍에 입력되어 버릴 때 반도체 메모리 장치는 정상적인 라이트 동작을 수행할 수 없다. 따라서, 충분한 라이트 회복시간(tWR)을 보장해주기 위해 본 발명에서는 다수의 라이트 커맨드(WT_CMD)가 입력된 이후 특정한 시간 구간 내에 입력되는 프리차지 커맨드는 무시해버리는 방식을 사용한다. 물론, 임의의 커맨드(ANY_CMD)가 프리차지 커맨드로 한정되는 것은 가장 오류가 많이 발생할 수 있는 상황을 예시한 것뿐이며, 본 발명에는 다수의 라이트 커맨드(WT_CMD)가 입력된 이후 특정한 시간 구간 내에 프리차지 커맨드 이외에 다른 커맨드들이 입력되는 경우에도 모두 무시해 버림으로써 비정상적인 라이트 동작이 발생하는 것을 방지할 수 있다.

[0025] 그리고, 도 1에 도시된 본 발명의 실시예에 따른 반도체 메모리 장치에는, 라이트 인에이블 신호(WE)와 컬럼 어드레스 스토로브 신호(CAS)와 로우 어드레스 스토로브 신호(RAS)와 칩 선택 신호(CS)에 디코딩하여 라이트 커맨드(WT_CMD)를 포함하는 임의의 커맨드(ANY_CMD)를 생성한 뒤 내부회로(100)에 전달하는 커맨드 디코더(180)가 더 포함된다.

[0026] 이때, 전달제어부(160)의 구성요소 중 커맨드 전달부(164)는, 라이트 인에이블 신호(WE)와 컬럼 어드레스 스토로브 신호(CAS)와 로우 어드레스 스토로브 신호(RAS)와 칩 선택 신호(CS)가 커맨드 디코더(180)로 입력되기 전에 먼저 입력받아 커맨드 마스크 신호(TWR_MASK)에 따라 선택적으로 커맨드 디코더(180)로 전송하는 동작을 수행한다. 즉, 커맨드 전달부(164)는 커맨드 마스크 신호(TWR_MASK)가 활성화되는 구간에서는 라이트 인에이블 신호(WE)와 컬럼 어드레스 스토로브 신호(CAS)와 로우 어드레스 스토로브 신호(RAS)와 칩 선택 신호(CS)의 값이 라이트 커맨드(WT_CMD)에 대응하는 값을 가질 때에만 커맨드 디코더(180)로 전송하고 다른 값을 가질 때에는 커맨드 디코더(180)로 전송하지 않음으로써 라이트 커맨드(WT_CMD)를 제외한 임의의 커맨드(ANY_CMD)가 생성되는 것을 방지한다. 하지만, 커맨드 전달부(164)는 커맨드 마스크 신호(TWR_MASK)가 비활성화되는 구간에서는 라이트 인에이블 신호(WE)와 컬럼 어드레스 스토로브 신호(CAS)와 로우 어드레스 스토로브 신호(RAS)와 칩 선택 신호(CS)를 그대로 바이패스(bypass)하여 커맨드 디코더(180)로 전송함으로써 반도체 메모리 장치의 동작에 아무런 영향도 끼치지 않게 된다.

[0027] 참고로, 도 1에 도시된 커맨드 전달부(164)의 위치는 어디까지나 하나의 실시예로서 제시된 구성이며, 설계자의 선택에 따라 커맨드 디코더(180)와 내부회로(100) 사이에 위치하는 구성이 되어 라이트 커맨드(WT_CMD)를 제외한 임의의 커맨드(ANY_CMD)가 전송되는 것을 제어하는 것도 얼마든지 가능하다.

[0028] 도 2는 도 1에 도시된 본 발명의 실시예에 따른 반도체 메모리 장치의 구성요소 중 제1 펄스 생성부를 상세히 도시한 회로도.

[0029] 도 2를 참조하면, 본 발명의 실시예에 따른 반도체 메모리 장치의 구성요소 중 제1 펄스 생성부(120)는, 제1 입력준비신호(TWR_PRE21)의 활성화구간에서 제1 펄스(TWR_MSK_PRE1)가 비활성화 상태일 때 입력되는 다수의 라이트

트 커맨드(WT_CMD) - 도면에서는 인에이블 신호(ENABLE)와 결합되어 다수의 라이트 커맨드 신호(WT_CMD1)가 되지만 다수의 라이트 커맨드(WT_CMD)와 다수의 라이트 커맨드 신호(WT_CMD1)는 실질적으로 같은 신호라고 볼 수 있음 - 중 가장 첫 번째 커맨드에 응답하여 제1 펄스(TWR_MSK_PRE1)를 활성화시키고, 제1 동작초기화 신호(TWR_PRE12)가 활성화되는 것에 응답하여 제1 펄스(TWR_MSK_PRE1)를 비활성화시키는 제1 펄스 활성화 제어부(122)와, 제1 펄스(TWR_MSK_PRE1)가 활성화되는 시점으로부터 제2 시간(DELAY2)이 흐른 시점에서 제2 입력준비 신호(TWR_PRE11)를 활성화시키고, 제1 동작초기화 신호(TWR_PRE12)가 비활성화되는 것에 응답하여 제2 입력준비 신호(TWR_PRE11)를 비활성화시키는 제2 입력준비신호 활성화 제어부(124), 및 제2 입력준비신호(TWR_PRE11)가 활성화되는 시점으로부터 제3 시간(DELAY3) - 제1 시간(DELAY1)에서 제2 시간(DELAY2)을 뺀 시간임 - 이 흐른 시점에서 제1 동작초기화 신호(TWR_PRE12)를 활성화시키고, 제1 펄스(TWR_MSK_PRE1)가 활성화되는 것에 응답하여 제1 동작초기화 신호(TWR_PRE12)를 비활성화시키는 제1 동작초기화 신호 활성화 제어부(126)를 구비한다.

[0030] 여기서, 제1 펄스 활성화 제어부(122)는, 다수의 라이트 커맨드(WT_CMD)와 반전된 인에이블 신호(ENABLEb)를 입력받아 각각 부정 논리곱 연산을 수행하여 다수의 라이트 커맨드 신호(WT_CMD1)를 출력하는 낸드 게이트(ND2)와, 제1 입력준비신호(TWR_PRE21)와 다수의 라이트 커맨드 신호(WT_CMD1)를 입력받아 부정 논리합 연산을 하여 플리플롭 셋 신호(WT_SET1)를 출력하는 노아게이트(NR2)와, 다수의 라이트 커맨드 신호(WT_CMD1)와 반전된 제1 동작초기화 신호(TWR_PRE12b)를 입력받아 다수의 리셋 프리 신호(WT_RS_PRE1)를 출력하는 낸드게이트(ND1)와, 인에이블 신호(ENABLE)와 다수의 리셋 프리 신호(WT_RS_PRE1)를 입력받아 부정 논리합연산을 수행하여 다수의 플리플롭 리셋 신호(WT_RESET1)를 출력하는 노아 게이트(NR1), 및 다수의 플리플롭 셋 신호(WT_SET1)에 응답하여 제1 프리펄스(RSFF1)를 활성화시키고, 다수의 플리플롭 리셋 신호(WT_RESET1)에 응답하여 제1 프리펄스(RSFF1)를 비활성화시키는 RS 플리플롭(1222)을 구비한다.

[0031] 그리고, 제2 입력준비신호 활성화 제어부(124)는, 제1 프리펄스(RSFF1)를 입력받아 제2 시간(DELAY2)만큼 지연시켜 제1 D2지연프리펄스(D2_RSFF1)를 출력하는 딜레이(1242)와, 반전된 제1 D2지연프리펄스(D2_RSFF1b)와 제1 동작초기화 신호(TWR_PRE12)를 입력받아 논리합 연산하여 제2 입력준비신호(TWR_PRE11)를 출력하는 낸드게이트(ND3) 및 인버터(INV3)를 구비한다.

[0032] 또한, 제1 동작초기화 신호 활성화 제어부(126)는, 제1 D2지연프리펄스(D2_RSFF1)를 입력받아 제3 시간(DELAY3)만큼 지연시켜 제1 D3지연프리펄스(D3_RSFF1)를 출력하는 딜레이(1244)와, 반전된 제1 D3지연프리펄스(D3_RSFF1b)와 제1 프리펄스(RSFF1)를 입력받아 부정논리곱 연산을 수행하여 제1 펄스(TWR_MSK_PRE1)를 출력하는 낸드게이트(ND4)와, 제1 펄스(TWR_MSK_PRE1)를 반전하여 제1 동작초기화 신호(TWR_PRE12)로서 출력하는 인버터(INV4)를 구비한다.

[0033] 도 3은 도 1에 도시된 본 발명의 실시예에 따른 반도체 메모리 장치의 구성요소 중 제2 펄스 생성부를 상세히 도시한 회로도.

[0034] 도 3을 참조하면, 본 발명의 실시예에 따른 반도체 메모리 장치의 구성요소 중 제2 펄스 생성부(140)는, 다수의 라이트 커맨드(WT_CMD) - 도면에서는 인에이블 신호(ENABLE)와 다수의 라이트 커맨드(WT_CMD)가 결합되어 생성된 다수의 라이트 커맨드 신호(WT_CMD1)가 사용되지만 다수의 라이트 커맨드(WT_CMD)와 다수의 라이트 커맨드 신호(WT_CMD1)는 실질적으로 같은 신호라고 볼 수 있음 - 를 제4 시간(DELAY4) - 제2 시간(DELAY2)보다 짧음 - 만큼 지연시켜 다수의 라이트 지연 커맨드(DWT_CMD)로서 출력하는 커맨드 지연부(141)와, 제2 입력준비신호(TWR_PRE11)의 활성화구간에서 제2 펄스(TWR_MSK_PRE2)가 비활성화 상태일 때 입력되는 다수의 라이트 지연 커맨드(DWT_CMD) 중 가장 첫 번째 커맨드에 응답하여 제2 펄스(TWR_MSK_PRE2)를 활성화시키고, 제2 동작초기화 신호(TWR_PRE22)가 활성화되는 것에 응답하여 제2 펄스(TWR_MSK_PRE2)를 비활성화시키는 제2 펄스 활성화 제어부(142)와, 제2 펄스(TWR_MSK_PRE2)가 활성화되는 시점으로부터 제2 시간(DELAY2)이 흐른 시점에서 제1 입력준비 신호(TWR_PRE21)를 활성화시키고, 제2 동작초기화 신호(TWR_PRE22)가 비활성화되는 것에 응답하여 제1 입력준비 신호(TWR_PRE21)를 비활성화시키는 제1 입력준비신호 활성화 제어부(144)), 및 제1 입력준비신호(TWR_PRE21)가 활성화되는 시점으로부터 제3 시간(DELAY3)이 흐른 시점에서 제2 동작초기화 신호(TWR_PRE22)를 활성화시키고, 제2 펄스(TWR_MSK_PRE2)가 활성화되는 것에 응답하여 제2 동작초기화 신호(TWR_PRE22)를 비활성화시키는 제2 동작초기화 신호 활성화 제어부(146)를 구비한다.

[0035] 여기서, 제2 펄스 활성화 제어부(142)는, 다수의 라이트 지연 커맨드(DWT_CMD)와 제2 입력준비신호(TWR_PRE11)를 입력받아 부정 논리합 연산을 하여 플리플롭 셋 신호(WT_SET2)를 출력하는 노아게이트(NR4)와, 다수의 라이트 지연 커맨드(DWT_CMD)와 반전된 제2 동작초기화 신호(TWR_PRE22b)를 입력받아 다수의 리셋 프리 신호

(WT_RS_PRE2)를 출력하는 낸드게이트(ND5)와, 인에이블 신호(ENABLE)와 다수의 리셋 프리 신호(WT_RS_PRE2)를 입력받아 부정 논리합연산을 수행하여 다수의 폴리플롭 리셋 신호(WT_RESET2)를 출력하는 노아 게이트(NR3), 및 다수의 폴리플롭 셋 신호(WT_SET2)에 응답하여 제2 프리펄스(RSFF2)를 활성화시키고, 다수의 폴리플롭 리셋 신호(WT_RESET2)에 응답하여 제2 프리펄스(RSFF2)를 비활성화시키는 RS 폴리플롭(1422)을 구비한다.

[0036] 그리고, 제2 입력준비신호 활성화 제어부(144)는, 제2 프리펄스(RSFF2)를 입력받아 제2 시간(DELAY2)만큼 지연시켜 제2 D2지연프리펄스(D2_RSFF2)를 출력하는 딜레이(1442)와, 반전된 제2 D2지연프리펄스(D2_RSFF2b)와 제2 동작초기화 신호(TWR_PRE22)를 입력받아 논리합 연산하여 제1 입력준비신호(TWR_PRE21)를 출력하는 낸드게이트(ND6) 및 인버터(INV8)를 구비한다.

[0037] 또한, 제2 동작초기화 신호 활성화 제어부(146)는, 제2 D2지연프리펄스(D2_RSFF2)를 입력받아 제3 시간(DELAY3)만큼 지연시켜 제2 D3지연프리펄스(D3_RSFF2)를 출력하는 딜레이(1244)와, 반전된 제2 D3지연프리펄스(D3_RSFF2)와 제2 프리펄스(RSFF2)를 입력받아 부정논리곱 연산을 수행하여 제2 펄스(TWR_MSK_PRE2)를 출력하는 낸드게이트(ND7)와, 제2 펄스(TWR_MSK_PRE2)를 반전하여 제2 동작초기화 신호(TWR_PRE22)로서 출력하는 인버터(INV9)를 구비한다.

[0038] 도 4는 도 1에 도시된 본 발명의 실시예에 따른 반도체 메모리 장치의 구성요소 중 전달제어부에 포함된 커맨드 마스크 신호 생성부를 상세히 도시한 회로도.

[0039] 도 4를 참조하면, 본 발명의 실시예에 따른 반도체 메모리 장치의 구성요소 중 전달제어부(160)에 포함된 커맨드 마스크 신호 생성부(162)는, 제1 펄스(TWR_MSK_PRE1)의 활성화구간과 제2 펄스(TWR_MSK_PRE2)의 활성화구간을 합한 구간에 대응하는 활성화 구간을 갖는 프리 커맨드 마스크 신호(TWR_MASK_COM)를 생성하는 프리 커맨드 마스크 신호 생성부(1622)와, 프리 커맨드 마스크 신호(TWR_MASK_COM)의 활성화구간을 설정된 시간(DELAY5)에 대응하는 구간만큼 더 확장한 뒤, 커맨드 마스크 신호(TWR_MASK)로서 출력하는 활성화구간 확장부(1624)를 구비한다.

[0040] 여기서, 프리 커맨드 마스크 신호 생성부(1622)는, 제1 펄스(TWR_MSK_PRE1)와 제2 펄스(TWR_MSK_PRE2)를 입력받아 부정 논리곱 연산하여 프리 커맨드 마스크 신호(TWR_MASK_COM)를 출력하는 낸드게이트(ND8)를 구비한다.

[0041] 또한, 활성화구간 확장부(1624)는, 프리 커맨드 마스크 신호(TWR_MASK)를 설정된 시간(DELAY5)만큼 지연시켜 확장 제어신호(EXT_CON)로서 출력하는 딜레이(DELAY5)와 프리 커맨드 마스크 신호(TWR_MASK_COM)와 확장 제어신호(EXT_CON)를 입력받아 논리합 연산하여 커맨드 마스크 신호(TWR_MASK)를 출력하는 노아 게이트(NR5)와 인버터(INV11)를 구비한다.

[0042] 도 5는 도 1에 도시된 본 발명의 실시예에 따른 반도체 메모리 장치의 동작을 설명하기 위해 도시한 타이밍 다이어그램.

[0043] 도 5를 참조하면, 본 발명의 실시예에 따른 반도체 메모리 장치는, 다수의 라이트 커맨드(WT_CMD)가 연속으로 입력되면서 그 동작이 시작된다.

[0044] 다수의 라이트 커맨드(WT_CMD)가 입력되기 전의 초기화 상태에서 제1 입력준비신호(TWR_PRE21)가 로직'로우'(Low)로 활성화되어 있으므로, 다수의 라이트 커맨드(WT_CMD) 중 가장 첫 번째 라이트 커맨드에 응답하여 제1 프리펄스(RSFF1)가 로직'로우'(Low)에서 로직'하이'(High)로 활성화되고, 제1 프리펄스(RSFF1)가 로직'하이'(High)로 활성화되는 것에 응답하여 제1 동작초기화 신호(TWR_PRE12)는 로직'로우'(Low)에서 로직'하이'(High)로 비활성화 - 도면에는 반전된 제1 동작초기화 신호(TWR_PRE12b)가 도시되어 있기 때문에 로직'하이'(High)에서 로직'로우'(Low)로 비활성화되는 것으로 도시되어 있음 - 된다. 동시에, 제1 펄스(TWR_MSK_PRE1)는 로직'하이'(High)에서 로직'로우'(Low)로 활성화된 되고, 그에 응답하여 커맨드 마스크 신호(TWR_MASK)도 로직'로우'(Low)에서 로직'하이'(High)로 활성화된다.

[0045] 이때, 다수의 라이트 커맨드(WT_CMD)가 입력되기 전의 초기화 상태에서 제2 입력준비신호(TWR_PRE11)도 로직'로우'(Low)로 활성화되어 있음에도 불구하고 제2 펄스(TWR_MSK_PRE2)는 다수의 라이트 커맨드(WT_CMD)를 제4 시간(DELAY4)만큼 지연시킨 다수의 라이트 지연 커맨드(DWT_CMD)에 응답하여 그 활성화여부가 결정되므로 제1 펄스(TWR_MSK_PRE1)가 활성화될 때 같이 활성화되지 않는다.

- [0046] 또한, 제1 동작초기화 신호(TWR_PRE12)가 비활성화되는 것에 응답하여 제2 입력준비신호(TWR_PRE11)가 로직'로우'(Low)에서 로직'하이'(High)로 비활성화되기 때문에 다수의 라이트 지연 커맨드(DWT_CMD)가 입력되기 시작하는 시점에서도 제2 펄스(TWR_MSK_PRE2)는 계속 로직'하이'(High)로 비활성화된 상태를 유지한다.
- [0047] 이후, 제1 프리펄스(RSFF1)가 활성화된 시점 - 제1 펄스(TWR_MSK_PRE1)가 활성화된 시점임 - 으로부터 설정된 A 시간이 흐른 시점에서 제2 입력준비신호(TWR_PRE11)가 로직'하이'(High)에서 로직'로우'(Low)로 활성화되고, 제2 입력준비신호(TWR_PRE11)가 활성화된 직후 입력되는 다수의 라이트 지연 커맨드(DWT_CMD) 중 가장 먼저 입력되는 커맨드에 응답하여 제2 프리펄스(RSFF2)가 로직'로우'(Low)에서 로직'하이'(High)로 활성화된다. 이렇게, 제2 프리펄스(RSFF2)가 활성화되는 것에 응답하여 제2 동작초기화 신호(TWR_PRE22)가 로직'로우'(Low)에서 로직'하이'(High)로 비활성화 - 도면에는 반전된 제2 동작초기화 신호(TWR_PRE22b)가 도시되어 있기 때문에 로직'하이'(High)에서 로직'로우'(Low)로 비활성화되는 것으로 도시되어 있음 - 된다. 동시에, 제2 펄스(TWR_MSK_PRE2)는 로직'하이'(High)에서 로직'로우'(Low)로 활성화된 되고, 제2 펄스(TWR_MSK_PRE2)가 활성화되는 시점 이전에 커맨드 마스크 신호(TWR_MASK)는 제1 펄스(TWR_MSK_PRE1)가 활성화되는 것에 응답하여 로직'하이'(High)로 활성화된 상태이므로 제2 펄스(TWR_MSK_PRE2)가 활성화되는 시점에서는 그대로 로직'하이'(High)를 유지하는 상태가 된다.
- [0048] 또한, 제2 동작초기화 신호(TWR_PRE22)가 비활성화되는 것에 응답하여 제1 입력준비신호(TWR_PRE11)가 로직'로우'(Low)에서 로직'하이'(High)로 비활성화되고, 이 시점에서 제1 동작초기화 신호(TWR_PRE12)는 로직'하이'(High)로 비활성화된 상태를 그대로 유지하고 있기 때문에 제1 펄스(TWR_MSK_PRE1)는 계속 활성화된 상태를 유지한다.
- [0049] 이와 같은 상태에서 제2 프리펄스(RSFF2)가 활성화된 시점 - 제2 펄스(TWR_MSK_PRE2)가 활성화된 시점임 - 으로부터 설정된 A 시간이 흐른 시점에서 제1 입력준비신호(TWR_PRE21)가 로직'하이'(High)에서 로직'로우'(Low)로 활성화되지만, 이 시점에서도 제1 동작초기화 신호(TWR_PRE12)는 로직'하이'(High)로 비활성화된 상태를 그대로 유지하고 있기 때문에 제1 펄스(TWR_MSK_PRE1)는 계속 활성화된 상태를 유지한다.
- [0050] 이후, 제1 프리펄스(RSFF1)가 활성화된 시점 - 제1 펄스(TWR_MSK_PRE1)가 활성화된 시점임 - 으로부터 설정된 A 시간이 흐른 시점에서 추가로 설정된 B 시간이 더 흐른 시점 - 설정된 A시간보다 더 긴 시간이므로 제1 입력준비신호(TWR_PRE21)가 활성화된 시점보다 더 늦은 시점이 됨 - 에서 제1 동작초기화 신호(TWR_PRE12)를 로직'하이'(High)에서 로직'로우'(Low)로 활성화되고, 그에 응답하여 제1 프리펄스(RSFF1)가 로직'하이'(High)에서 로직'로우'(Low)로 비활성화된다. 동시에, 제1 펄스(TWR_MSK_PRE1)는 로직'로우'(Low)에서 로직'하이'(High)로 비활성화되지만, 제1 펄스(TWR_MSK_PRE1)가 비활성화되는 시점에서 제2 펄스(TWR_MSK_PRE2)가 활성화된 상태를 유지하고 있으므로, 커맨드 마스크 신호(TWR_MASK)는 그대로 로직'하이'(High)를 유지하는 상태가 된다.
- [0051] 이렇게, 제1 입력준비신호(TWR_PRE21)는 활성화되고 제1 펄스(TWR_MSK_PRE1)는 비활성화된 시점 이후에도 다수의 라이트 커맨드(WT_CMD)는 계속 입력되는 중이므로 그에 응답하여 제1 프리펄스(RSFF1)가 다시 로직'로우'(Low)에서 로직'하이'(High)로 다시 활성화된다. 이때, 제1 입력준비신호(TWR_PRE21)는 활성화되고 제1 펄스(TWR_MSK_PRE1)는 비활성화된 시점 직후 입력되는 라이트 커맨드(WT_CMD)에 응답하여 제1 프리펄스(RSFF1)가 순간적으로 로직'하이'(High)로 활성화되는데도 불구하고 제1 펄스(TWR_MSK_PRE1)는 계속 로직'하이'(High)로 비활성화 상태를 유지하는 이유는 제1 동작초기화 신호(TWR_PRE12)가 로직'로우'(Low)로 활성화되는 것에 응답하여 제1 펄스 생성부(120)가 초기화되는데 필요한 시간이 '0'가 아니기 때문이다. 즉, 제1 펄스 생성부(120)가 초기화되는 필요한 최소한의 시간 이전에 입력되는 라이트 커맨드(WT_CMD)는 제1 펄스(TWR_MSK_PRE1)를 활성화시키는데 사용되지 못하고, 제1 펄스 생성부(120)가 완전히 초기화된 직후 입력되는 라이트 커맨드(WT_CMD)에 응답하여 제1 펄스(TWR_MSK_PRE1)가 다시 활성화되게 된다.
- [0052] 이렇게, 제1 프리펄스(RSFF1)가 로직'로우'(Low)에서 로직'하이'(High)로 다시 활성화 - 제1 펄스(TWR_MSK_PRE1)가 활성화 - 되는 것에 응답하여 제2 입력준비신호(TWR_PRE11)를 로직'로우'(Low)에서 로직'하이'(High)로 비활성화시키고, 제2 입력준비신호(TWR_PRE11)가 설정된 A 시간동안 비활성화 상태를 유지한 후 다시 로직'로우'(Low)로 활성화되도록 제어한다.
- [0053] 이때, 제2 프리펄스(RSFF2) - 제2 펄스(TWR_MSK_PRE2) - 가 활성화된 이후 A 시간과 B시간을 합한 시간만큼이 흐른 이후 비활성화되어 제2 동작초기화 신호(TWR_PRE22)가 로직'하이'(High)에서 로직'로우'(Low)로 비활성화되는 시점이 제2 입력준비신호(TWR_PRE11)가 로직'하이'(High)에서 로직'로우'(Low)로 활성화되는 시점보다 앞서있으므로, 제2 프리펄스(RSFF2) - 제2 펄스(TWR_MSK_PRE2) - 가 다수의 라이트 지연 커맨드(DWT_CMD)에 응답

하여 다시 활성화되는 시점은 제2 입력준비신호(TWR_PRE11)가 활성화되는 시점 이후가 된다.

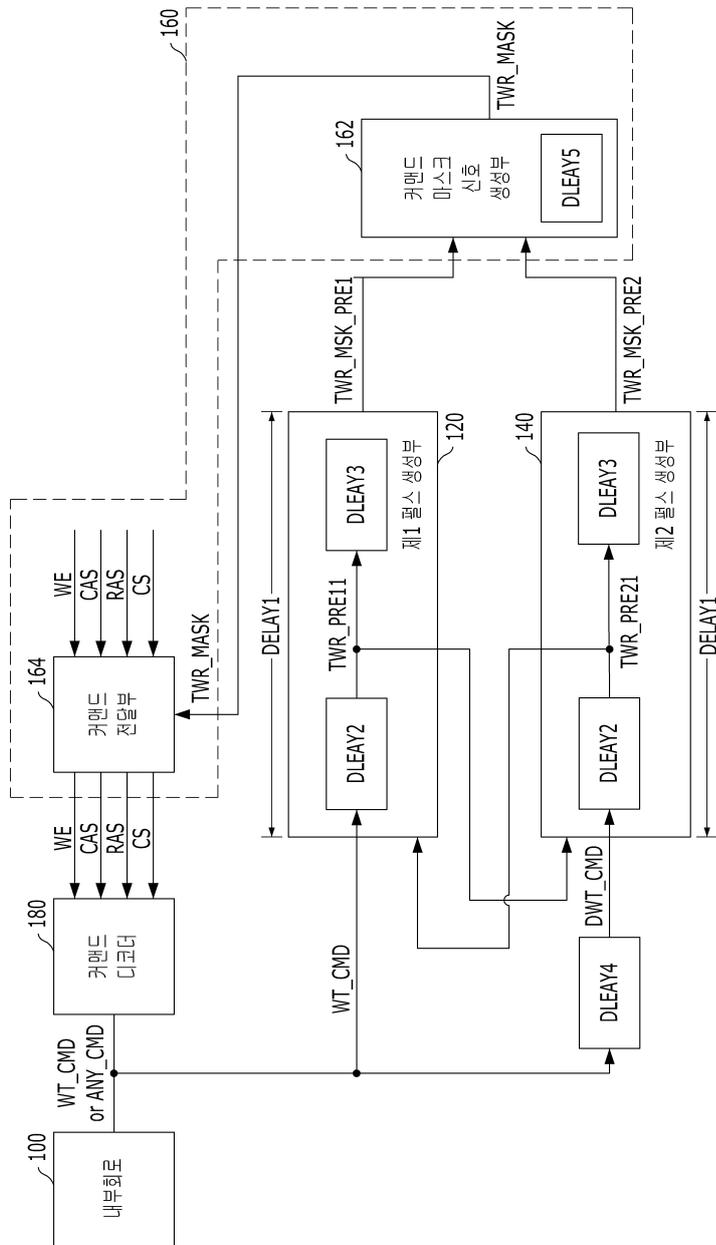
- [0054] 이렇게, 제2 프리펄스(RSFF2) - 제2 펄스(TWR_MSK_PRE2) - 가 활성화된 이후 A 시간과 B시간을 합한 시간만큼이 흐른 이후 비활성화되는 시점에서 제1 펄스(TWR_MSK_PRE1)가 활성화된 상태를 유지하고 있으므로, 커맨드 마스크 신호(TWR_MASK)는 그대로 로직'하이'(High)를 유지하는 상태가 된다.
- [0055] 전술한 바와 같이 제1 펄스(TWR_MSK_PRE1)와 제2 펄스(TWR_MSK_PRE2)는 연속으로 입력되는 라이트 커맨드(WT_CMD)에 응답하여 서로 겹치지 않는 일정 주기를 두고 번갈아 가면서 활성화됨으로써, 라이트 커맨드(WT_CMD)가 계속 입력되는 이상 제1 펄스(TWR_MSK_PRE1)와 제2 펄스(TWR_MSK_PRE2)가 모두 비활성화되는 구간이 존재하지 않는 것을 알 수 있다. 따라서, 커맨드 마스크 신호(TWR_MASK)는 한 번 로직'하이'(High)로 활성화된 이후 라이트 커맨드(WT_CMD)가 계속 입력되는 이상 로직'로우'(Low)로 비활성화되지 않는 것을 알 수 있다.
- [0056] 정리하면, 제1 입력준비신호(TWR_PRE21)가 활성화되고 제1 동작초기화 신호(TWR_PRE12)는 활성화되며 제1 펄스(TWR_MSK_PRE1)가 비활성화된 상태일 때 입력되는 라이트 커맨드(WT_CMD)에 응답하여 제1 펄스(TWR_MSK_PRE1)가 한 번 활성화되면 A 시간과 B 시간을 합한 시간만큼은 추가적인 라이트 커맨드(WT_CMD)의 입력과 상관없이 무조건 활성화 상태를 유지한다.
- [0057] 마찬가지로, 제2 입력준비신호(TWR_PRE11)가 활성화되고 제2 동작초기화 신호(TWR_PRE22)는 활성화되며 제2 펄스(TWR_MSK_PRE2)가 비활성화된 상태일 때 입력되는 라이트 지연 커맨드(DWT_CMD)에 응답하여 제2 펄스(TWR_MSK_PRE2)가 한 번 활성화되면 A 시간과 B 시간을 합한 시간만큼은 추가적인 라이트 지연 커맨드(DWT_CMD)의 입력과 상관없이 무조건 활성화 상태를 유지한다.
- [0058] 따라서, 라이트 커맨드(WT_CMD)가 더 이상 입력되지 않는 시점이후에도 제1 펄스(TWR_MSK_PRE1) 또는 제2 펄스(TWR_MSK_PRE2)가 일정시간은 계속 활성화된 상태를 유지한다. 따라서, 커맨드 마스크 신호(TWR_MASK)도 마지막 라이트 커맨드(WT_CMD)가 입력된 이후 더 이상 라이트 커맨드가 입력되지 않는 경우에도 일정시간 이상은 계속 활성화된 상태를 유지한다.
- [0059] 그리고, 제1 펄스(TWR_MSK_PRE1)와 제2 펄스(TWR_MSK_PRE2)가 모두 비활성화된 시점 이후에도 커맨드 마스크 신호(TWR_MASK)가 설정된 C 시간동안 더 활성화된 상태를 유지한 후 비활성화될 수 있다.
- [0060] 이는, 제1 펄스(TWR_MSK_PRE1)가 비활성화되는 구간과 제2 펄스(TWR_MSK_PRE2)가 비활성화되는 구간의 시간 차이 동안에 가장 위스트(worst)하게 라이트 커맨드(WT_CMD)가 입력되는 경우에도 안정적으로 라이트 회복시간(tWR)을 보장해주기 위해 더 추가되는 동작이다. 즉, 제1 펄스(TWR_MSK_PRE1) 또는 제2 펄스(TWR_MSK_PRE2)가 비활성화되는 시점 직전까지는 입력되던 라이트 커맨드(WT_CMD)가 그 시점 이후로 더 이상 입력되지 않는 상태가 되는 위스트(worst)한 경우가 되면, 마지막 라이트 커맨드(WT_CMD)에 대한 라이트 회복시간(tWR)이 A시간과 B시간을 합한 시간보다 작아질 수 있는데, 이러한 경우에도 안정적인 라이트 회복시간(tWR)을 보장해주기 위함이다.
- [0061] 이와 같은 C 시간은 A 시간과 B 시간을 설계자가 어떻게 결정하는지에 따라 그 존재유무가 달라질 수 있으므로 필수 구성요소는 아니다. 예컨대, A시간과 B시간을 넉넉하게 큰 값으로 설정할 경우 C 시간은 존재하지 않아도 되지만, A시간과 B시간이 매우 타이트하게 작은 값으로 설정할 경우 C 시간이 존재해야 할 것이다.
- [0062] 이상에서 살펴본 바와 같이 본 발명의 실시예를 적용하면, 연속으로 라이트 커맨드가 입력되는 시점부터 설정된 시간 구간에서는 추가적인 라이트 커맨드를 제외한 프리차지 커맨드와 같이 임의의 커맨드가 입력되는 것을 마스킹해 줌으로써 라이트 동작이 비정상적으로 종료되는 것을 방지할 수 있다. 즉, 라이트 커맨드(WT_CMD)에 대해 라이트 회복시간(tWR)을 충분히 확보해줌으로써 반도체 메모리 장치의 라이트 동작이 비정상적으로 이루어지는 것을 방지해줄 수 있다.
- [0063] 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속한 기술분야에서 통상의 지식을 가진자에게 있어 명백할 것이다.
- [0064] 예컨대, 전술한 실시예에서 예시한 논리 게이트 및 트랜지스터는 입력되는 신호의 극성에 따라 그 위치 및 종류가 다르게 구현되어야 할 것이다.

부호의 설명

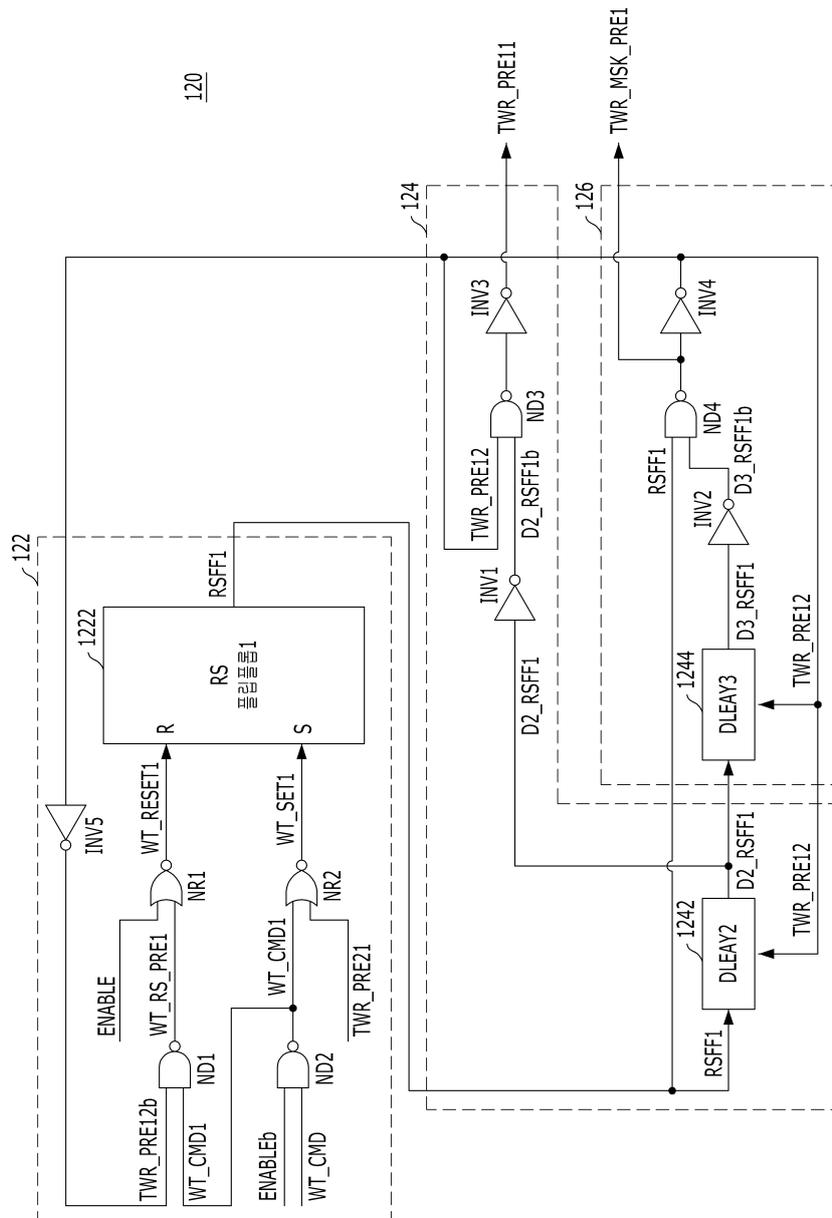
- [0065] 100 : 내부회로 120 : 제1 펄스 생성부
 140 : 제2 펄스 생성부 160 : 전달제어부
 162 : 커맨드 마스크 신호 생성부
 164 : 커맨드 전달부

도면

도면1

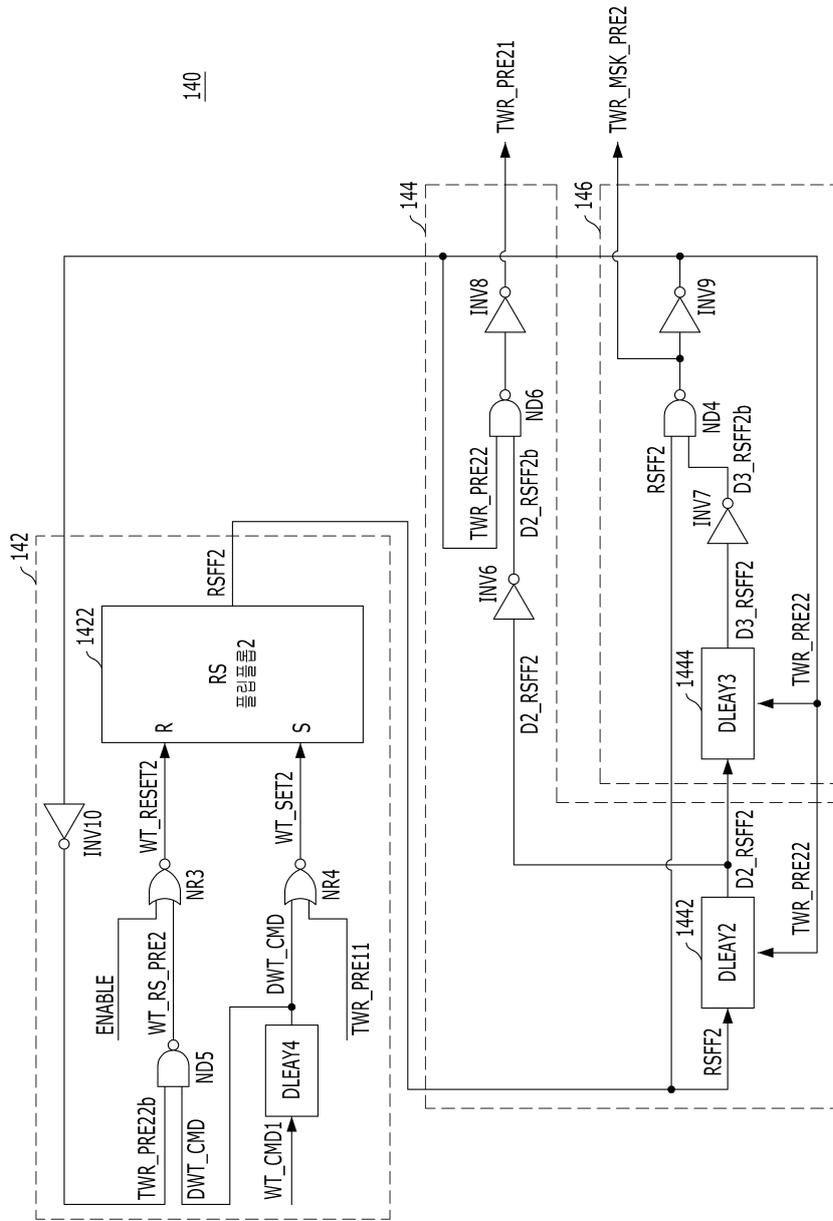


도면2

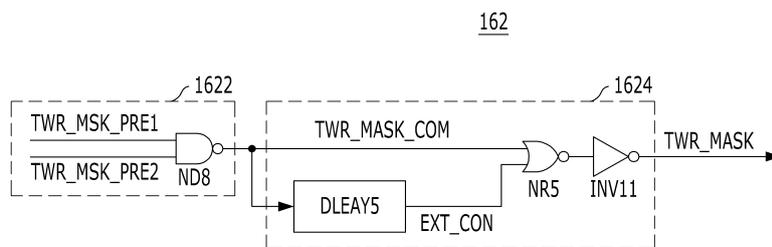


120

도면3



도면4



도면5

