

公告本

申請日期: 88.12.9

案號: 88119719

類別: H04N 7/00

(以上各欄由本局填註)

發明專利說明書

468341

一、 發明名稱	中文	具有整合調整機制之視訊編碼器
	英文	
二、 發明人	姓名 (中文)	1. 陳建良
	姓名 (英文)	1.
	國籍	1. 中華民國
	住、居所	1. 彰化縣福興鄉福興村福興路61-6號
三、 申請人	姓名 (名稱) (中文)	1. 華邦電子股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區研新三路四號
	代表人 姓名 (中文)	1. 焦佑鈞
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利	申請日期	案號	主張優先權
美國 US	1998/11/16	09/193,175	有

有關微生物已寄存於	寄存日期	寄存號碼
-----------	------	------

無



五、發明說明 (1)

本發明係有關於視訊編碼，特別是指具有整合調整機制之視訊編碼器。

一般而言，有二種壓縮型式：(1) 動畫面壓縮（也稱做移動判斷），和(2) 靜畫面壓縮。一些常用的動畫面壓縮標準包括：MPEG-I，MPEG-II，H.261 等等。靜畫面壓縮的主流標準為JPEG標準。動畫面壓縮與靜畫面壓縮二者皆使用離散餘弦轉換(discrete cosin transform, DCT)與可變長度編碼(variable length encoding, VLE)來壓縮資料（即除去空間上多餘的資料）與解壓縮資料。

動畫面壓縮使用更進一步使用時間資料來壓縮資料。明確地說，動畫面壓縮採用參考影像先前且/或未來圖框，也稱為B(Bidirectional, 雙向)與P(Previous, 先前)圖框，之移動判斷技巧。基本系統是預測由圖框至圖框間在時間軸上的移動，接著使用DCT來組織空間軸上多餘的資料。

相對地，靜畫面壓縮使用現行圖而不考慮先前圖框。換言之，靜畫面壓縮只使用I圖框(Intra-frame)而不參考B和P圖框。關於JPEG靜畫面壓縮標準的補充資料請參考Digital equipment公司Gregory Wallace於1991年12月投稿至IEEE transactions on Consumer Electronics上發表的"The JPEG Still Picture Compression Standard"文章(在此附上複本)。

影像的放大(up-scaling)對影像處理一向是重要的，但我們使用不同的架構來實現。例如，如果是動畫，我們

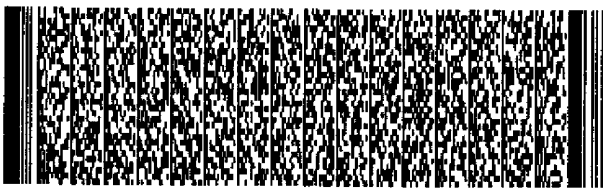


五、發明說明(2)

可將調整機制合併至移動判斷裝置(motion estimator)。

第1圖所示為習知視訊影像序列之數位編碼所用之一般結構區塊及所包含的步驟。特別是視訊影像，由被如數位相機所擷取之視訊圖框序列10所組成，且被傳送至視訊編碼器12。視訊編碼器12，以圖框接著圖框和巨集區塊接著巨集區塊為基礎，接收數位資料，並應用視訊編碼演算法來壓縮視訊資料。在一些應用中，視訊編碼演算法也可以硬體實現。視訊編碼器12產生一輸出，包括由調變器16所處理之二元位元流14。調變器16調變二元位元流14，且提供適當的錯誤修正。調變後的二元位元流14接著在適當的傳輸通道18上傳輸，如經由無線連結(如無線電頻率)，有線連結，或經由網際網路。可以類比形式(如以電話線或經由衛星)或以數位形式(如經由整體服務數位網路ISDN或電纜)來做傳輸。所傳輸的二元位元流14接著被解調變器20解調變，並送至視訊解碼器22。視訊解碼器22取解調變後的二元位元流14，將其轉換或解碼成序列視訊圖框。這些視訊圖框接著被送至可被看到的顯示器26，如電視螢幕或監視器。如果傳輸通道18使用類比形式，則在調變器16提供數位至類比轉換器，以將數位視訊資料轉換成類比形態以供傳輸，且在解調變器20提供類比至數位轉換器，以將類比信號轉換回數位形態以供解碼與顯示。

視訊編碼可以許多種方式實施。例如，實際景像或畫面可以相機擷取，並送至視訊編碼之晶片組。此晶片組可以附加卡的方式加至個人電腦(PC)。另一例如，相機可包



五、發明說明(3)

括執行視訊編碼的板上晶片。此板上晶片可以附加卡的方式加至PC，或為分別獨立之視訊電話。又一例如，相機可在PC上，且影像直接送至PC上的處理器來執行視訊編碼。

相似地，視訊解碼器22可以用晶片的方式，併入PC或併入接著至如監視器或電視機之顯示單元的視訊盒中。

每個數位視訊圖框10由x行與y列的畫素(也稱做"pels")所組成。在典型圖框10(請參照第2圖)中，可能有720行與640列的畫素。因每個畫素包含8位元資料(發光資料)，每個圖框10可能含有超過三百萬位元的資料(發光資料)。如果包括色彩資料，每個畫素包含高達24位元資料，使得此數目更大。這些大量資料因大部份的應用只有有限的儲存能力(即記憶體)和有限的通道頻寬，不適合作資料的儲存或傳輸。對應此必須儲存或傳輸的大量資料，必須提供壓縮來自一圖框10或一序列圖框10之資料的技巧，來提供含有最少量資料的輸出。此壓縮來自連續視訊圖框之大量資料的過程被稱為視訊壓縮，且在視訊編碼器12中執行。

在習知之視訊編碼時，視訊編碼器12會取出每個圖框10，並分割成區塊。特別是每個圖框10可先被分割成巨集區塊MB，如第2圖所示。每個這些巨集區塊MB可具有如16列和16行的畫素。每個巨集區塊MB可被進一步分割成四個區塊，每個區塊具有8列和8行的畫素。只要每個圖框10被分割成區塊B，視訊編碼器12便準備好壓縮圖框10中的資料。



第3圖所示為使用於習知視訊編碼器12中，以執行視訊壓縮之不同步驟與可能的硬體元件。因每個圖框10含有複數個區塊B，後續步驟會在區塊接著區塊的基礎上處理每個圖框10。

來自每個圖框10的每個區塊B被送至用以儲存未放大之影像的記憶體42中。分離的放大電路44自記憶體42讀取未放大的影像，放大影像，並將放大後的影像寫回記憶體42。如後文所會描述，DCT區塊60讀取放大後的影像以做進一步的處理。第5圖會在後文中更進一步說明，其更完整地描述記憶體42，放大電路44，和DCT區塊60之間的互動。

來自每個圖框10的每個區塊B也被送至決定區塊或區塊組的QP或量化步驟大小數目之QP決定引擎。此QP數由分割不同區塊間圖框之固定位元預算之比率控制機制所決定，且被量化引擎80所使用以實行如下所述之量化。

每個區塊B現被送至DCT引擎60。各個區塊的DCT以將最有關的資訊取下至DCT領域中的最低位係數，來協助移除空間冗贅。DCT可以用實行每個區塊B中數值之似傅立葉轉換來完成。DCT產生轉換區塊70，其中零值或低值置於轉換區塊70的最左上角72，且高頻值置於右下角74。

在獲得包含移位區塊的能量之DCT係數的區塊70之後，以量化引擎80執行這些區塊70的量化。量化為在如由2至62之一定範圍內變動的段落大小(即預設之QP)之均一量化。其以轉換區塊70中每個數值的分割或定點完成查表



五、發明說明 (5)

運算來實行。例如，區塊70中每個數值的量化準位可以由以2QP分割數值來決定。因此，若QP為10而區塊70中數值為100，則此準位用的量化準位等於100除以2QP，即為5。在第1圖中之視訊解碼器22上，此值用將量化準位(即5)乘上2QP以得到原始值100來重建。所以，量化取有限組數值並對此組數值佈圖，提供其左上角92含有高量化準位而右下角94包含最零值之量化區塊90。

然後，量化區塊90被送至執行區塊90中數值之之字形掃描的之字形掃描引擎100。掃描方向如第4圖中所示，自含有高量化準位的左上角92開始，經過區塊90中間，至包含最零值的右下角94。之字形掃描產生之字形區塊110，其中由量化區塊90來的量化值，被線性地跨越之字形區塊110而放置。因此，之字形掃描趕上由低向高走的頻率，因而導致之字形區塊110中零值的長行程。

之字形區塊110中的值接著被送至執行亂度編碼之可變長度編碼引擎120。傳統上，大部份視訊編碼標準使用霍夫曼(Huffman)編碼做亂度編碼。JPEG標準可使用霍夫曼編碼或計算編碼。首先，跟隨著零值行程的非零值編碼為單一"事件"。例如，"400000000000"和"10000000000000"各被編碼成分別的單一事件。然後對這些事件執行亂度編碼，以為每個事件產生唯一的二進位碼。這些二進位碼可被視訊解碼器22所辨認，且由視訊解碼器22解碼至原始值(即其後跟隨零值行程的非零值)。

因此，習知視訊編碼器12及其運算，如第3圖中所

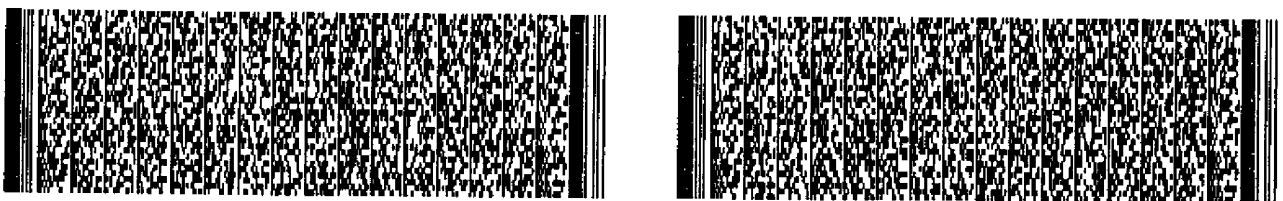


五、發明說明(6)

示，利用DCT與量化步驟會產生多個零值行程的事實之優點，產生作用以最小化(即壓縮)每個圖框10的輸入區塊B上的大量位元(請參見第2圖)，至位元流14上最小數目位元。所傳輸的位元流14由視訊解碼器22解碼以反轉視訊編碼器12所執行的步驟。

因由影像擷取裝置所擷取的影像在許多情況下不同於視訊壓縮器使用的壓縮架構所期望的格式，放大是重要而必需的運算。例如，一般輸入裝置，如電荷耦合裝置(charge-coupled device)，或基於CMOS(Complimentary metal oxide semiconductor)之視訊相機與錄影機(Video-cassette recorder, VCR)，所使用的影像格式為國家電視標準委員會(National television standard committee, NTSC)之格式。NTSC格式之視訊格式可為非交錯(non-interlace)顯示模式或進行顯示模式。圖框可具有720x480的大小。在交錯顯示模式中，提供具有圖框之偶數線的偶數範圍和具有圖框之奇數線的奇數範圍。偶數範圍和奇數範圍可各具有720x240的大小。

相對地，普通中間格式(common intermediate format, CIF)壓縮架構期望影像具有352x288的大小的格式。因此，在交錯模式中，偶數範圍和奇數範圍二者皆需被放大(在y方向)以使範圍高度由240增加至288。在另一例中，根據由影像擷取裝置所擷取的影像的格式，和特殊壓縮演算法所期望的格式，輸入影像在x方向上可能需要被放大(即影像寬度可能需要增加)。



五、發明說明 (7)

第5圖所示為將所擷取之影像，格式化成為適合特殊壓縮架構的格式之習知方法。在步驟150中，影像經由如電荷耦合裝置(charge-coupled device)或基於CMOS(Complimentary metal oxide semiconductor)之視訊相機之輸入裝置所擷取。在步驟154中，對所擷取之影像執行剪截或縮小運算。在步驟158中，縮小的影像寫入如動態隨機存取記憶體(dynamic random access memory, DRAM)之記憶體中。在步驟164中，視訊加速器自記憶體中讀取縮小的影像。在步驟168中，視訊加速器對縮小的影像執行放大運算(即調整影像高度使其符合壓縮架構之所需)。在步驟174中，放大的影像寫入記憶體中。在步驟178中，DCT模組自記憶體中讀取放大的影像。

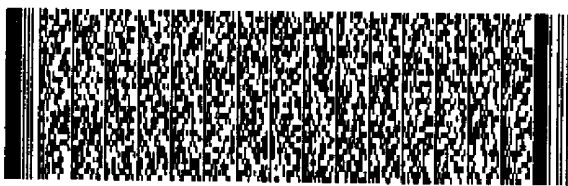
如第5圖所具體顯示，習知方法要(1)保留額外的記憶體以儲存中間影像；及(2)分配存取時間以對記憶體作中間影像的讀出和寫入。

這些額外的記憶體存取降低影像處理系統的整體速度。此外，這些額外的記憶體存取減少記憶體排線的可用頻寬，且增加需要配置給中間結果的記憶體空間。

所以，仍需要減少記憶體存取數目，且增加記憶體可用空間及記憶體排線可用頻寬的視訊編碼器與放大器。

本發明的目的，在提供一種具有整合調整機制之視訊編碼器。

本發明的另一目的，在提供一種減少記憶體存取數目之視訊編碼器架構。



五、發明說明 (8)

本發明的又一目的，在提供一種增加記憶體可用空間之視訊編碼器架構。

本發明還有一目的，在提供一種增加記憶體排線可用頻寬之視訊編碼器架構。

為達成本發明的這些及其他的目的，提供一種具有整合調整機制之視訊編碼器。調整機制包括一緩衝器，具有複數個以行及列排列之單元。一列解碼器，用以接收部份位址，且基於所接收之部份位址選擇一列。一行解碼器，用以接收部份位址，且基於所接收之部份位址選擇一行。列解碼器及行解碼器用以指定緩衝器中之一單元。一多工器，置於列解碼器和每列之間，以將列插入緩衝器中，以放大影像。這些多工器，基於，用以選擇性地執行(1)致能現行列，或(2)同時致能現行列與下一列之一。當致能現行與下一列時，相同的資料值可被同時寫入現行列與下一列。一累加器，以選擇性地要求上插入信號。藉由整合調整機制與視訊編碼器，影像可直接被送至視訊編碼器。

明確地說，本發明排除了自獨立的放大器寫入放大影像至記憶體中的步驟，以及自記憶體讀出放大影像至編碼器的步驟，因而節省一個獨立的放大器與記憶體頻寬。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

【圖式簡單說明】

第1圖係顯示習知之視訊影像序列之數位編碼所使用



五、發明說明 (9)

的結構區塊，及其中的步驟；

第2圖所示為視訊資料之一圖框的簡化圖，以及組成此圖框之巨集區塊和區塊；

第3圖係顯示第1圖中之視訊編碼器的不同步驟和硬體元件，用以實行習知的視訊壓縮；

第4圖所示為量化區塊資料如何以之子形方式而被掃描的化圖；

第5圖所示為由習知技術之視訊壓縮系統所執行的步驟；

第6圖係顯示根據本發明之實施例所建構的視訊壓縮器的區塊圖；

第7圖係更詳細地顯示第6圖中之調整機制；

第8圖係更詳細地顯示第6圖中之累加器；

第9圖所示為由第6圖之視訊壓縮器所實行的處理步驟之流程圖；

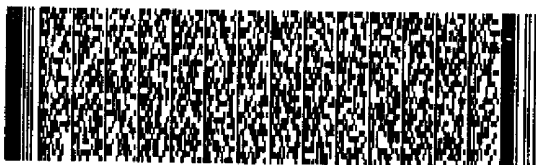
第10圖係顯示在一區塊之中以及跨越由第一資料區塊至第二資料區塊插入排的範例；

第11圖係顯示影像之 8×4 區塊如何被放大成 8×8 區塊；

第12圖係顯示本發明如何將 64×64 影像放大成 64×128 影像。

【符號說明】

10~圖框；12~視訊編碼器；14~二元位元流；16~調變器；
18~傳輸通道；20~解調變器；22~視訊解碼器；24~二元位元流；
26~顯器；42~記憶體；44~放大電路；50~決定QP；60~DCT；



五、發明說明 (10)

70~轉換區塊;72~轉換區塊之左上角;74~轉換區塊之右下角;;80~量化;90~量化區塊;92~量化區塊之左上角;94~量化區塊之右下角;100~之字形掃描;110~之字形掃描區塊;120~可變長度編碼;127~;150~擷取影像;154~剪裁影像;158~將所剪裁的影像寫至記憶體;164~視訊加速器讀取記憶體;168~執行影像放大;174將放大的影像寫至記憶體;178~DCT模組讀取記憶體;200~視訊壓縮器;204~記憶體;208~位址產生器;308~計數器;316~調整機制;320~累加器;340~緩衝器;344~儲存位置;346~列;348~行;360~X解碼器;370~Y解碼器;380~儲存位置;390~第一多工器;394~第二多工器;400~加法器;400~插入排;402~排是否跨越區塊;404~正反器;404~將排寫入本列及下一列;406~將排寫入本列;408~將排寫入本區塊之最後一排及下一區塊之第一排;410~移至下條線;500~原始影像;501~修正影像;502~第一區塊;504~第二區塊;520~原始影像;522~區塊;524~放大影像;528~區塊。

【實施例】

根據本發明之視訊編碼方法與裝置提供一種具有整合調整機制之視訊編碼器。藉由整合調整機制與視訊編碼器，影像可直接被送至視訊編碼器而不經過前述之中間步驟。明確地說，本發明排除自獨立的放大器寫入放大影像至記憶體中的步驟，以及自記憶體讀出放大影像至編碼器的步驟，因而節省一個獨立的放大器與記憶體頻寬。

第6圖係顯示根據本發明之實施例所建構的視訊壓縮



五、發明說明 (11)

器200的區塊圖。視訊壓縮器200可以在第3圖中之DCT區塊中實現，藉以使其不需要放大電路44。視訊壓縮器200與如動態隨機存取記憶體(dynamic random access memory, DRAM)之記憶體204通訊。視訊壓縮器200包括一位址產生器208以產生位址，一壓縮引擎312以執行影像的壓縮運算，和一調整機制316以接收來自記憶體204之未放大影像及以調整未放大影像的格式至壓縮引擎312可接受的格式。

位址產生器208將位址送至記憶體204。對應於此位址，記憶體204將在指定位址位置上的資料送至調整機制316。調整機制316使用此位址以致能來自記憶體204的資料，以被選擇性地寫入緩衝器340的指定位址(更詳細的說明請參照第7圖)。

視訊壓縮器200也包括一累加器320，以選擇性地提供"上插"信號至調整機制316，以插入一排資料至緩衝器340；及一計數器318，提供位址產生器208一表示(緩衝器340中的)區塊中所有排已被填滿的END_OF_BLOCK信號。累加器320之一實施例如第8圖中所示，且說明如下：

當壓縮引擎312建構成執行離散餘弦轉換(discrete cosin transform, DCT)時，影像首先被分割成複數個8x8區塊。因此，位址產生器208產生且提供對應的位址至記憶體204，以存取畫素資料的特殊區塊。在本實施例中，位址產生器208包括一第一計數器，為一21位計數器以自記憶體204中存取資料；一第二計數器(下文中稱為X計數



五、發明說明 (12)

器) , 為一3位計數器; 以及一第三計數器(下文中稱為Y計數器) , 亦為一3位計數器。利用X計數器與Y計數器對每個8x8 DCT區塊中之每個畫素作定址。

後文為畫素如何被寫入第7圖中所示之緩衝器的說明。首先, 將X計數器與Y計數器初始化(即設為0)。其次, 使用位址產生器208, 由產生並提供所想要的畫素之位址至記憶體204, 以在記憶體204中存取所想要的畫素。第三, 在自記憶體204存取畫素後, 將畫素寫入緩衝器340。

以下程式進一步說明位址產生器208所執行的步驟。在以下程式中, 考慮一具有寬度Image_Width和高度Image_Height的影像。

{ 位址產生程式 }

```
X=0; //x次元之DCT計數器
```

```
Y=0; //y次元之DCT計數器
```

```
i, j //控制迴圈的變數
```

```
Image_Width_in_DCT = Image_Width / 8;
```

```
Image_Height_in_DCT = Image_Height / 8;
```

```
DRAM_ADDR_Y = initial_address_of_image_in_DRAM
```

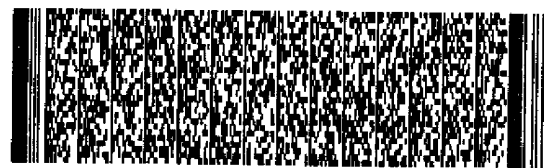
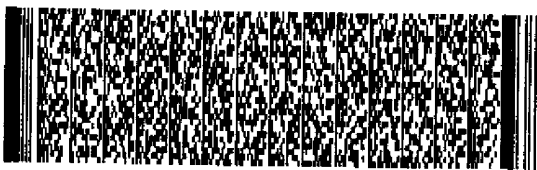
```
for(i=0; i<Image_Height_in_DCT; i=i+1)
```

```
// 計算X次元中的DCT區塊
```

```
{
```

```
DRAM_ADDR_X = DRAM_ADDR_Y;
```

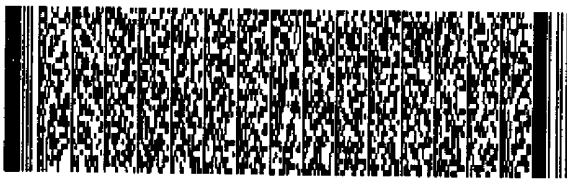
```
for(j=0; j<Image_Width_in_DCT; j=j+1)
```



五、發明說明 (13)

```
        // 計算Y次元中的DCT區塊
    {
        DRAM_ADDR_BLK_Y = DRAM_ADDR_X;
        for(Y=0; Y<8; Y=Y+1)
        {
            DRAM_ADDR_BLK_X = DRAM_ADDR_BLK_Y;
            for(X=0; X<8; X=X+1)
            {
                DCT_BUFFER[Y][X]= DRAM[DRAM_ADDR_BLK_X];
                // 將畫素資料寫入DCT緩衝器
                DRAM_ADDR_BLK_X = DRAM_ADDR_BLK_X + 1;
                // 取得DCT中X次元的畫素(同一列)
            }
            DRAM_ADDR_BLK_Y = DRAM_ADDR_BLK_Y + 1;
            // 取得DCT中Y次元的畫素(下一列)
        }
        DRAM_ADDR_X = DRAM_ADDR_X + 8;
        // 取得X次元中下一DCT初始位址
    }
    DRAM_ADDR_Y = DRAM_ADDR_Y + 8;
    // 取得Y次元中下一DCT初始位址
}
```

雖然許多應用使用Y方向具有八(8)行的區塊，本實施例可在Y方向處理Y行，其中Y在0和8之間。例如，區塊可



五、發明說明 (14)

為 8×4 區塊，其中 Y 為4。下文會對此範例參照第11圖詳細說明。因此，位址產生器208被建構成處理具有 Y 次元在0和8之間的區塊。根據應用， Y 次元可不同，且位址產生器208可被建構成適合 Y 值所需範圍。

第7圖更詳細地顯示第6圖中之調整機制316。如圖所示，調整機制316包括一緩衝器340，具有複數個可以用列346及行348排列之儲存位置344。每個儲存位置344可儲存一或多位以表示影像中之畫素。調整機制316亦包括一 x 解碼器360，用以選擇行348之一與一 y 解碼器370，用以選擇列346之一。

x 解碼器360包括一輸入，以接收位址產生器208所提供的一或多位位址；及一輸出，對應每個行348提供一致能信號以選擇性地致能行348之一。在此例中，有八個獨立分開的可控致能信號(即 $X_0..X_7$)，各對應至八個行348。在此實施例中， x 解碼器360接收位址之低位元(即 $addr[2:0]$)。

y 解碼器370包括一輸入，以接收位址產生器208所提供的一或多位位址；及一輸出，對應每個列346提供一致能信號以選擇性地致能列346之一。在此例中，有八個獨立分開的可控致能信號(即 $Y_0..Y_7$)，各對應至八個行348。在此實施例中， y 解碼器370接收位址之低位元(即 $addr[5:3]$)。

x 解碼器360與 y 解碼器370一起可指定緩衝器340中的儲存位址380之一。例如，若位址為 $0x100011$ (即



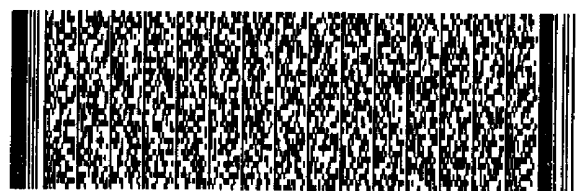
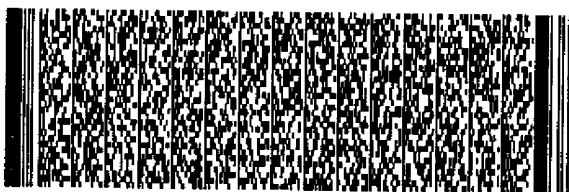
五、發明說明 (15)

addr[5:0]=35)，致能列Y4且致能行X3。如此，可致能或選擇在(Y4, X3)之儲存位址380。

調整機制316亦包括複數個多工器(例如第一列之MUX 390和第二列之MUX 394)，用以複製或插入列。每個多工器(MUX[0-7])對應一特定列。第一多工器390包括一輸入，以接收來自y解碼器370的致能信號Y0；一選擇輸入，以接收來自累加器320的上插信號；以及一輸出，耦合至第一列。第二多工器394包括一第一輸入，以接收來自前一列(即第一列)y解碼器370的致能信號Y0；一選擇輸入，以接收來自累加器320的上插信號；以及一輸出，耦合至第二列。接續的多工器(即MUX[2-7])具有和第二多工器394相同的輸入和輸出，在此不重覆說明。一般說來，上插信號用以選擇多工器(MUX[0-7])的輸入信號。若不需要插入排，在緩衝器中的一排被致能；但若要插入排，在緩衝器中的二連續排被同時致能，以使得自記憶體204取得的資料可被同時寫入二連續列。

如在此例中，當涉及影像的高度(即列數)的放大時，但影像的寬度(即行數)不需要放大，如圖所示，只在每一列需要多工器。然而，可知藉由本發明可實行的技術之一般技巧，來放大影像的高度，來放大影像的寬度，或放大影像的高度和寬度二者。例如，明顯地多工器可使用在x解碼器360和列348之間以複製資料的行。

第8圖更詳細地顯示第6圖中之累加器320。累加器320用以管理上插信號。累加器320包括一加法器400及一正反



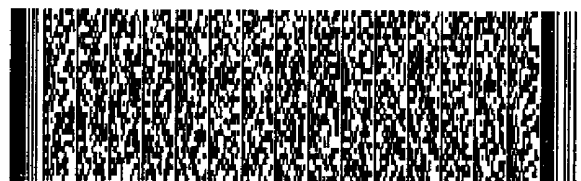
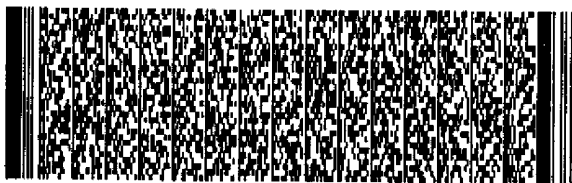
五、發明說明 (16)

器404。加法器400包括一第一輸入，以接收差分值，在後文中也以標記"K"稱之(即影像高度和壓縮引擎可接受之高度之間的差)；和一第二輸入，以接收累積值(即DDA值)。差分值基於在下例中的計算，由軟體驅動程式提供。基於這二個輸入，加法器400對這二個輸入值執行加法運算，且提供一輸出以表示二輸入值的總和。累加器320的運算在下文中詳細說明。

加法器400包括一第一輸出以提供總和位元，以及第二輸出以提供進位位元或上插信號。正反器404包括一第一輸入，以接收來自加法器400的總和位元；一第二輸入，以接收計時信號；一第三輸入，以接收來自位址產生器208的重設信號；以及一輸出，基於這些輸入以提供DDA值回加法器400。在此例中，加法器400為6位加法器，且DDA值為6位寬。DDA值的位數可隨應用不同而變動，且根據特殊應用中所需的精準度而定。計時信號可為系統計時信號，且重設信號可為由位址產生器208提供的Start_of_Frame信號，以在每個圖框重設DDA值。在此實施例中，累加器320可為數位差分累加器(digital differential accumulator, DDA)。

考慮一原始影像具有x排高度，以及設定為y排高度的可接受格式。在一實施例中，累加器320可根據以下步驟選擇性地宣稱上插信號：

```
k = (y-x); // 其中 k 為現行高度x和所需高度y的差
//
```



五、發明說明 (17)

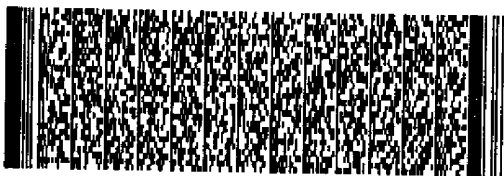
```

DDA = 0; // 將累積值初始化 //
for(i=0; i<=x; i=i+1)
{
  DDA = DDA + k;
  if(DDA>=x) // 以硬體觀點進位 //
  {
    DDA = DDA - x;
    up-insert = 1; // 宣稱上插信號 //
  }
else
{
  up-insert = 0; // 撤回宣稱上插信號 //
}
};

```

以下為此方法之一例。在此例中，自2放大為3，使得差分值k等於1，其中y為3且x為2。依據以上所列步驟：

來自記憶體 204 的排		DDA = DDA + k If (DDA >= x) DDA = DDA - x	緩衝器 340 中的列
0	----->	0 + 1 = 1 < 2	0
1	----->	1 + 1 = 2 >= 2 2 - 3 = 0	1 1 (插入)
2	----->	0 + 1 = 1 < 2	2
3	----->	1 + 1 = 2 >= 2 2 - 2 = 0	3 3 (插入)
4	----->	0 + 1 = 1 < 2	4



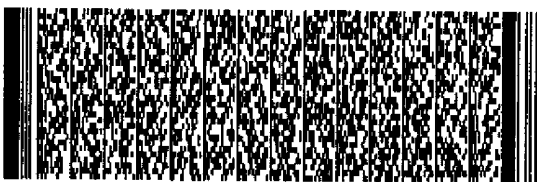
五、發明說明 (18)

對排5至7，同樣的步驟重覆，使排1，3，5，和7被製與插入。

計數器318隨目前已取得的掃描排數目而決定是否整個資料區塊(即8排)皆已被取得。若未宣稱上插信號則計數器318加1，若宣稱上插信號則加2。加2的原因為掃描線除自記憶體204寫入的一排資料外已被插入。因此，無論是否插入任一排，計數器318增加。例如，如果無任一排插入，則自記憶體204取得掃描排並寫入緩衝器340，且計數器318增加1。如果有一排插入，則自記憶體204取得掃描排並寫入緩衝器340的二列(經由二個連續的多工器同時致能)，且計數器318增加2。當計數器318等於或大於7時(若計數器318自零起計算)，即意味8x8區塊的資料輸入已完成，且計數器318提供一END_OF_BLOCK信號至位址產生器208。

第9圖所示為第6圖中之視訊壓縮器所實行的處理步驟流程圖。在步驟400中，決定是否需要插入一排或列。上述範例顯示如何做成此決定。若不插入排，則在步驟406，自記憶體204取得掃描排並寫入緩衝器340之一列，且處理進行至步驟410。

若要插入排，則在步驟402中，決定所要插入的排是否跨越一區塊(即現行排或列是否為區塊的最後一列)。若否，在步驟404中，取得現行排並同時寫入緩衝器340之現



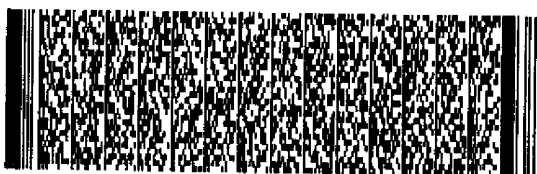
五、發明說明 (19)

行列和下一列二者(即致能現行列和下一列二個連續的多工器並將相同資料同時入現行列和下一列)。若所要插入的排跨越一區塊，則在步驟408中，來自記憶體204現行排資料寫至即時區塊的最後一列，和影像資料新區塊(即新8x8區塊)的第一列。由步驟404和408，處理進行至步驟410和400，其評估下一排以決定是否需要插入排。

本發明可被實現至視訊編碼器中，以完成包括但不僅限於普通中間格式(common intermediate format, CIF), QCIF, 次QCIF, 4CIF, 或16CIF之壓縮演算法。表I係顯示上列壓縮架構所期望的輸入寬度和高度。

格式	寬度	高度
次 QCIF	128	96
QCIF	176	144
CIF	352	288
4CIF	704	576
16CIF	1408	1152

第10圖所示為在區塊中和自第一資料區塊跨越至第二資料區塊插入排的範例。原始影像500被放大成修正影像501。原始影像500包括許多排(如1, 2, 3, 4, 5, 6, 7, 8, 9, 10...等)。修正影像501包括第一區塊502和第二區塊504。在第一區塊502中，複製並插入排1。相似地，複製並插入排3。在第二區塊504中，排5並插入為第二區塊



五、發明說明 (20)

504 的第一排。在第二區塊504中，複製並插入排7和9。排1, 3, 7, 和9不需要自記憶體取得，因其可在第一版讀至緩衝器時複製至區塊中。

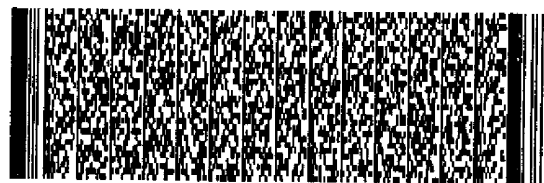
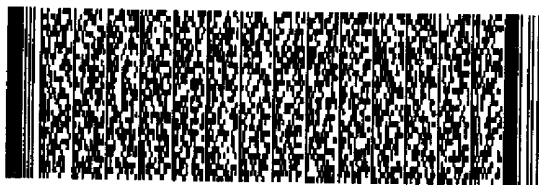
第11圖係顯示一影像之 8×4 區塊如何被放大成 8×8 區塊。在此情況下，排0, 1, 2, 和3被複製並插入以形成 8×8 區塊。

第12圖係顯示本發明如何將一 64×64 的影像放大成 64×128 影像。原始影像520包括複數個區塊522，以列和行排列，其每個區塊522為 8×4 區塊。放大影像524包括複數個區塊528，以列和行排列，其每個區塊528為 8×8 區塊。例如，第11圖中所示之放大可以被用來將 8×4 區塊改變成 8×8 區塊。區塊522和524以區塊索引辨別(如0..127)。

雖然本發明已以利用引擎或電路之硬體實現說明與揭露如上，但亦可能以軟體實現本發明。

雖然某些引擎，電路，元件，次系統，或區塊說明如上作為所包括的某些元件，然其並非用以限定本發明，不同的元件，或其組合，在不脫離本發明之精神和範圍內，可用以提供這些引擎，電路，元件，次系統，或區塊。

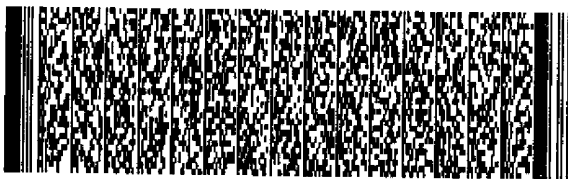
雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



四、中文發明摘要 (發明之名稱：具有整合調整機制之視訊編碼器)

一種具有整合調整機制之視訊編碼器。調整機制包括一緩衝器，具有複數個以行及列排列之單元。一列解碼器，用以接收部份位址，且基於所接收之部份位址選擇一列。一行解碼器，用以接收部份位址，且基於所接收之部份位址選擇一行。列解碼器及行解碼器用以指定緩衝器中之一單元。一多工器，置於列解碼器和每列之間，以將列插入緩衝器中，以放大影像。這些多工器，基於，用以選擇性地執行(1)致能現行列，或(2)同時致能現行列與下一列之一。當致能現行與下一列時，相同的資料值可被同時寫入現行列與下一列。一累加器，以選擇性地要求上插入信號。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種將第一預設格式資料調整成不同於該第一預設格式的第二預設格式資料的方法，適用於具有視訊壓縮器之系統中，該視訊壓縮器包括一整合調整機制、以及接受該第二預設格式資料的一壓縮引擎；該方法包括：

將該第一預設格式資料送至該調整機制；

將該第一預設格式資料調整成該第二預設格式資料；

以及

將該第二預設格式資料送至該壓縮引擎。

2. 如申請範圍第1項中之方法，其中該視訊壓縮器耦合至儲存該第一預設格式資料之一記憶體，而該記憶體不與將該第二預設格式資料送至該壓縮引擎有交互作用。

3. 如申請範圍第1項中之方法，其中該調整機制具有一緩衝器，該緩衝器具有複數以行列排列之儲存位置，而該方法尚包括：

根據該第一預設格式、該第二預設格式、該現行列、以及先前插入之排數目，宣稱一上插信號；以及

根據該上插信號，選擇性地(1)致能一現行列以接收資料、或(2)同時致能該現行列和下一列。

4. 如申請範圍第3項中之方法，尚包括決定是否宣稱該上插信號，且若未宣稱則：

致能該現行列；以及

將資料寫入該現行列。

5. 如申請範圍第3項中之方法，尚包括決定是否宣稱該上插信號，且若未宣稱則：



六、申請專利範圍

同時致能該現行列與該下一列；以及
同時將資料寫入該現行列與該下一列。

6. 如申請範圍第3項中之方法，尚包括：

決定下一列是否越過一現行區塊與下一區塊間之一邊界；

若否，則同時致能該現行列與該下一列，且同時將資料寫入該現行列與該下一列；以及

若是，則致能該現行列，將資料寫入該現行列，讀取先前所讀取的資料，並將該先前所讀取資料寫入下一區塊的第一列。

7. 一種視訊壓縮器，該視訊壓縮器耦合該記憶體，包括：

一壓縮引擎，用以壓縮資料，該壓縮引擎接受不同於該第一預設格式之第二預設格式資料；

一位址產生器，用以產生存取該第一預設格式資料用之該記憶體所需之位址；以及

一整合調整機制，用以將該第一預設格式資料調整一整合調整機制，用以將該第一預設格式資料調整成該壓縮引擎可接受之該第二預設格式資料，該調整機制具有接收該第一預設格式資料之一輸入、以及耦合至該壓縮引擎提供該第二預設格式資料之一輸出。

8. 如申請範圍第7項中之視訊壓縮器，其中整合調整機制尚包括：

一緩衝器，具有複數個以行列排列之儲存位置；



六、申請專利範圍

一列解碼器，以接收部份位址，據以選擇一列；
一行解碼器，以接收部份位址，據以選擇一行；以及
一多工器，置於該列解碼器與每一列之間，根據一上
插信號選擇性地執行(i)致能一現行列、或(ii)同時致能
一現行列與下一列。

9. 如申請範圍第8項中之視訊壓縮器，其中相同資料
可在該現行列和該下一列同時被致能時，同時寫入該現行
列和該下一列。

10. 如申請範圍第8項中之視訊壓縮器，其中尚包括一
累加器耦合至該多工器，以選擇性地宣稱該上插信號。

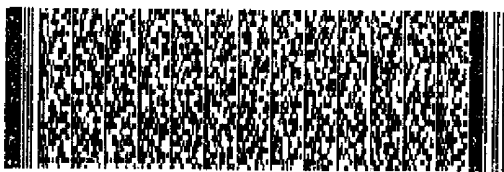
11. 如申請範圍第10項中之視訊壓縮器，其中尚包括
一計數器，當接收到該上插信號則增量二，當未宣稱該上
插信號時則增量一；該計數器耦合至該位址產生器，提供
該位址產生器資料區塊已完成之通知。

12. 如申請範圍第11項中之視訊壓縮器，其中累加器
尚包括：

一加法器，具有第一輸入接收一差分值、第二輸入接
收DDA值、第一輸出提供實現信號、以及第二輸出提供該
等輸入之總和；以及

一正反器，具有第一輸入接收重設信號、第二輸入接
收計時信號、第三輸入接收該加法器之該第二輸出、以及
一輸出提供該DDA值。

13. 如申請範圍第8項中之視訊壓縮器，其中該多工器
尚包括：



六、申請專利範圍

對應於該第一列之一第一多工器，具有第一輸入接收第一列Y-致能信號、一選擇輸入接收該上插信號、以及一輸出；以及

複數第二多工器，分別對應於其他列之一者，每一該第二多工器具有第一輸入接收各對應列Y-致能信號、第二輸入接收緊接在前一系列之Y-致能信號、一選擇輸入以接收該上插信號、以及一輸出。

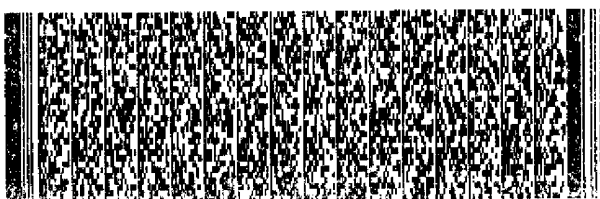
14. 如申請範圍第8項中之視訊壓縮器，其中該整合調整機制尚包括：

- 一緩衝器，具有複數個以行列排列之儲存位置；
- 一系列解碼器，以接收部份位址，據以選擇一系列；
- 一行解碼器，以接收部份位址，據以選擇一行；以及
- 一多工器，置於該行解碼器與每一行之間，根據該上插信號選擇性地執行(i)致能現行行、或(ii)同時致能現行行與下一行。

15. 如申請範圍第14項中之視訊壓縮器，其中多工器尚包括：

對應於該第一行之第一多工器，具有第一輸入接收第一行之X-致能信號、一選擇輸入接收上插信號、以及一輸出；以及

複數個第二多工器，對應於其他行之一者，每一該第二多工器具有第一輸入接收各對應行之X-致能信號、第二輸入接收緊接在前一行之X-致能信號、一選擇輸入接收該上插信號、以及一輸出。

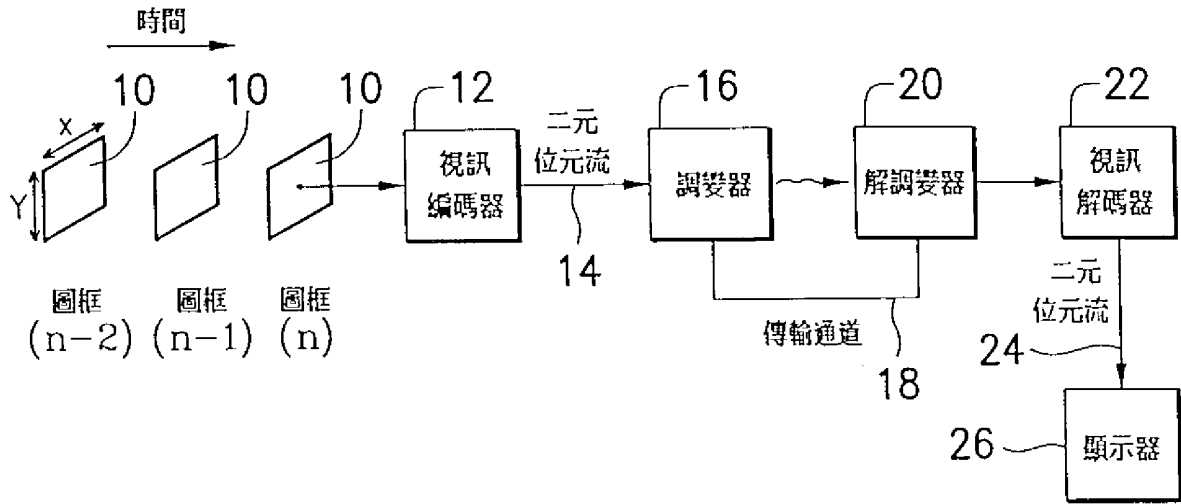


90.3.27修正
年 月 日
補充

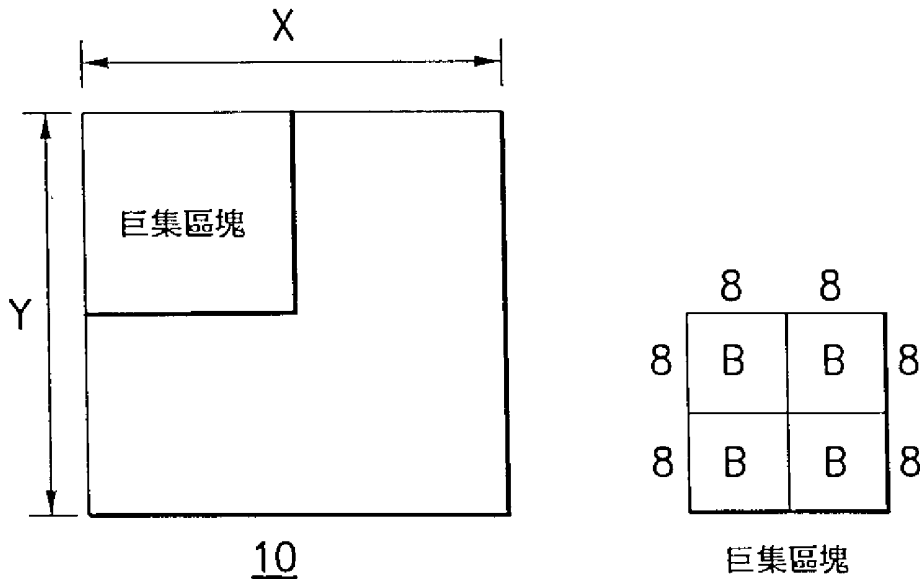
六、申請專利範圍

16. 如申請範圍第8項中之視訊壓縮器，其中該列解碼器和該行解碼器同指定該緩衝器內之一單元。

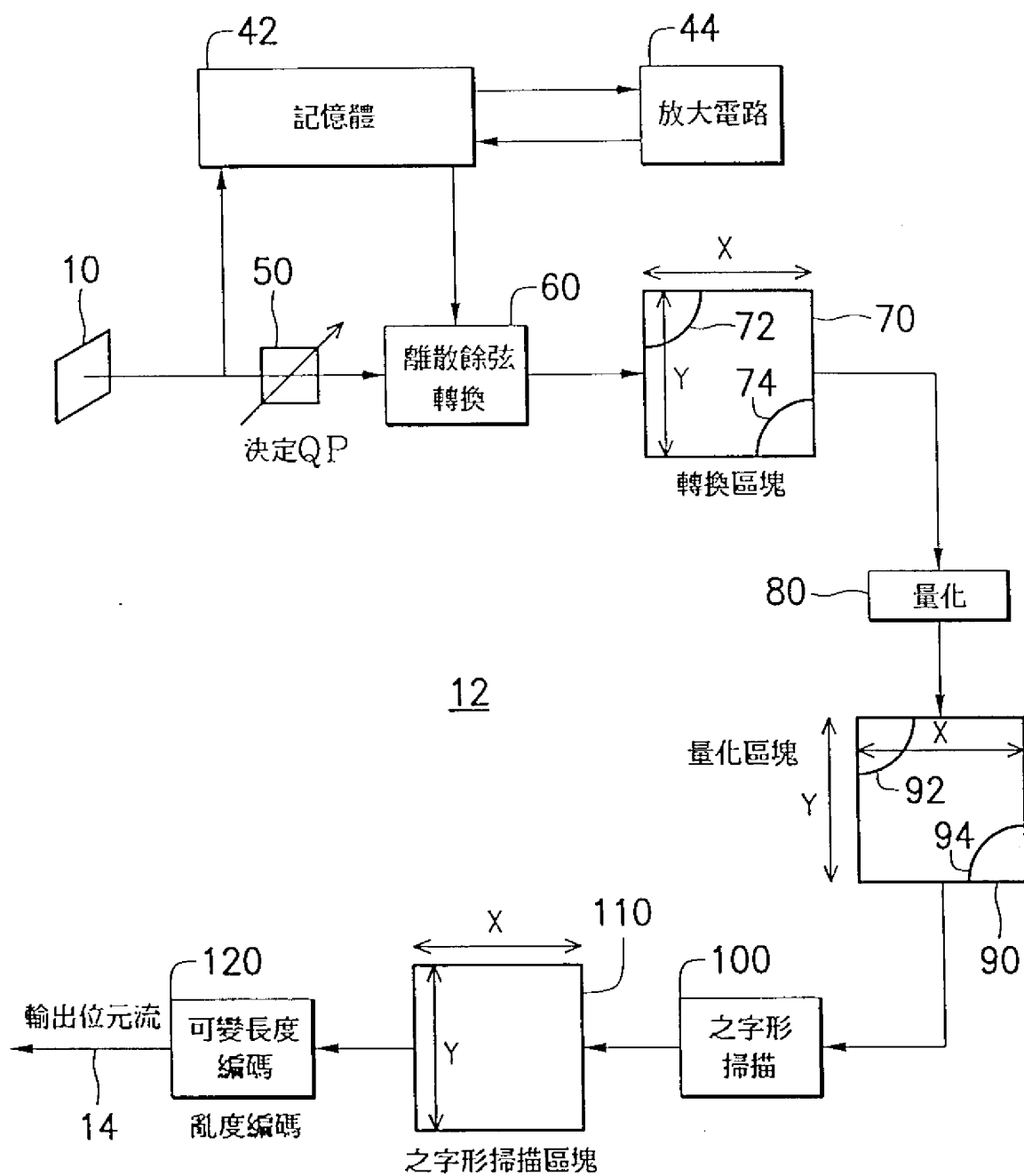




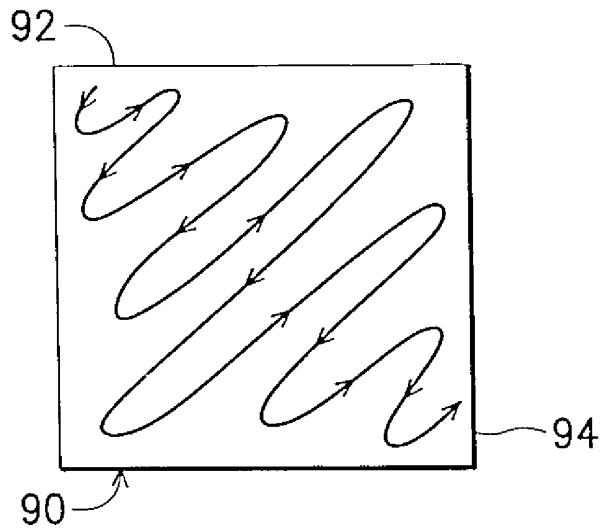
第 1 圖



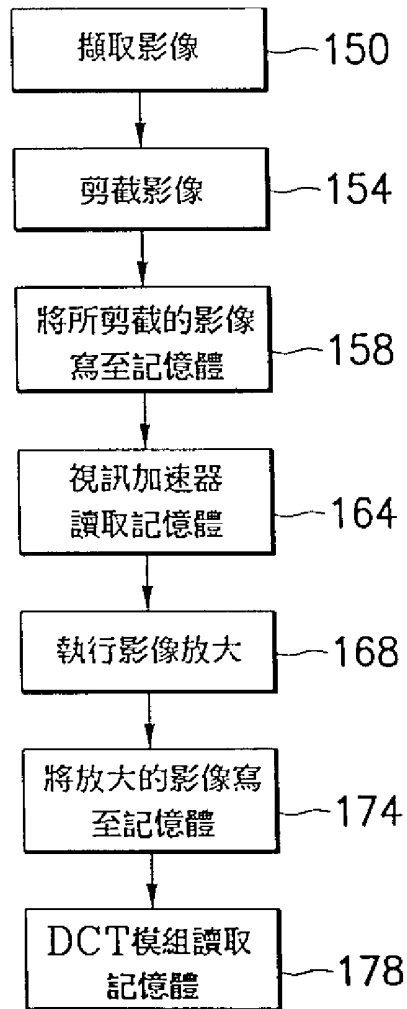
第 2 圖



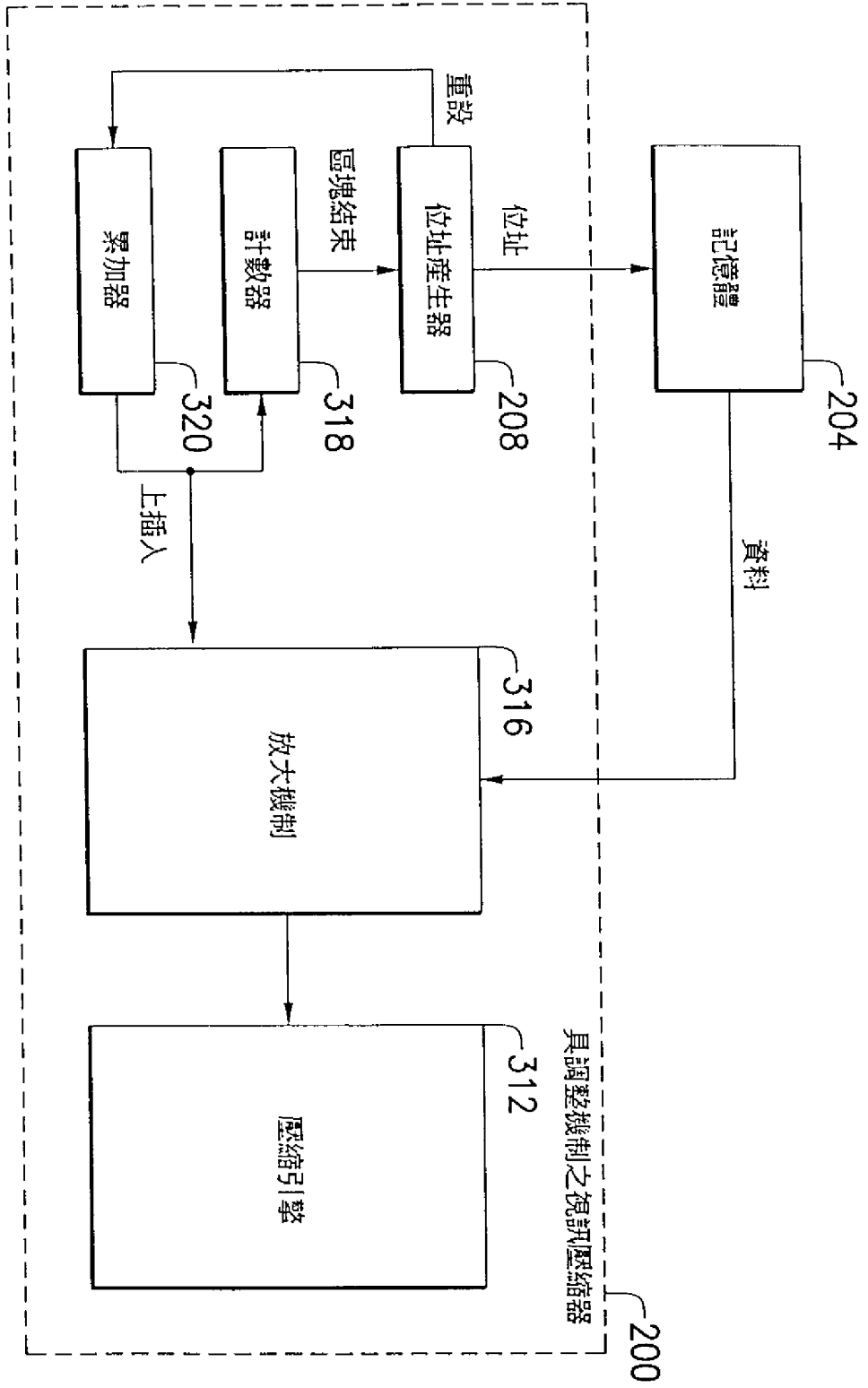
第 3 圖



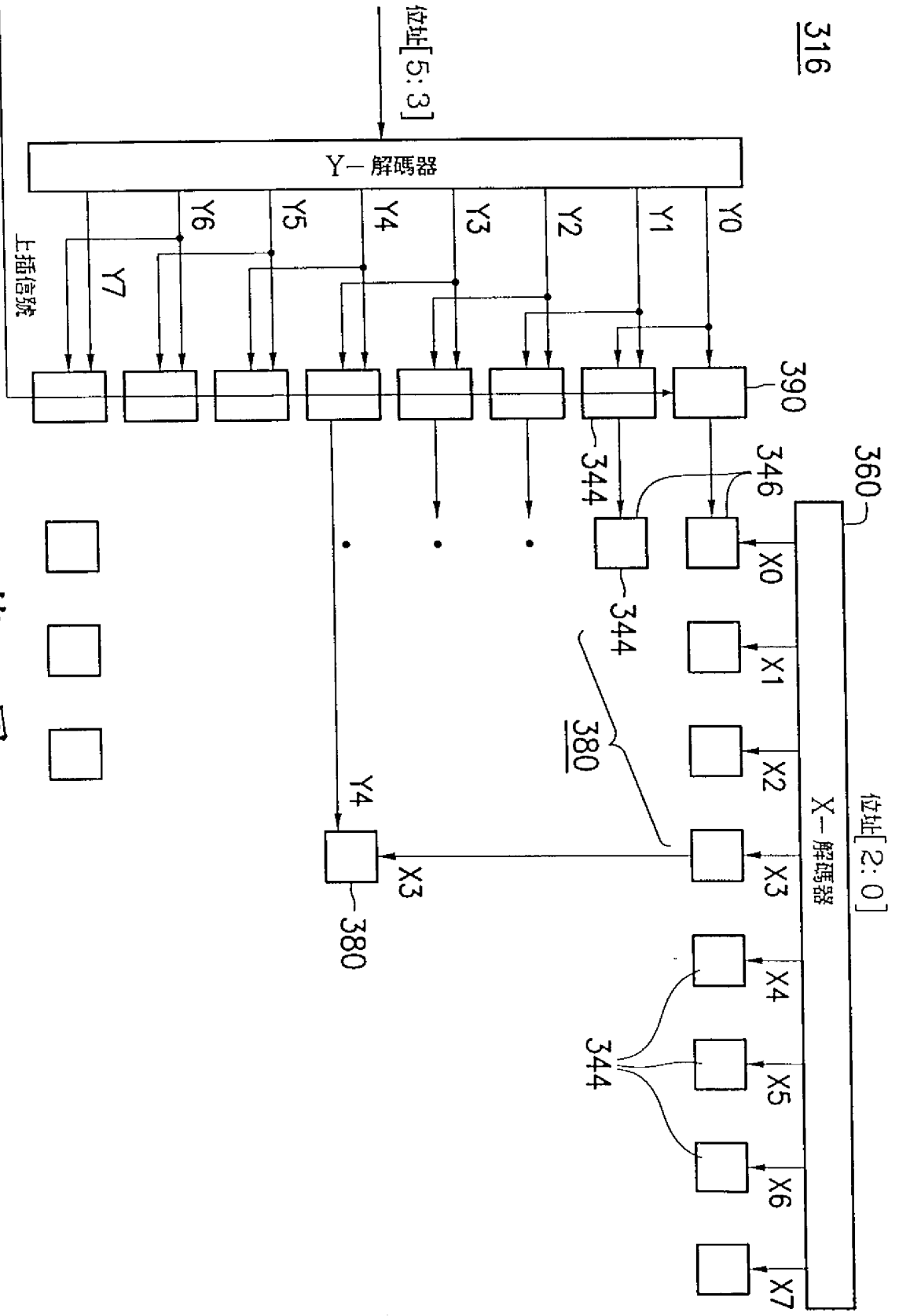
第 4 圖



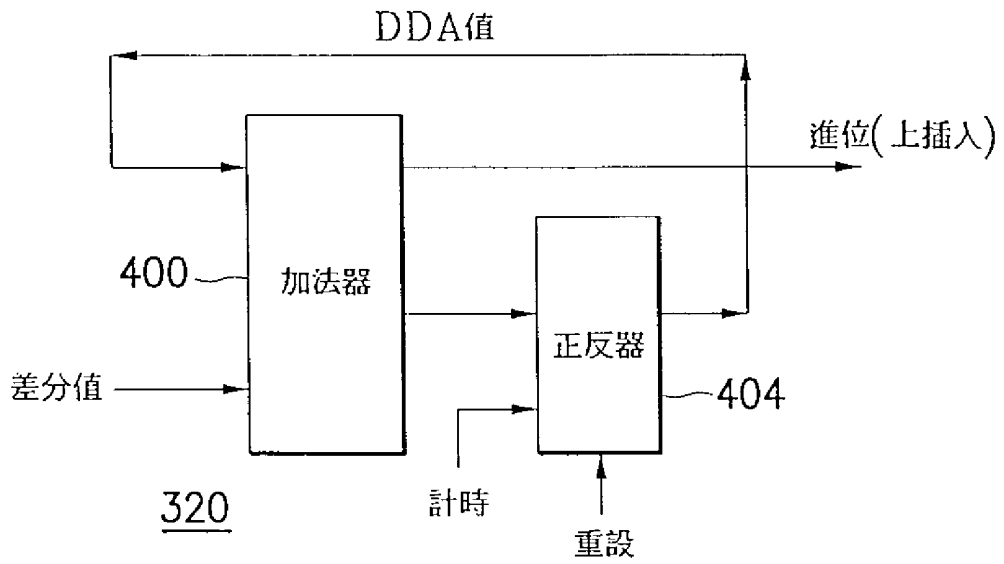
第 5 圖



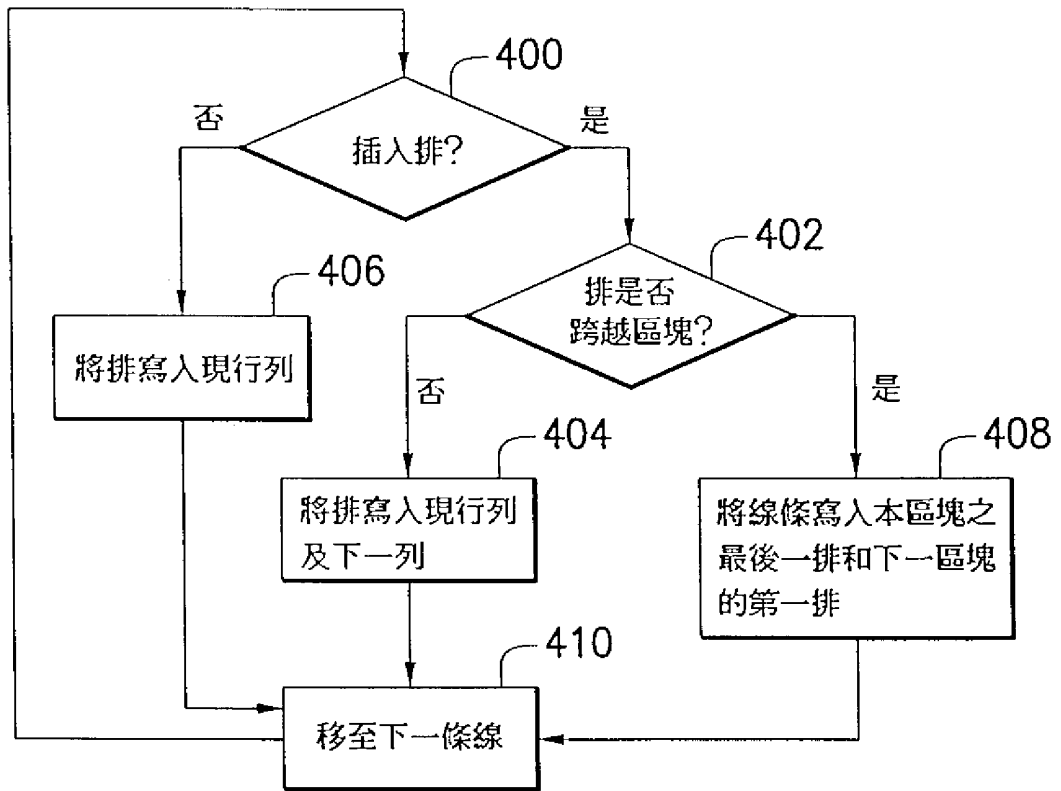
第 6 圖



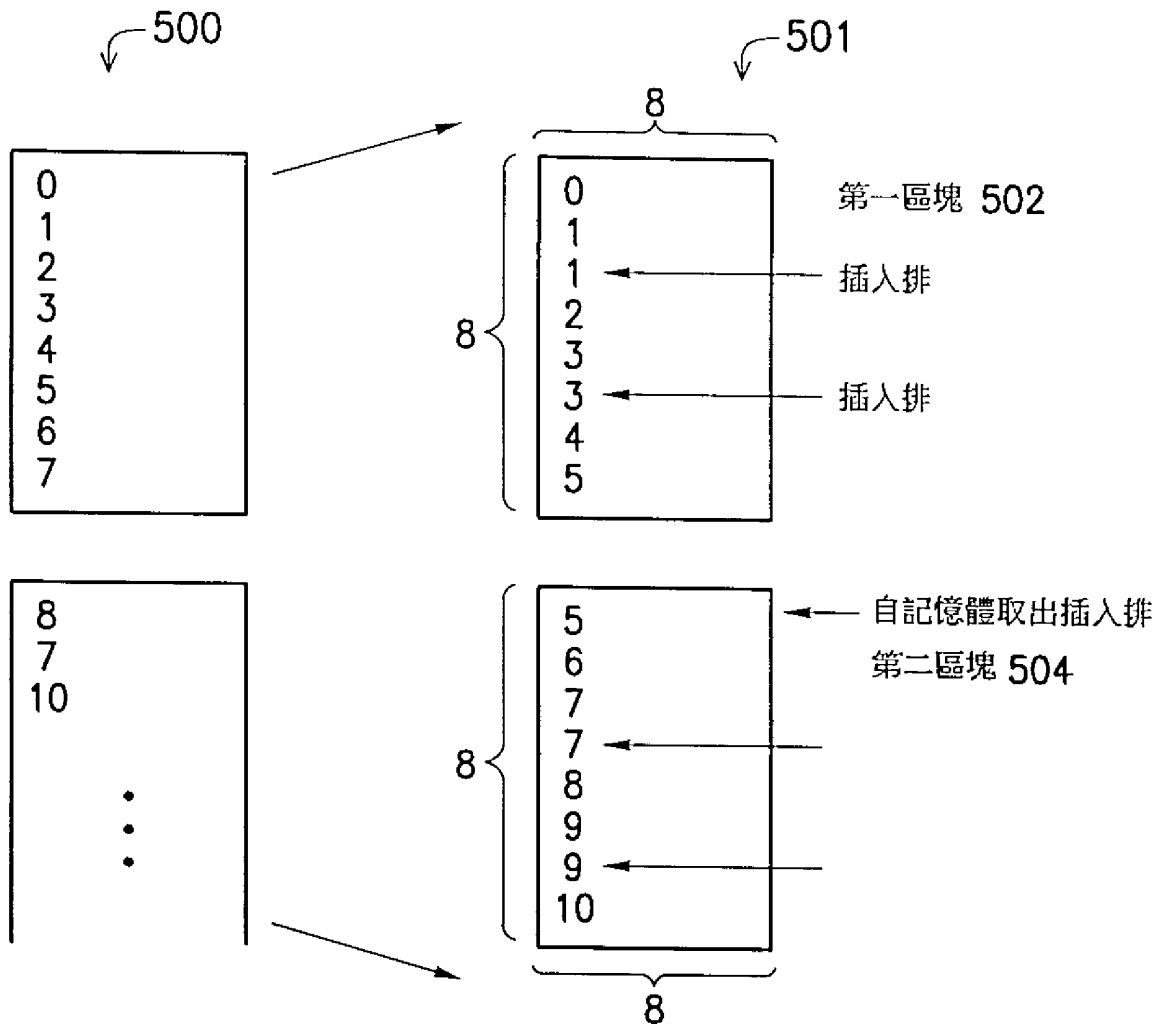
第 7 圖



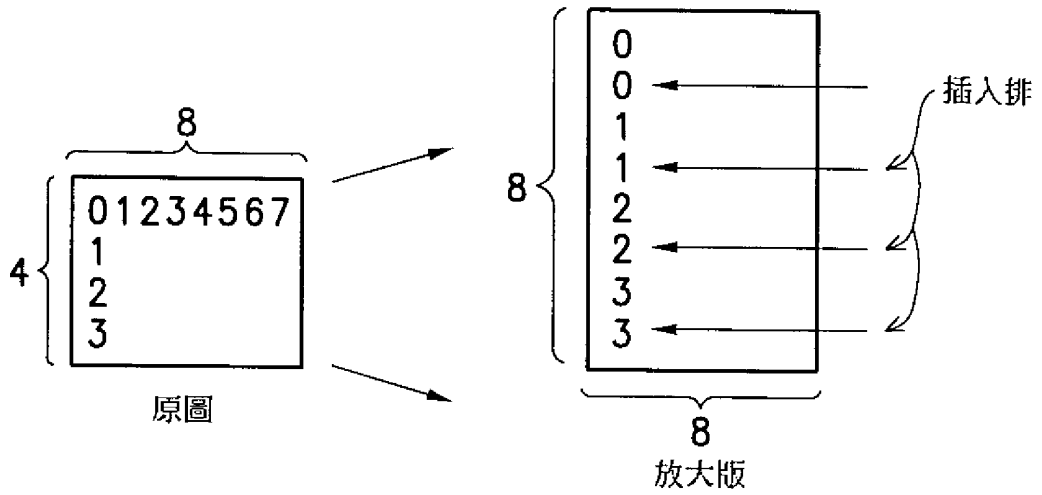
第 8 圖



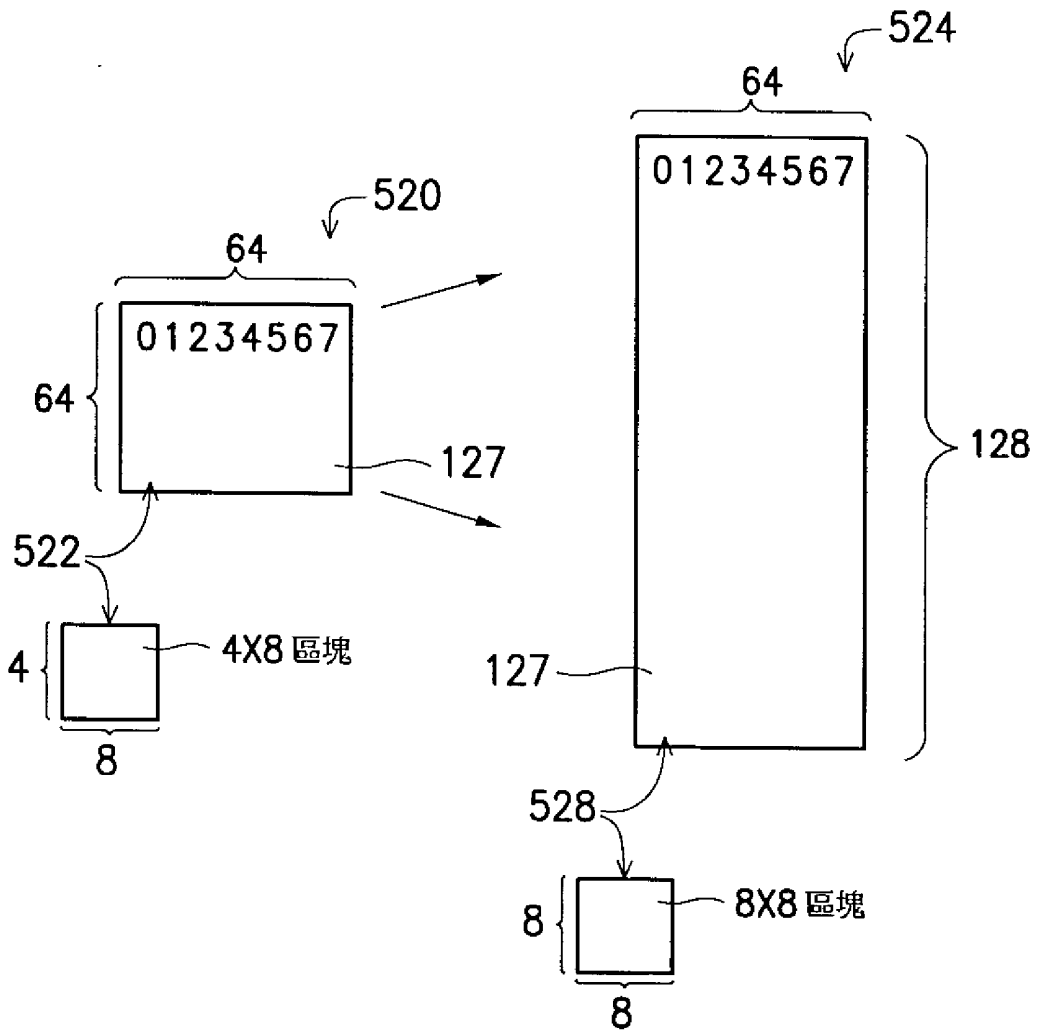
第 9 圖



第 10 圖



第 11 圖



第 12 圖

六、申請專利範圍

1. 一種將第一預設格式資料調整成不同於該第一預設格式的第二預設格式資料的方法，適用於具有視訊壓縮器之系統中，該視訊壓縮器包括一整合調整機制、以及接受該第二預設格式資料的一壓縮引擎；該方法包括：

將該第一預設格式資料送至該調整機制；

將該第一預設格式資料調整成該第二預設格式資料；

以及

將該第二預設格式資料送至該壓縮引擎。

2. 如申請範圍第1項中之方法，其中該視訊壓縮器耦合至儲存該第一預設格式資料之一記憶體，而該記憶體不與將該第二預設格式資料送至該壓縮引擎有交互作用。

3. 如申請範圍第1項中之方法，其中該調整機制具有一緩衝器，該緩衝器具有複數以行列排列之儲存位置，而該方法尚包括：

根據該第一預設格式、該第二預設格式、該現行列、以及先前插入之排數目，宣稱一上插信號；以及

根據該上插信號，選擇性地(1)致能一現行列以接收資料、或(2)同時致能該現行列和下一列。

4. 如申請範圍第3項中之方法，尚包括決定是否宣稱該上插信號，且若未宣稱則：

致能該現行列；以及

將資料寫入該現行列。

5. 如申請範圍第3項中之方法，尚包括決定是否宣稱該上插信號，且若未宣稱則：



六、申請專利範圍

同時致能該現行列與該下一列；以及
同時將資料寫入該現行列與該下一列。

6. 如申請範圍第3項中之方法，尚包括：

決定下一列是否越過一現行區塊與下一區塊間之一邊界；

若否，則同時致能該現行列與該下一列，且同時將資料寫入該現行列與該下一列；以及

若是，則致能該現行列，將資料寫入該現行列，讀取先前所讀取的資料，並將該先前所讀取資料寫入下一區塊的第一列。

7. 一種視訊壓縮器，該視訊壓縮器耦合該記憶體，包括：

一壓縮引擎，用以壓縮資料，該壓縮引擎接受不同於該第一預設格式之第二預設格式資料；

一位址產生器，用以產生存取該第一預設格式資料用之該記憶體所需之位址；以及

一整合調整機制，用以將該第一預設格式資料調整一整合調整機制，用以將該第一預設格式資料調整成該壓縮引擎可接受之該第二預設格式資料，該調整機制具有接收該第一預設格式資料之一輸入、以及耦合至該壓縮引擎提供該第二預設格式資料之一輸出。

8. 如申請範圍第7項中之視訊壓縮器，其中整合調整機制尚包括：

一緩衝器，具有複數個以行列排列之儲存位置；



六、申請專利範圍

一列解碼器，以接收部份位址，據以選擇一列；
一行解碼器，以接收部份位址，據以選擇一行；以及
一多工器，置於該列解碼器與每一列之間，根據一上
插信號選擇性地執行(i)致能一現行列、或(ii)同時致能
一現行列與下一列。

9. 如申請範圍第8項中之視訊壓縮器，其中相同資料
可在該現行列和該下一列同時被致能時，同時寫入該現行
列和該下一列。

10. 如申請範圍第8項中之視訊壓縮器，其中尚包括一
累加器耦合至該多工器，以選擇性地宣稱該上插信號。

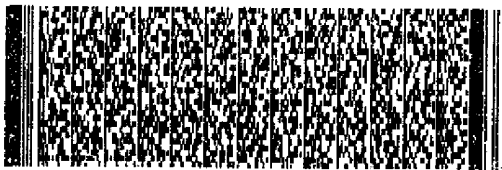
11. 如申請範圍第10項中之視訊壓縮器，其中尚包括
一計數器，當接收到該上插信號則增量二，當未宣稱該上
插信號時則增量一；該計數器耦合至該位址產生器，提供
該位址產生器資料區塊已完成之通知。

12. 如申請範圍第11項中之視訊壓縮器，其中累加器
尚包括：

一加法器，具有第一輸入接收一差分值、第二輸入接
收DDA值、第一輸出提供實現信號、以及第二輸出提供該
等輸入之總和；以及

一正反器，具有第一輸入接收重設信號、第二輸入接
收計時信號、第三輸入接收該加法器之該第二輸出、以及
一輸出提供該DDA值。

13. 如申請範圍第8項中之視訊壓縮器，其中該多工器
尚包括：



六、申請專利範圍

對應於該第一列之一第一多工器，具有第一輸入接收第一列Y-致能信號、一選擇輸入接收該上插信號、以及一輸出；以及

複數第二多工器，分別對應於其他列之一者，每一該第二多工器具有第一輸入接收各對應列Y-致能信號、第二輸入接收緊接在前一系列之Y-致能信號、一選擇輸入以接收該上插信號、以及一輸出。

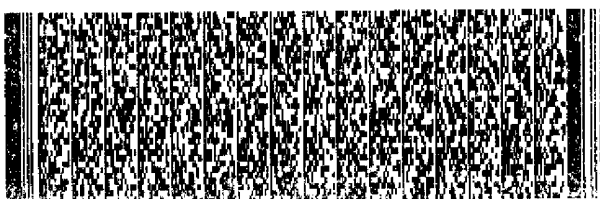
14. 如申請範圍第8項中之視訊壓縮器，其中該整合調整機制尚包括：

- 一緩衝器，具有複數個以行列排列之儲存位置；
- 一系列解碼器，以接收部份位址，據以選擇一系列；
- 一行解碼器，以接收部份位址，據以選擇一行；以及
- 一多工器，置於該行解碼器與每一行之間，根據該上插信號選擇性地執行(i)致能現行行、或(ii)同時致能現行行與下一行。

15. 如申請範圍第14項中之視訊壓縮器，其中多工器尚包括：

對應於該第一行之第一多工器，具有第一輸入接收第一行之X-致能信號、一選擇輸入接收上插信號、以及一輸出；以及

複數個第二多工器，對應於其他行之一者，每一該第二多工器具有第一輸入接收各對應行之X-致能信號、第二輸入接收緊接在前一行之X-致能信號、一選擇輸入接收該上插信號、以及一輸出。



90. 3. 27修正
年 月 日

補充

六、申請專利範圍

16. 如申請範圍第8項中之視訊壓縮器，其中該列解碼器和該行解碼器同指定該緩衝器內之一單元。

