



(12)发明专利

(10)授权公告号 CN 103973223 B

(45)授权公告日 2018.03.23

(21)申请号 201410041543.8

(22)申请日 2014.01.28

(65)同一申请的已公布的文献号  
申请公布号 CN 103973223 A

(43)申请公布日 2014.08.06

(30)优先权数据  
2013-017581 2013.01.31 JP  
2013-074573 2013.03.29 JP

(73)专利权人 日本电波工业株式会社  
地址 日本东京涉谷区笹塚一丁目50番1号  
笹塚NA大楼

(72)发明人 赤池和男 小林薰

(74)专利代理机构 北京同立钧成知识产权代理有限公司 11205

代理人 臧建明

(51)Int.Cl.

H03B 5/04(2006.01)

H03B 5/32(2006.01)

(56)对比文件

CN 102624381 A, 2012.08.01,

US 5214668 A, 1993.05.25,

US 2007229176 A1, 2007.10.04,

JP 2001292030 A, 2001.10.19,

审查员 叶珊

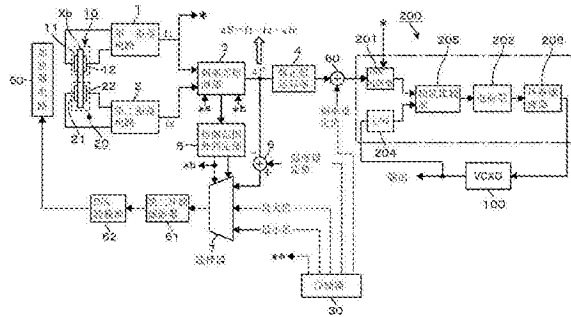
权利要求书2页 说明书14页 附图16页

(54)发明名称

晶体振荡器及振荡装置

(57)摘要

本发明提出一种晶体振荡器及振荡装置。在恒温晶体振荡器中,以高精度控制设置着晶体振动元件及振荡电路的周围温度,从而在输出频率方面获得高稳定性。若将第一晶体振动元件及第二晶体振动元件的振荡输出设为 $f_1$ 、 $f_2$ ,将基准温度下的所述振荡输出的振荡频率分别设为 $f_{1r}$ 、 $f_{2r}$ ,通过频率差检测部对 $\{(f_2-f_1)/f_1\}-\{(f_{2r}-f_{1r})/f_{1r}\}$ 执行运算处理而获得数字值。该运算处理是使用锁相环路来执行。利用检测范围外判定部判定锁相环路的输入值是否处于锁相环路的捕捉范围内,若输入值超出捕捉范围而偏向高温侧,则将加热器电路的供给电力设为零,若偏向低温侧,则将所述供给电力设为最大值。



1. 一种晶体振荡器,其特征在于,包括:

振荡器输出用振荡电路,连接于振荡器输出用晶体振动元件;

第一振荡电路及第二振荡电路,分别连接于温度检测用第一晶体振动元件及第二晶体振动元件;

加热部,用于使设置着所述各晶体振动元件的周围的温度固定化;

脉冲生成部及频率差检测部,其中,若将所述第一振荡电路的振荡频率设为 $f_1$ ,将基准温度下的所述第一振荡电路的振荡频率设为 $f_{1r}$ ,将所述第二振荡电路的振荡频率设为 $f_2$ ,将所述基准温度下的所述第二振荡电路的振荡频率设为 $f_{2r}$ ,所述脉冲生成部在已由所述 $f_1$ 与所述 $f_2$ 中的其中一个锁存另一个的时机输出脉冲;所述频率差检测部利用锁相环路,基于所述脉冲的串,求出直流电压来作为温度检测值,所述直流电压与对应于 $f_1$ 与 $f_{1r}$ 的差量的值和对应于所述 $f_2$ 与所述 $f_{2r}$ 的差量的值的差量值相对应;

加法部,提取设置着所述第一晶体振动元件及所述第二晶体振动元件的周围的温度的温度设定值与所述温度检测值的偏差量;

加热电力控制用电路部,基于由所述加法部提取的所述偏差量,控制供给至所述加热部的电力;

频率测量部,测量所述脉冲的串中的设定时间内的频率;

判定部,判定由所述频率测量部测量的所述频率包含于检测范围内、高温侧的检测范围外、及低温侧的检测范围外中的哪一个;及

信号选择部,若所述脉冲的串中的所述设定时间内的频率处于所述高温侧的检测范围外,选择使供给至所述加热部的电力变得小于在所述检测范围内时的供给电力的控制信号,若所述脉冲的串中的所述设定时间内的频率处于所述低温侧的检测范围外,选择使供给至所述加热部的电力成为事先设定的大小的控制信号。

2. 根据权利要求1所述的晶体振荡器,其特征在于,使供给至所述加热部的电力变得小于在所述检测范围内时的供给电力的控制信号,是使供给至所述加热部的电力成为零的控制信号。

3. 根据权利要求1所述的晶体振荡器,其特征在于,使供给至所述加热部的电力成为事先设定的大小的控制信号,是使供给至所述加热部的电力为最大值或接近最大值。

4. 根据权利要求1所述的晶体振荡器,其特征在于,所述振荡器输出用振荡电路与所述第一振荡电路及第二振荡电路中的其中一个被共用。

5. 根据权利要求1所述的晶体振荡器,其特征在于,所述判定部包括:

对由所述频率测量部测量的所述频率与所述基准温度下的所述脉冲的串的脉冲频率进行比较,并基于比较结果进行所述判定的电路。

6. 根据权利要求1所述的晶体振荡器,其特征在于,所述判定部包括:

判定由所述频率测量部测量的所述频率与所述基准温度下的所述脉冲的串的脉冲频率中哪一个大的电路;及

用于对这些频率差与用来判定为所述检测范围内或所述检测范围外中的哪一个的设定值进行比较的电路。

7. 根据权利要求1所述的晶体振荡器,其特征在于,设置着如下电路,即,所述电路用于在所述判定部已判定由所述频率测量部测量的所述频率为所述高温侧的检测范围外或者

所述低温侧的检测范围外时,基于从所述判定部输出的对应于检测范围外标记的判定信号,使所述频率差检测部的所述锁相环路停止。

8.一种振荡装置,其特征在于,包括:根据权利要求1所述的晶体振荡器;及振荡装置的主体电路部,将所述晶体振荡器的振荡输出作为时钟信号,且包含锁相环路。

## 晶体振荡器及振荡装置

### 技术领域

[0001] 本发明涉及一种晶体振荡器 (crystal oscillator) 及使用该晶体振荡器的振荡装置, 所述晶体振荡器检测设置着晶体振动元件 (crystal resonator) 的周围的温度 (ambient temperature), 并基于温度的检测结果控制加热部, 而使所述周围的温度固定。

### 背景技术

[0002] 晶体振荡器在组入至要求极高频率稳定性的应用 (application) 的情况下, 通常普遍使用恒温晶体振荡器 (oven controlled crystal oscillator, OCXO)。OCXO 中的温度控制是使用热敏电阻 (thermistor) 作为温度检测器, 并使用运算放大器 (operational amplifier)、电阻、电容器 (condenser) 等个别组件 (discrete component) 而构成, 但由于模拟 (analog) 组件各自的偏差或经年变化, 甚至连  $\pm 20\text{m}^\circ\text{C}$  的温度控制也无法进行。

[0003] 然而, 在基站或中继站等中, 要求廉价地使用稳定性极高的时钟 (clock) 信号, 因此, 能够预想到现有的 OCXO 难以应对的状况。

[0004] 在专利文献 1 中, 记载了一种温度补偿晶体振荡器 (Temperature Compensated Crystal Oscillator, TCXO), 捕捉对应于两个晶体振动元件的振荡频率差的值来作为温度检测值, 并利用该温度检测值修正振荡装置的设定频率。所述方法涉及的是基于温度检测来修正振荡频率的 TCXO (temperature compensated crystal oscillator), 而非涉及 OCXO。

[0005] [背景技术文献]

[0006] [专利文献]

[0007] [专利文献 1] 日本专利特开 2012-170050 号公报

### 发明内容

[0008] 本发明是在此种状况之下完成的, 其目的在于提供一种在检测设置着晶体振动元件的周围的温度, 基于温度的检测结果控制加热部, 而使所述周围的温度固定的晶体振荡器 (OCXO) 中, 可以获得频率稳定性高的振荡输出, 并且可以抑制晶体振动元件的良率降低的技术。

[0009] 本发明的晶体振荡器, 包括: 振荡器输出用振荡电路, 连接于振荡器输出用晶体振动元件; 第一振荡电路及第二振荡电路, 分别连接于温度检测用第一晶体振动元件及第二晶体振动元件; 加热部, 用于使设置着所述各晶体振动元件的周围的温度固定化; 脉冲生成部及频率差检测部, 若将第一振荡电路的振荡频率设为  $f_1$ , 将基准温度下的第一振荡电路的振荡频率设为  $f_{1r}$ , 将第二振荡电路的振荡频率设为  $f_2$ , 将基准温度下的第二振荡电路的振荡频率设为  $f_{2r}$ , 所述脉冲生成部在已由所述  $f_1$  与  $f_2$  中的其中一个锁存 (latch) 另一个的时机 (timing) 输出脉冲 (pulse), 所述频率差检测部利用锁相环路 (Phase Locked Loop, PLL), 基于所述脉冲的串, 求出与对应于  $f_1$  与  $f_{1r}$  的差量的值和对应于  $f_2$  与  $f_{2r}$  的差量的值的差量值相对应的直流电压来作为温度检测值; 加法部, 提取设置着所述第一晶体振动元

件及所述第二晶体振动元件的周围的温度的温度设定值与所述温度检测值的偏差量;加热电力控制用电路部,基于由该加法部所提取的偏差量,控制供给至所述加热部的电力;频率测量部,测量所述脉冲的串中的设定时间内的频率;判定部,判定由所述频率测量部测量的频率包含于检测范围内、高温侧的检测范围外、及低温侧的检测范围外中的哪一个;及信号选择部,若所述脉冲的串中的设定时间内的频率处于高温侧的检测范围外,选择使供给至所述加热部的电力变得小于在所述检测范围内时的供给电力的控制信号,若所述脉冲的串中的设定时间内的频率处于低温侧的检测范围外,选择使供给至所述加热部的电力成为事先设定的大小的控制信号。

[0010] [发明的效果]

[0011] 本发明是一种检测设置着晶体振动元件的周围的温度,基于温度的检测结果控制加热部,而使所述周围的温度固定的晶体振荡器(OCXO),以将对应于两个晶体振动元件的振荡频率的差量的值作为温度检测值而处理的装置作为对象。而且,将由另一个晶体振动元件的振荡频率锁存其中一个晶体振动元件的振荡频率而获得的脉冲的串取入至PLL,生成温度检测值。在此种电路中,判定所述脉冲的串的设定时间内的频率能否被捕捉至PLL,若脉冲的串中的设定时间内的频率处于高温侧的检测范围外,将供给至加热部的电力例如设为零,若脉冲的串中的设定时间内的频率处于低温侧的检测范围外,将所述电力例如设为最大值。

[0012] 因此,可以解决若温度检测值成为不定值便无法进行正常的加热器控制的问题,从而能够获得频率稳定性高的振荡输出。这样便可放宽对第一晶体振动元件及第二晶体振动元件各自的频率-温度特性的要求,结果为,能够抑制晶体振动元件的良率降低。

## 附图说明

[0013] 图1是表示本发明的实施方式的整体构成的框图(block diagram)。

[0014] 图2是表示本发明的实施方式的一部分的框图。

[0015] 图3是图2所示的一部分的输出的波形图。

[0016] 图4是示意性地表示图2所示的包含直接数字合成(Direct Digital Synthesizer, DDS)电路部的环路中未锁定(lock)状态的各部的波形图。

[0017] 图5是示意性地表示图2所示的包含DDS电路部的环路中锁定状态的各部的波形图。

[0018] 图6是针对对应于所述实施方式的实际的装置的所述环路中的各部的波形图。

[0019] 图7是表示第一振荡电路的频率 $f_1$ 及第二振荡电路的频率 $f_2$ 与温度的关系的频率温度特性图。

[0020] 图8是表示利用基准温度下的值使各个 $f_1$ 的变化率及 $f_2$ 的变化率标准化所得的值与温度的关系的频率温度特性图。

[0021] 图9是表示图8所示的OSC1与OSC2的差量和温度的关系的频率温度特性图。

[0022] 图10是表示频率差检测部的数字(digital)输出值与温度的关系的特性图。

[0023] 图11是表示构成加热部的加热器电路(heater circuit)的电路图。

[0024] 图12是表示所述实施方式的振荡装置的构造的概略纵截面侧视图。

[0025] 图13(a)、图13(b)是表示第一晶体振动元件及第二晶体振动元件的各频率温度特

性的一例的特性图。

[0026] 图14(a)、图14(b)是表示第一晶体振动元件及第二晶体振动元件的各频率温度特性的一例的特性图。

[0027] 图15是表示对应于输入至频率差检测部的PLL的信号的值与从PLL提取的数字值的对应关系的曲线图(graph),以及表示所述曲线图与加热器控制的关系的说明图。

[0028] 图16是表示检测范围外判定部的详细情况的电路图。

[0029] 图17是表示插入至所述PLL的逻辑电路的电路图。

[0030] 图18是表示图16所示的检测范围外判定部的各部的信号或者值的时序图(time chart)。

[0031] [符号的说明]

[0032] 1:第一振荡电路

[0033] 2:第二振荡电路

[0034] 3:频率差检测部

[0035] 4:修正值运算部

[0036] 5:检测范围外判定部

[0037] 6:第二加法部

[0038] 7:选择器

[0039] 10:第一晶体振动元件

[0040] 11、12、21、22:电极

[0041] 20:第二晶体振动元件

[0042] 30:存储器

[0043] 31:正反器电路

[0044] 32:单触发电路

[0045] 33、72:锁存电路

[0046] 34:第一环路滤波器

[0047] 35:第一加法部

[0048] 36、201:DDS电路部

[0049] 37:平均化电路

[0050] 38:逻辑电路

[0051] 38-1~38-n:逻辑元件

[0052] 50:加热器电路

[0053] 51:容器

[0054] 52:印刷电路板

[0055] 60:加法部

[0056] 61:第二环路滤波器

[0057] 62:D/A转换部

[0058] 63a、63b、63c、63d:晶体管

[0059] 64a、64b、64c、64d:电阻

[0060] 71:计数器

- [0061] 73: 计时器
- [0062] 74: 第三加法部
- [0063] 74a: 绝对值转换部
- [0064] 75: 第四加法部
- [0065] 76: 第一极性判定部
- [0066] 77: 第二极性判定部
- [0067] 100: 电压控制振荡器
- [0068] 200: 控制电路部
- [0069] 202: 电荷泵
- [0070] 204: 分频器
- [0071] 205: 相位比较部
- [0072] 206: 环路滤波器
- [0073] 300: 集成电路部
- [0074]  $f_1$ 、 $f_{1r}$ 、 $f_2$ : 振荡频率
- [0075]  $V_c$ : 电源部
- [0076]  $X_b$ : 晶体片
- [0077]  $\Delta F$ 、 $\Delta f_r$ : 差量

### 具体实施方式

[0078] [实施方式的概要]

[0079] 在说明本发明的实施方式的详细情况之前,简单叙述该实施方式的概略。图1中由符号200所表示的部分在该说明书中称为控制电路部,但实际上一般是利用PLL的具有振荡功能的电路。符号201是输出用于PLL的参照信号的直接数字合成器(Direct Digital Synthesizer, DDS)。

[0080] 用于使该DDS动作的时钟信号,使用的是图1中由符号1所表示的第一振荡电路的振荡输出。因此,结果是为了使来自电压控制振荡器100的输出(该输出在该例中相当于产品的振荡输出)稳定,必须使所述时钟信号稳定。

[0081] 因此,为了使第一振荡电路1的振荡输出稳定,而使用加热器电路50使第一晶体振动元件10的周围温度固定化。通过事先掌握相当于第一晶体振动元件10及第二晶体振动元件20两者的振荡频率的差量的值与温度的关系,而使用相当于该差量的值作为用于控制加热器电路50的发热量的温度检测信号。

[0082] 关于相当于所述振荡频率的差量的值将在下文进行叙述,为了避免用语的繁杂,对求出该值的部分使用频率差检测部3这一用语。此外,在该实施方式中,相当于温度检测信号的频率差检测部3的输出 $\Delta F$ 不仅用于加热器电路50的控制,而且用于相当于电压控制振荡器100的输出频率的设定值的频率设定值的修正。所述频率设定值是由计算机(computer)读出存储器(memory)30内的数据(data)而输出。因此,该实施方式的振荡装置具备OCXO的功能及TCXO的功能。此外,本发明也适用于不具备TCXO的功能的情况。

[0083] 而且,该实施方式包含如下电路部分:在利用频率差检测部3生成相当于温度检测信号的前文所述的 $\Delta F$ 时,判定第一振荡电路1的振荡频率与第二振荡电路2的振荡频率的

差是否处于频率差检测部3的检测范围内,并采取适当的对策。该电路部分在图1中相当于检测范围外判定部5及选择器(selector)7。

[0084] [实施方式的整体说明]

[0085] 接着,对本发明的实施方式的整体情况进行详细说明。图1是表示使用本发明的实施方式的晶体振荡器而构成的振荡装置的整体框图。该振荡装置构成为输出所设定的频率的频率信号的频率合成器(frequency synthesizer),且包括:电压控制振荡器100,使用有晶体振动元件;控制电路部200,构成该电压控制振荡器100中的PLL;晶体振荡器(未标注符号),生成用于使用来生成所述PLL的参照信号的DDS电路部201动作的时钟信号;及作为加热部的加热器电路50,用于调整该晶体振荡器中的设置着第一晶体振动元件10、第二晶体振动元件20的周围的温度。

[0086] 另外,该振荡装置还包含温度补偿部,该温度补偿部对输入至控制电路部200的基准时钟进行温度补偿。虽未对温度补偿部标注符号,但其相当于图1中的比控制电路部200更靠左侧的部分,且与用于控制所述加热器电路50的电路部分共用化。

[0087] 控制电路部200利用相位比较部205比较从DDS电路部201输出的参考(reference)(参照用)时钟与利用分频器204分频电压控制振荡器100的输出所得的时钟的相位,并通过电荷泵(charge pump)202将其比较结果即相位差模拟化。经模拟化的信号输入至环路滤波器(loop filter)206,以使PLL(Phase locked loop)稳定地进行控制。因此,也可以说控制电路部200就是PLL部。此处,DDS电路部201将从下述第一振荡电路1输出的频率信号用作基准时钟,而输入用于输出作为目的的频率的信号的频率数据(数字值(digital value))。

[0088] 然而,由于所述基准时钟的频率具有温度特性,所以为了消除该温度特性,而利用加法部60对输入至DDS电路部201的所述频率数据加上对应于下述频率修正值的信号。通过修正输入至DDS电路部201的频率数据,而消除基于基准时钟的温度特性变动量的DDS电路部201的输出频率的温度变动量,结果为,参照用时钟的频率相对于温度变动而稳定,因此,来自电压控制振荡器100的输出频率变得稳定。

[0089] 如下所述,在该实施方式中,生成基准时钟的晶体振荡器是作为OCXO而构成,因此,基准时钟的频率稳定,因而可以说该基准时钟的温度特性消失。然而,该实施方式存在如下优点,即,当发生加热器的问题等时,通过以补偿基于基准时钟的温度特性变动量的DDS电路部201的输出频率的温度变动量的方式而构成,可构成可靠性极高的频率合成器。

[0090] 接着,对本发明的相当于晶体振荡器的OCXO的部分进行说明。该晶体振荡器包含第一晶体振动元件10及第二晶体振动元件20,且这些第一晶体振动元件10及第二晶体振动元件20是使用共用的晶体片Xb而构成。即,例如将短条状的晶体片Xb的区域在长度方向上分割成两部分,且在各分割区域(振动区域)的正背两面设置激励用电极。因此,由其中一个分割区域与一对电极11、电极12构成第一晶体振动元件10,由另一个分割区域与一对电极21、电极22构成第二晶体振动元件20。因此,可以说第一晶体振动元件10及第二晶体振动元件20是经热结合而成的。作为晶体片Xb,在该例中使用AT截法(AT-cut)。

[0091] 在第一晶体振动元件10及第二晶体振动元件20分别连接着第一振荡电路1及第二振荡电路2。这些第一振荡电路1、第二振荡电路2的输出均可为例如第一晶体振动元件10、第二晶体振动元件20的泛音(overtone)(高次谐波),也可为基波(fundamental wave)。在获得泛音的输出的情况下,例如也可在包含晶体振动元件与放大器(amplifier)的振荡环



路(oscillation loop)内设置泛音的调谐电路(tuning circuit),而利用泛音使振荡环路振荡。或者,也可利用基波使振荡环路振荡,在振荡段的后段例如作为柯匹子(Colpitts)电路的一部分的放大器的后段设置C级放大器,利用该C级放大器使基波变形,并且在C级放大器的后段设置与泛音调谐的调谐电路,结果为,从第一振荡电路1、第二振荡电路2均输出例如三次泛音的振荡频率。

[0092] 此处为方便起见,若设为从第一振荡电路1输出频率 $f_1$ 的频率信号,从第二振荡电路2输出频率 $f_2$ 的频率信号,频率 $f_1$ 的频率信号被作为基准时钟供给至所述控制电路部200.3为频率差检测部,概括来说,该频率差检测部3是用于提取 $f_1$ 与 $f_2$ 的差量和 $\Delta f_r$ 的差量,即 $f_2-f_1-\Delta f_r$ ,的电路部。 $\Delta f_r$ 是基准温度例如 $25^\circ\text{C}$ 下的 $f_1$ ( $f_{1r}$ )与 $f_2$ ( $f_{2r}$ )的差量。若列举 $f_1$ 与 $f_2$ 的差量的一例,例如为数MHz。本发明通过利用频率差检测部3计算对应于 $f_1$ 与 $f_2$ 的差量的值和对应于基准温度例如 $25^\circ\text{C}$ 下的 $f_1$ 与 $f_2$ 的差量的值的差量,即 $\Delta F$ 而成立。在该实施方式的情况下,更详细而言,利用频率差检测部3所获得的值为 $\{(f_2-f_1)/f_1\}-\{(f_{2r}-f_{1r})/f_{1r}\}$ 。但是,在附图中省略频率差检测部3的输出的表示。

[0093] 图2表示频率差检测部3的具体例。31是正反器(flip-flop)电路(F/F电路),来自第一振荡电路1的频率 $f_1$ 的频率信号输入至该正反器电路31的其中一个输入端,从第二振荡电路2将频率 $f_2$ 的频率信号输入至另一个输入端,通过来自第二振荡电路2的频率 $f_2$ 的频率信号对来自第一振荡电路1的频率 $f_1$ 的频率信号进行锁存。以下为了避免冗长的记载,使 $f_1$ 、 $f_2$ 表示频率或者频率信号本身而处理。正反器电路31输出具有对应于 $f_1$ 与 $f_2$ 的频率差的值即 $(f_2-f_1)$ 的频率的信号。

[0094] 在正反器电路31的后段设置着单触发(one-shot)电路32,在单触发电路32中,利用从正反器电路31获得的脉冲信号的上升,输出单触发的脉冲。图3是表示以上一系列信号的时序图。

[0095] 在单触发电路32的后段设置着PLL(Phase Locked Loop),该PLL包含锁存电路33、具有积分功能的第一环路滤波器34、第一加法部35及DDS电路部36。另外,在锁存电路33与第一环路滤波器34之间设置着逻辑电路38,该逻辑电路38用于阻止在固定的条件下锁存电路33的输出输入至第一环路滤波器34。

[0096] 锁存电路33用于通过从单触发电路32输出的脉冲锁存从DDS电路部36输出的锯齿波(sawtooth wave),锁存电路33的输出为输出所述脉冲的时机中的所述锯齿波的信号电平(level)。第一环路滤波器34对作为该信号电平的直流电压进行积分,第一加法部35将该直流电压与对应于 $\Delta f_r$ (基准温度例如 $25^\circ\text{C}$ 下的 $f_1$ 与 $f_2$ 的差量)的直流电压相加。对应于 $\Delta f_r$ 的直流电压的数据储存在图1所示的存储器30。

[0097] 在该例中,第一加法部35中的符号在对应于 $\Delta f_r$ 的直流电压的输入侧为“+”,在第一环路滤波器34的输出电压的输入侧为“-”。对DDS电路部36输入如下所述的电压,即,自利用第一加法部35运算所得的直流电压,即对应于 $\Delta f_r$ 的直流电压,减去第一环路滤波器34的输出电压所得的电压,而输出与该电压值相对应的频率的锯齿波。为了易于理解PLL的动作,图4中非常示意性地表示各部的输出的情况,并且进行非常示意性的说明,以便能够直观地掌握。在装置启动时,对应于 $\Delta f_r$ 的直流电压通过第一加法部35输入至DDS电路部36,例如,若 $\Delta f_r$ 为5MHz,从DDS电路部36输出与该频率相对应的频率的锯齿波。

[0098] 所述锯齿波通过锁存电路33利用对应于 $(f_2-f_1)$ 的频率的脉冲进行锁存,若 $(f_2-$

f1) 例如为6MHz, 锁存用脉冲的周期短于锯齿波, 因此, 锯齿波的锁存点 (latch point) 如图4的 (a) 所示那样逐渐下降, 锁存电路33的输出及第一环路滤波器34的输出如图4的 (b)、(c) 所示那样逐渐向“-”侧下降。因为第一加法部35中的第一环路滤波器34的输出侧的符号为“-”, 所以从第一加法部35输入至DDS电路部36的直流电压上升。因此, 从DDS电路部36输出的锯齿波的频率变高, 当对DDS电路部36输入对应于6MHz的直流电压时, 锯齿波的频率成为6MHz, 而如图5的 (a) ~ (c) 所示那样锁定PLL。此时, 从第一环路滤波器34输出的直流电压成为对应于  $\Delta f_r - (f_2 - f_1) = -1\text{MHz}$  的值。也就是说, 可以说第一环路滤波器34的积分值相当于锯齿波从5MHz向6MHz变化时的1MHz的变化量的积分值。

[0099] 与该例相反地, 在  $\Delta f_r$  为6MHz,  $(f_2 - f_1)$  为5MHz的情况下, 因为锁存用脉冲的周期长于锯齿波, 所以图4的 (a) 所示的锁存点逐渐升高, 锁存电路33的输出及第一环路滤波器34的输出也随之上升。因此, 在第一加法部35中被减去的值变大, 所以, 锯齿波的频率逐渐下降, 最终与  $(f_2 - f_1)$  同样成为5MHz时锁定PLL。此时, 从第一环路滤波器34输出的直流电压成为对应于  $\Delta f_r - (f_2 - f_1) = 1\text{MHz}$  的值。此外, 图6为实测数据, 在该例中在时刻  $t_0$  将PLL锁定。

[0100] 在此, 如前文所述, 实际上频率差检测部3的输出, 即图2所示的平均化电路37的输出, 是将  $\{(f_2 - f_1) / f_1\} - \{(f_{2r} - f_{1r}) / f_{1r}\}$  的值利用34比特 (bit) 的数字值表示的值。若将  $-50^\circ\text{C}$  左右至  $100^\circ\text{C}$  左右的该值的集合设为  $(f_1 - f_{1r}) / f_{1r} = \text{OSC1}$  (单位为ppm或者ppb),  $(f_2 - f_{2r}) / f_{2r} = \text{OSC2}$  (单位为ppm或者ppb), 相对于温度的变化成为与  $\text{OSC2} - \text{OSC1}$  实质相同的曲线 (curve)。因此, 频率差检测部3的输出可设为  $\text{OSC2} - \text{OSC1} = \text{温度数据}$  而进行处理。

[0101] 另外, 在正反器电路31中通过  $f_2$  锁存  $f_1$  的动作为非同步, 所以也存在亚稳态 (metastable) (当利用时钟的边缘 (edge) 锁存输入数据时, 锁存的边缘的前后固定时间必须保持输入数据, 但由于时钟与输入数据大致同时地变化, 而使输出变得不稳定的状态) 等不定区间产生的可能性, 从而存在于第一环路滤波器34的输出包含瞬间误差的可能性。因此, 在第一环路滤波器34的输出侧设置求出预先设定的时间的输入值的移动平均值的平均化电路37, 即便产生所述瞬间误差, 也可将其去除。通过设置平均化电路37, 最终可高精度地获取变动温度量的频率偏移信息, 但也可设为不设置平均化电路37的构成。

[0102] 此处, 参照图7至图10, 对利用PLL的第一环路滤波器34所获得的变动温度量的频率偏移信息即  $\text{OSC2} - \text{OSC1}$  进行说明。图7是利用基准温度使  $f_1$  及  $f_2$  标准化, 而表示温度与频率的关系的特性图。此处所说的标准化, 是指例如将  $25^\circ\text{C}$  设为基准温度, 针对温度与频率的关系, 将基准温度下的频率设为零, 求出频率自基准温度下的频率的偏移量与温度的关系。若将第一振荡电路1中的  $25^\circ\text{C}$  时的频率设为  $f_{1r}$ , 将第二振荡电路2中的  $25^\circ\text{C}$  时的频率设为  $f_{2r}$ , 也就是将  $25^\circ\text{C}$  下的  $f_1$ 、 $f_2$  的值分别设为  $f_{1r}$ 、 $f_{2r}$ , 图7的纵轴的值成为  $(f_1 - f_{1r})$  及  $(f_2 - f_{2r})$ 。

[0103] 另外, 图8表示图7所示的各温度的频率相对于基准温度 ( $25^\circ\text{C}$ ) 下的频率的变化率。因此, 图8的纵轴的值  $(f_1 - f_{1r}) / f_{1r}$  及  $(f_2 - f_{2r}) / f_{2r}$ , 也就是如前文所述那样, 为  $\text{OSC1}$  及  $\text{OSC2}$ 。此外, 图8的纵轴的值单位为ppm。

[0104] 图9表示  $\text{OSC1}$  与温度的关系 (与图8相同) 及  $(\text{OSC2} - \text{OSC1})$  与温度的关系, 可知  $(\text{OSC2} - \text{OSC1})$  相对于温度呈线性关系。因此, 可知  $(\text{OSC2} - \text{OSC1})$  与自基准温度的温度变动偏移量相对应。而且, 一般来说, 晶体振动元件的频率温度特性由三次函数表示, 所以, 只要求

出利用该三次函数算出的抵消频率变动量的频率修正值与(OSC2-OSC1)的关系,便可基于(OSC2-OSC1)的检测值求出频率修正值。

[0105] 另外,图10表示频率差检测部3的输出信号即34比特的数字值与温度的关系。因此,可知(OSC2-OSC1)与自基准温度的温度变动偏移量相对应。

[0106] 若回到图1进行说明,频率差检测部3的输出值实质上为(OSC2-OSC1),如图9所示,可将该值称为设置着第一晶体振动元件10、第二晶体振动元件20的温度检测值。因此,在频率差检测部3的后段设置第二加法部(偏差量提取电路)6,而提取出作为数字信号的温度设定值(设定温度下的OSC2-OSC1的34比特的数字值)与作为频率差检测部3的输出的OSC2-OSC1的差量。温度设定值优选为选择使用于获得晶体振荡器的输出的对应于第一晶体振动元件10的OSC1的值不易因温度变化而变动的温度。该温度可选择图8所示的OSC1与温度的关系曲线中例如对应于底部(bottom)部分的50℃。此外,就使OSC1的值不易因温度变化而变动的温度的观点来说,也可将10度设为设定温度,这时也有低于室温的情况,因此,设置组合加热部及珀尔帖(peltier)元件等的冷却部而成的调温部。

[0107] 而且,在第二加法部6的后段设置着输出从三个输入端口(port)选择的数字信号的选择器7,在该选择器7的后段设置着相当于积分电路部的第二环路滤波器61。若前文所述的输入至频率差检测部3的f1与f2的差量为检测范围,该选择器7将第二加法部6的输出信号直接输出至第二环路滤波器61。关于选择器7,将在后文与检测范围外判定部5一并进行说明,此处,对第二环路滤波器61的后段进行叙述。

[0108] 在第二环路滤波器61的后段设置着数字/模拟(Digital-Analog,D/A)转换部62。在D/A转换部62的后段设置着相当于加热部的加热器电路50。在该例中,第二环路滤波器61与D/A(数字/模拟)转换部62包含于加热器控制用电路部。

[0109] 如图11所示,加热器电路50包括串联电路,该串联电路包含在电源部Vc与地线(earth)之间相互并联连接的晶体管(transistor)63a(晶体管63b~晶体管63c)及电阻64a(电阻64b~电阻64c)。D/A转换部62的输出端连接于四个晶体管63a~晶体管63d的基部(base)。供给至晶体管63a~晶体管63d的各基部的电压与晶体管63a~晶体管63d的消耗电力及电阻64b~电阻64d的消耗电力的合计电力的关系成为线性关系。因此,根据前文所述的温度数据与温度设定值的差量线性地控制发热温度。在该例中,晶体管63a~晶体管63d也是发热部的一部分。

[0110] 图12是表示图1所示的振荡装置的概略构造的图。51是容器,52是设置在容器51内的印刷电路板。在印刷电路板52的上表面侧设置着第一晶体振动元件10、第二晶体振动元件20、将包含第一振荡电路1、第二振荡电路2及频率差检测部3等在内的进行数字处理的电路单芯片(one-chip)化而成的集成电路部300、以及控制电路部200等。另外,在印刷电路板52的下表面侧,例如在与第一晶体振动元件10、第二晶体振动元件20相对向的位置设置着加热器电路50,通过该加热器电路50的发热,将第一晶体振动元件10、第二晶体振动元件20维持于设定温度。

[0111] [实施方式的主要部分的说明]

[0112] 频率差检测部的课题

[0113] 图13(a)针对两个晶体振动元件的频率,表示某温度下的值相对于作为基准温度的例如25℃下的值的频率变化率,图13(b)表示两条曲线的频率变化率的差量与温度的关

系。另外,图14(a)、图14(b)针对其他两个晶体振动元件,表示同样的关系。从这些曲线图可知,可以说成为温度检测部的两个晶体振动元件的各频率—温度特性根据两个晶体振动元件的组合而存在偏差。

[0114] 在此,若采用表示所述式的值的运算值与温度的关系的曲线,该曲线成为和表示所述频率变化率即 $[(f_2-f_{2r})/f_{2r}] - [(f_1-f_{1r})/f_{1r}]$ 与温度的关系的曲线相同。因此,利用设置在单触发电路32的后段的PLL所获得的值会求出图14(b)的纵轴。为了使PLL正常动作,必须使作为PLL的输入值的单触发电路32的输出频率 $(f_2-f_1)$ 位于PLL可捕捉的频率的范围。

[0115] 图15的上段是将使单触发电路32的输出频率(PLL的输入值)可变时的值作为横轴,将从第一环路滤波器34实际所获得的值作为纵轴的曲线图。从图15可知,单触发电路32的输出频率在PLL可捕捉的范围内成为线性关系。然而,若单触发电路32的输出频率超出PLL可捕捉的范围,第一环路滤波器34的值成为不定值(对于PLL的输入值可见大致的趋势,但值不一定是一直相同的状态)。

[0116] 如此一来,若第一环路滤波器34的值也就是温度检测值成为不定值,无法进行正常的加热器控制。例如,存在如下问题,即,尽管为因设置着晶体振动元件的温度过高而必须断开加热器电路50的状态,但是加热器电路50仍保持接通的状态。或者,产生如下问题,即,尽管设置着晶体振动元件的周围的温度变低而必须增大加热器电路50的功率(power),但是加热器电路50断开或者无法将适当的功率供给至加热器电路50。因此,必须选定具有适当的频率—温度特性的晶体振动元件作为第一晶体振动元件及第二晶体振动元件,这一点关系到晶体振动元件的良率降低。

[0117] 与频率差检测部相关的设计事项

[0118] 在该实施方式中,具备检测范围外判定部5(参照图1),其构成用于判定取入至频率差检测部3的PLL的单触发电路32的输出频率是否处于PLL可捕捉的范围(检测范围)内的判定部。检测范围外判定部5除具备该判定功能外,还具备如下功能:当所述输出频率未处于检测范围内时,判定其是大于检测范围的值,还是小于检测范围的值。

[0119] 现在,将图15的横轴中的例如“-50”至“50”的范围设定为检测范围内。为便于说明,将把这些值换算成单触发电路32的输出频率的值后所得的值分别定义为“ $f_{-50}$ ”及“ $f_{50}$ ”。此外,即便略微超出“-50”至“50”的范围,但实际上可进行向PLL内的频率的捕捉,视容限(margin)而设定检测范围。

[0120] 此情况下,检测范围外判定部5具备如下功能:检测来自单触发电路32的输出频率(输出脉冲的频率)的值,判定该所述输出频率是否位于“ $f_{-50}$ ”与“ $f_{50}$ ”之间(检测范围)。此外,检测范围外判定部5具备如下功能:当所述输出频率为检测范围外时,判定其偏向“ $f_{-50}$ ”侧(偏向低温侧),还是偏向“ $f_{50}$ ”侧(偏向高温侧)。判定所述输出频率位于检测范围的高温侧还是低温侧的依据在于加热器控制的内容根据其位置而变化。

[0121] 图16表示实现此种功能的检测范围外判定部5的电路构成的一例。单触发电路32的输出脉冲通过计数器(counter)71仅在固定时间进行计数(count),利用锁存电路72锁存其计数值。计时器(timer)73以固定时间间隔对计数器71清除(clear)计数值,并且对锁存电路72输出用于锁存该时间之前的计数值的信号。例如从外部的计算机对存储器30输入用于设定计数区间的信号,根据该设定信号调整来自计时器73的所述信号的输出的时机(所

述固定时间间隔)。在该例中,所述计数器71、锁存电路72及计时器73构成测量单触发电路32的输出脉冲的串中的设定时间内的频率的频率测量部。

[0122] 以下,为了简化说明,将来自计时器73的时机信号的时间间隔设为一秒来进行处理以便于说明。

[0123] 利用第三加法部74对从锁存电路72输出的计数值与基准频率差参数(parameter)进行比较,提取出其差量,并利用绝对值转换部74a求出该差量值(若考虑输入值的极性,为加法值)的绝对值。该计算相当于在图15的上段的曲线图中,求出在横轴方向上对应于零点的单触发电路32的输出频率与检测出的输出频率的差量。另外,根据第三加法部74的输出值的正、负符号,可知利用锁存电路72锁存的频率与基准频率参数中的哪一个大,所以可称为用于比较两者的信号的电路。

[0124] 因此,基准频率差参数是 $[(f_2-f_{2r})/f_{2r}] - [(f_1-f_{1r})/f_{1r}]$ 的值成为零的温度(在图7及图8中纵轴的值成为零的温度)也就是基准温度(例如25℃)下的锁存电路72的输出值。具体来说,是对应于前文所述的“f<sub>-50</sub>”与“f<sub>50</sub>”的中间值(将两者相加后除以2所得的值)的值。

[0125] 此外,利用第四加法部75对所述绝对值与检测范围设定值进行比较。即,在第四加法部75中,自检测范围设定值减去所述绝对值。若与图15的上段的曲线图相对应,检测范围设定值是对应于相当于检测范围的上限值(或者下限值)的值与“-50”及“50”的中间值的差量的绝对值(距离)的值。具体来说,检测范围设定值是“f<sub>-50</sub>”(或者“f<sub>50</sub>”)与这些的中间值的差量的绝对值。

[0126] 因此,若第四加法部75中的加法值的符号为正,单触发电路32的输出频率位于“f<sub>-50</sub>”与“f<sub>50</sub>”之间,处于检测范围内。反之,若第四加法部75中的加法值的极性为负,单触发电路32的输出频率是超出“f<sub>-50</sub>”与“f<sub>50</sub>”之间的值,为检测范围外。第一极性判定部76判定第四加法部75中的加法值的极性,若加法值的极性为负,输出逻辑“1”的值来作为检测范围外标记(flag)。

[0127] 另一方面,关于利用第三加法部74所获得的加法值,利用第二极性判定部77判定该加法值的极性。若该极性为正,由于单触发电路32的输出频率大于基准频率差参数的值,所以相比检测范围而更靠高温侧,此情况下从第二极性判定部77输出逻辑“0”的值。反之,若所述极性为负,由于所述输出频率小于基准频率差参数的值,所以相比检测范围而更靠低温侧,此情况下从第二极性判定部77输出逻辑“1”的值。

[0128] 回到图1中,在第二加法部6的后段侧的信号路径设置着作为信号选择部的选择器7。选择器7是组合逻辑电路而构成,基于来自所述检测范围外判定部5的判定信号,来自第二加法部6的输出值、加热器控制信号的最大值、及加热器控制信号的最小值的三个输入值中选择一个输入值。信号选择的目的在于:若单触发电路32的输出频率为所述检测范围内,直接输出来自第二加法部6的输出值,但若所述输出频率为检测范围外,根据加热器电路50的温度特性的正、负,使供给至加热器电路50的电力(功率)成为最小或者最大。图11所示的加热器电路50虽具有负温度特性,但为便于说明,此处设为加热器电路50为正特性而进行说明。在加热器电路50为正特性的情况下,选择器7具有如下功能:若所述输出频率偏向检测范围的高温侧,使加热器电路50的功率成为最小,另外,若所述输出频率偏向检测范围的低温侧,使加热器电路50的功率成为最大。

[0129] 为了发挥此种功能,若从检测范围外判定部5输出的检测范围外标记为逻辑“0”,选择器7输出来自第二加法部6的信号。另一方面,选择器7在从检测范围外判定部5输出的检测范围外标记为逻辑“1”的情况下,若频率差极性标记为逻辑“1”,选择最大值,若频率差极性标记为逻辑“0”,选择最小值。图15的下段的(a)~(d)表示检测范围外判定部5的输出与加热器电路50的控制状态的对应。

[0130] 在图1中,在选择器7的输入侧表示了功率的最小值,但所说的该最小值,例如相当于加热功率为零,也就是成为不对加热器电路50供给电力的“断开”的状态的信号。

[0131] 另外,在该例中,如前文所述,在锁存电路33与第一环路滤波器34之间设置着逻辑电路38。在图2中将信号线设为一根而简略记载,但若数字信号为n比特(例如34比特),如图17所示,与n根信号线相对应而设置着n个逻辑元件38-1~逻辑元件38-n。各逻辑元件38-1~逻辑元件38-n作为对其中一个输入端输入输入信号的反相信号(inversion signal)的与电路(AND circuit)而构成,在其中一个输入端连接着输出检测范围外判定部5的检测范围外标记(判定信号)的线,在另一个输入端连接着来自锁存电路33的输出线。

[0132] 因此,若检测范围外标记为逻辑“0”(若单触发电路32的输出频率为检测范围内),直接输出来自锁存电路33的信号,但若检测范围外标记为逻辑“1”,34比特的信号变成零,PLL停止。以此方式构成的理由,是为了避免因PLL锁定为不适当的值,虽然单触发电路32的输出频率返回至检测范围内,但PLL仍无法捕捉正常值的事态。

[0133] [关于TCXO的功能的构成部分的说明]

[0134] 另外,如前文所述,该实施方式的振荡装置具备TCXO的功能。该功能是进行输入至控制电路部200的基准时钟的温度补偿的功能。具体来说,将利用PLL的第一环路滤波器34所获得的变动温度量的频率偏移信息输入至图1所示的作为修正值获取部的修正值运算部4,在此,对频率的修正值进行运算。所说的变动温度量的频率偏移信息,是指对应于将第一晶体振动元件10设置在基准温度时的第一振荡电路1的振荡频率与第一晶体振动元件10的周围温度(收纳着第一晶体振动元件10的容器内的温度)下的第一振荡电路1的振荡频率的差量的值。

[0135] 在该例中,振荡装置具备OCXO的功能,因此,对应于该差量的值通常为固定值,但在设置着振荡装置的环境温度超过预想而变动的情况下,振荡装置发挥TCXO的功能。

[0136] 如前文所述,该实施方式的振荡装置将从第一振荡电路1获得的频率信号(f1)用作图1所示的控制电路部200的基准时钟,由于该基准时钟存在频率温度特性,所以想要对基准时钟的频率进行温度修正。因此,首先预先求出利用基准温度标准化的表示温度与f1的关系的函数,而求出用于抵消利用该函数而算出的f1的频率变动量的函数。接着,基于利用频率差检测部3所获得的温度检测信号与所述函数,利用修正值运算部4求出用于抵消频率变动量的修正信号。关于该方面进一步增加记载。

[0137] 如图1所示,第一晶体振动元件10及第二晶体振动元件20使用共用的晶体片Xb而构成,且相互热结合,所以第一振荡电路1、第二振荡电路2的频率差是极准确地对应于环境温度的值,因此,频率差检测部3的输出是环境温度与基准温度(在该例中为25°C)的温度差信息。从第一振荡电路1输出的频率信号f1被用作控制部200的主(main)时钟,因此,利用修正值运算部4所获得的修正值是作为如下信号被使用:为了抵消因温度自25°C偏移而引起的f1的频率偏移量对控制部200的动作的影响,而补偿控制电路部200的动作的信号。结果

为,本实施方式的振荡装置1的输出,即电压控制振荡器100的输出频率,变得无关于温度变动而稳定。

[0138] [实施方式的整体的动作]

[0139] 接着,总结所述的实施方式的整体的动作。若着眼于该振荡装置的晶体振荡器,晶体振荡器的输出相当于从第一振荡电路1输出的频率信号。而且,通过加热器电路50以使设置着第一晶体振动元件10、第二晶体振动元件20的环境成为设定温度的方式而加热。第一晶体振动元件10及第一振荡电路1生成作为晶体振荡器的输出的频率信号,但与第二晶体振动元件20及第二振荡电路2一并具有作为温度检测部的功能。如前文所述,与温度相对应,利用第二加法部6提取对应于从这些第一振荡电路1、第二振荡电路2分别获得的频率信号的频率差的值 $OSC2-OSC1$ 与温度设定值(例如 $50^{\circ}C$ 下的 $OSC2-OSC1$ 的值)的差量。

[0140] 在单触发电路32的输出频率为检测范围内的情况下,该差量由第二环路滤波器61积分,之后,利用D/A转换部62转换成模拟的直流电压,而调整加热器电路50的控制电力。从图10所示的特性图可知,若将 $50^{\circ}C$ 时的频率差检测部3的输出值设为 $-1.5 \times 10^5$ ,第二加法部6的输出在温度低于 $50^{\circ}C$ 时为正值,且随着温度降低而变大。因此,以设置着第一晶体振动元件10、第二晶体振动元件20的周围温度越是低于 $50^{\circ}C$ ,加热器电路50的控制电力变得越大的方式发挥作用。另外,在周围温度高于 $50^{\circ}C$ 时第二加法部6的输出成为负值,其绝对值随着温度升高而变大。

[0141] 因此,以温度越是高于 $50^{\circ}C$ ,加热器的供给电力变得越小的方式发挥作用。因此,想要将设置着第一晶体振动元件10、第二晶体振动元件20的周围的温度维持于设定温度,即 $50^{\circ}C$ ,所以作为振荡输出的来自第一振荡电路1的输出频率稳定。结果为,在将来自第一振荡电路1的输出用作时钟信号的控制电路部200中,供给至相位比较部205的参照信号的频率稳定,因此,作为振荡装置(频率合成器)的输出的来自电压控制振荡器100的输出频率也稳定。

[0142] 此外,已经对关于修正值运算部4的事项进行了叙述,因而将其省略。

[0143] 接着,一面参照图18,一面对图2所示的单触发电路32的输出频率与加热器电路50的控制的关系进行说明。图18是图16所示的检测范围外判定部5的各部的信号或者值的时序图。可以说单触发电路32的输出频率对应于第一振荡电路1的振荡频率 $f1$ 与第二振荡电路2的振荡频率 $f2$ 的频率差,该频率差过大或过小均会超出PLL的捕捉范围(pull-inrange),必须使其位于某范围内。

[0144] 图16所示的计时器73通过计数区间设定参数利用自由振荡(free-run)(循环(endless))对动作时钟进行计数,每当递增计数(count up)时予以清除,而输出锁存信号。现在,将检测范围外标记设为逻辑“0”,也就是设为单触发电路32的输出频率为检测范围内。此时,图1所示的选择器7将来自第二加法部6的值输出至第二环路滤波器61,可以说进行正常的加热器电路50的控制。

[0145] 接着,通过计时器输出利用锁存电路72锁存所述输出频率的计数值,将其值设为“3456”。另一方面,若将基准频率参数设定为“3500”,第三加法部74的输出成为“-44”。该值的绝对值为“44”,检测范围设定值为“40”,所以第四加法部75的输出值为“-4”。所说的该值的极性为负,是指所述频率差超出检测范围,也就是单触发电路32的输出频率超出检测范围,检测范围外标记(判定信号)从逻辑“0”变为逻辑“1”。因此,图2所示的逻辑电路38的34

比特的输出成为零,PLL停止。

[0146] 接着,由于第三加法部74的输出值的极性为负,所以如前文所述那样,频率差极性标记成为逻辑“1”。也就是说,所述频率差过小,而成为小于检测范围(PLL的捕捉范围)的状态。该状态是所述频率差超出检测范围而偏向低温侧的状态。因此,从选择器7输出相当于最大值的信号,而对加热器电路50供给最大电力。此外,图18中的数值是为了方便说明的值。

[0147] 另外,在通过锁存电路72使所述输出频率的计数值为“3544”的情况下,检测范围外标记成为逻辑“1”,频率差极性标记成为逻辑“0”,向加热器电路50的供给电力成为零。

[0148] [实施方式的效果]

[0149] 如上所述,根据所述实施方式,将相当于从各个第一晶体振动元件10、第二晶体振动元件20所获得的频率信号的频率差的值的两者的差量用作温度检测值,基于所述温度检测值控制加热器电路50,加热器电路50用以管理第一晶体振动元件10、第二晶体振动元件20的周围温度。因此,可高精度地将周围温度维持于设定温度,从而使晶体振荡器的输出(第一振荡电路1的输出)稳定。

[0150] 另外,在所述实施方式中,为了求出频率差检测信息,生成对应于 $f_1$ 与 $f_2$ 的差量频率的脉冲,通过所述脉冲利用锁存电路33锁存从DDS电路部36输出的锯齿波信号,对经锁存的信号值进行积分,并输出其积分值作为所述频率差。接着,提取出该输出和对应于 $f_{1r}$ 与 $f_{2r}$ 的差量的值的差量,输入至所述DDS电路部36而构成PLL。因此,能够以高精度获得所述频率差检测信息。

[0151] 在此种电路中,判定能否将从所述单触发电路32输出的脉冲的串中的设定时间内的频率捕捉至PLL,若脉冲的串中的设定时间内的频率处于高温侧的检测范围外,将供给至加热部的电力例如设为零,若处于低温侧的检测范围外,将所述电力例如设为最大值。

[0152] 因此,可解决若温度检测值成为不定值,无法进行正常的加热器控制的问题,从而可获得频率稳定性高的振荡输出。这样便可放宽对第一晶体振动元件10及第二晶体振动元件20各个的频率-温度特性的要求,结果为,可抑制晶体振动元件的良率降低。

[0153] [其他说明]

[0154] 在从单触发电路32输出的脉冲的串中的设定时间内的频率处于高温侧(图15的右侧)的检测范围外的情况下,将供给至加热器电路50的电力设为零,但该电力只要为小于设定时间内的频率处于检测范围内时的供给电力的值,并不限于零。另外,在从单触发电路32输出的脉冲的串中的设定时间内的频率处于低温侧(图15的左侧)的检测范围外的情况下,所述电力并不限于最大值,也可为接近最大值,或者并不限于这些值,也可为事先设定的大小。

[0155] 频率差检测部3也可将 $(f_1-f_{1r})$ 与 $(f_2-f_{2r})$ 的差量值本身用作与对应于 $f_1$ 与 $f_{1r}$ 的差量的值和对应于 $f_2$ 与 $f_{2r}$ 的差量的值的差量值相对应的值,此情况下,灵活运用图7的曲线图而求出温度。

[0156] 此外,在所述例中,第一晶体振动元件10及第二晶体振动元件20使用共用的晶体片Xb,但也可不使晶体片Xb共用化。此情况下,例如可列举在共用的壳体中配置第一晶体振动元件10及第二晶体振动元件20的示例。根据此种构成,第一晶体振动元件10及第二晶体振动元件20实质上设置在同一温度环境下,因此可获得同样的效果。



[0157] 频率差检测部3的DDS电路部36的输出信号并不限于锯齿波,只要为信号值随时间反复增加或减少的频率信号即可,例如也可为正弦波。另外,频率差检测部3也可通过计数器对 $f_1$ 与 $f_2$ 进行计数,自其计数值的差量值减去相当于 $\Delta f_r$ 的值,输出对应于所获得的计数值的值。

[0158] 在以上实施方式中,第一晶体振动元件10及第一振荡电路1具备提取温度检测值的功能及生成晶体振荡器的输出的功能。也就是说,第一振荡电路1共用用于温度检测的振荡电路及用于晶体振荡器的输出的振荡电路。然而,本发明也可例如准备三个晶体振动元件并且准备三个振荡电路,例如在图1的构成中,准备第三晶体振动元件及连接于该晶体振动元件的第三振荡电路,将第三振荡电路的输出设为晶体振荡器的输出,将剩余的第一振荡电路及第二振荡电路的振荡输出输入至频率差检测部,而获得温度检测值。此情况下,若由OCXO与TCXO组合而成,便将第三晶体振荡电路的输出用作DDS电路部201的时钟。

[0159] 作为图1及图16所示的振荡装置的频率合成器是利用包含第一晶体振动元件10、第二晶体振动元件20、第一振荡电路1、第二振荡电路2、频率差检测部3、第二加法部6~加热器电路50的部分的本发明的实施方式的晶体振荡器而构成。然而,本发明并不限于构成为频率合成器,也可以设为将第一振荡电路1的振荡输出作为本发明的晶体振荡器的输出的构成,也就是不使用控制电路部200的构成。

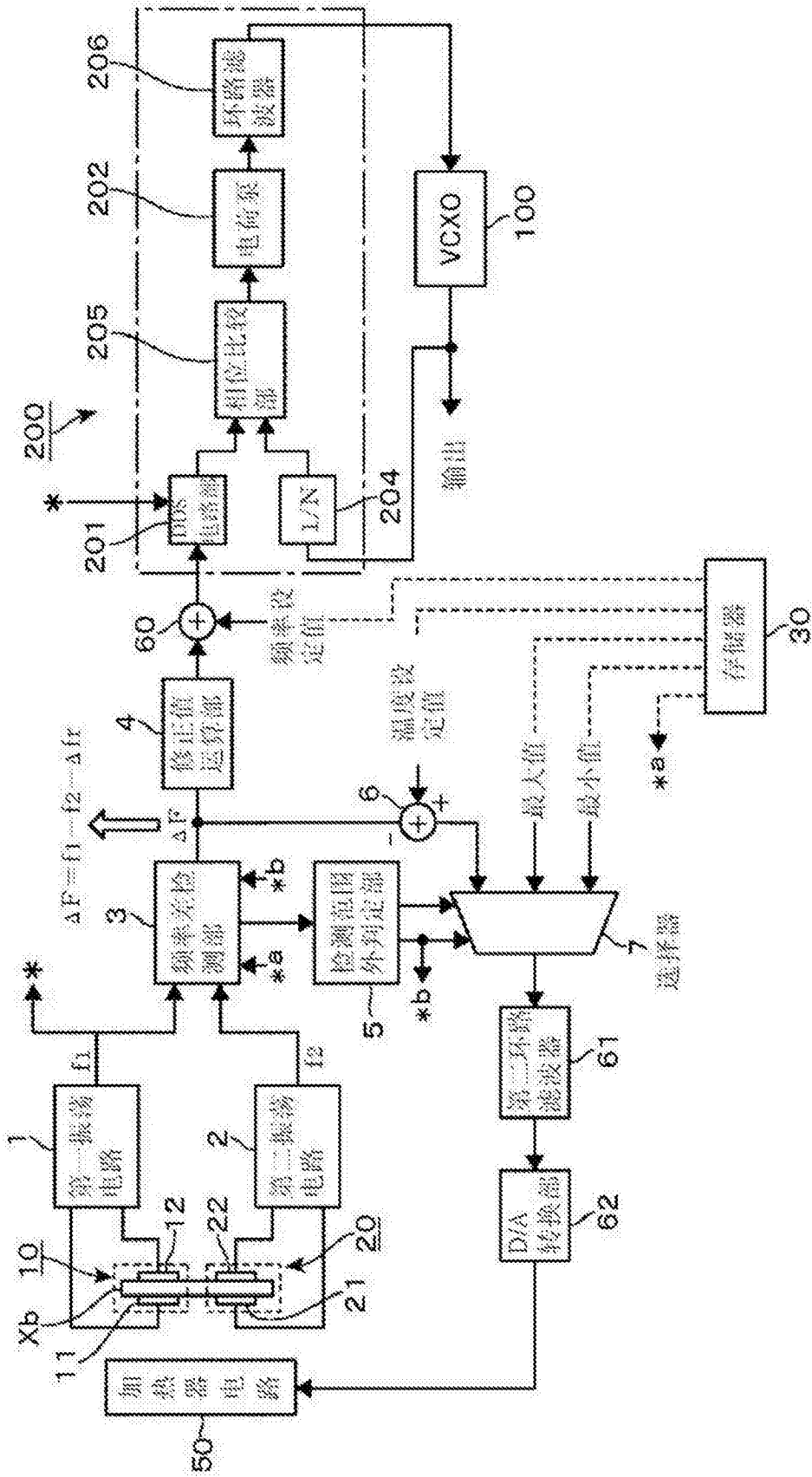


图1

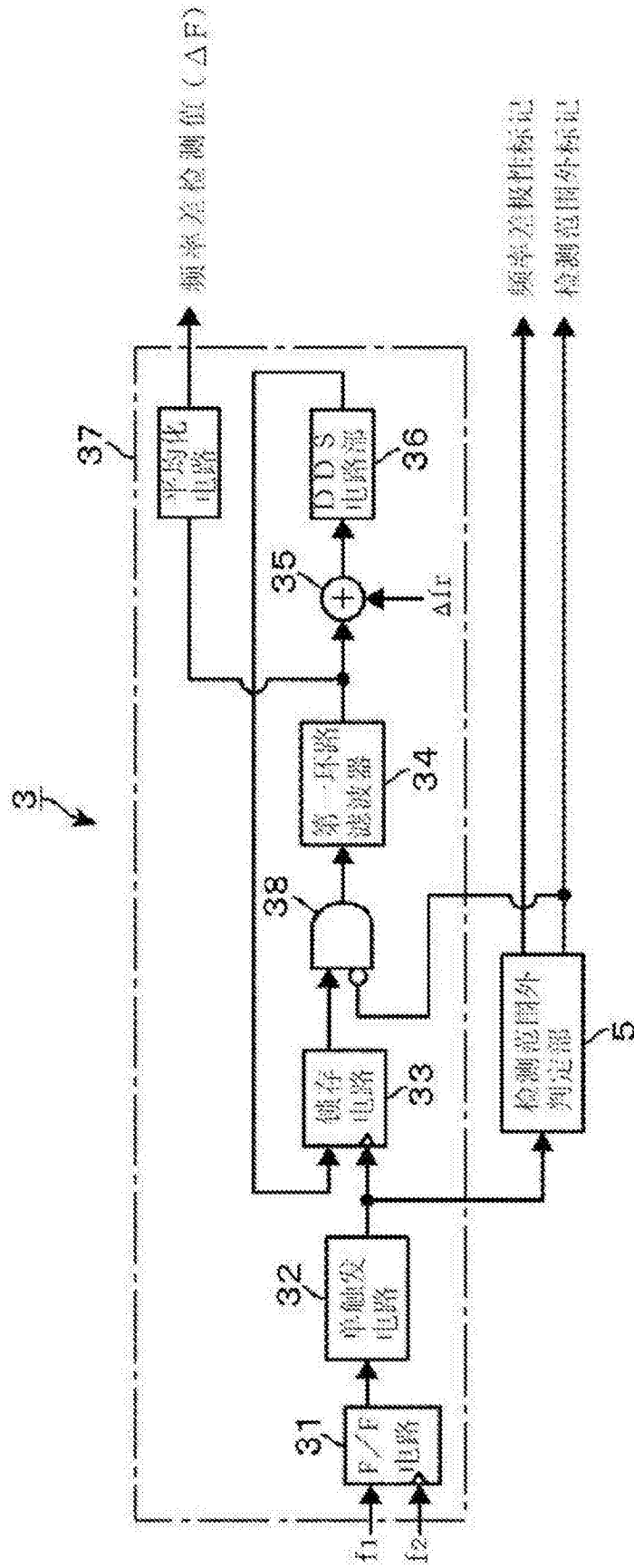


图2

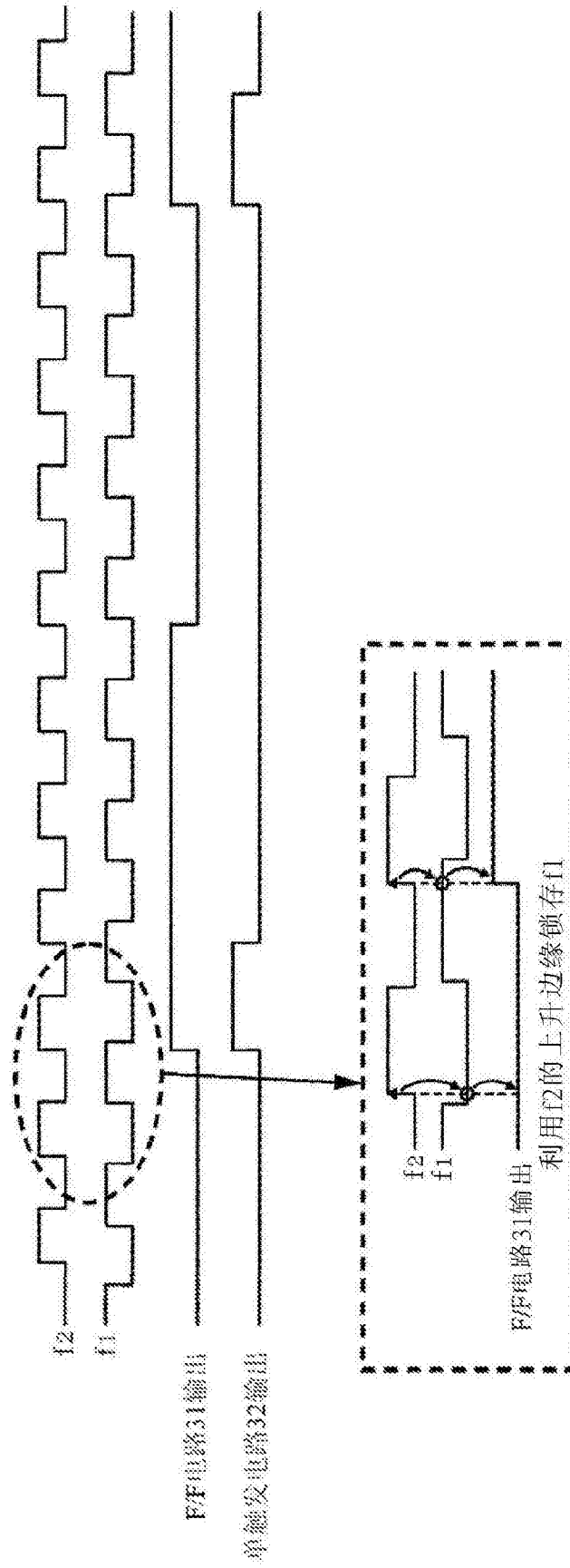
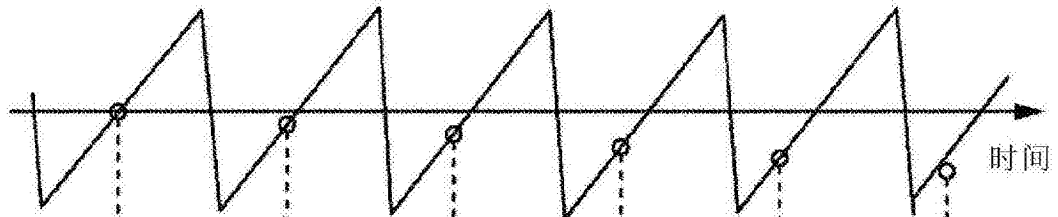
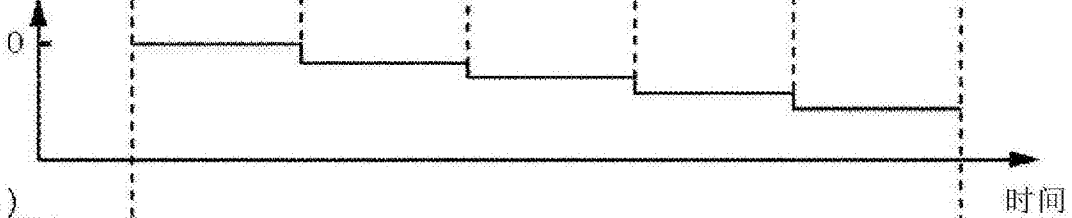


图3

(a) DDS输出、锁存点



(b) 锁存输出



(c) 环路滤波器输出

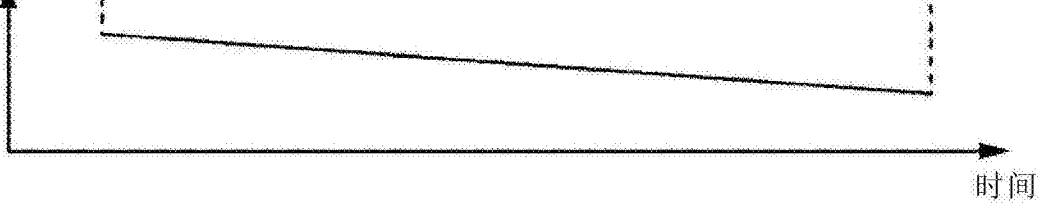


图4

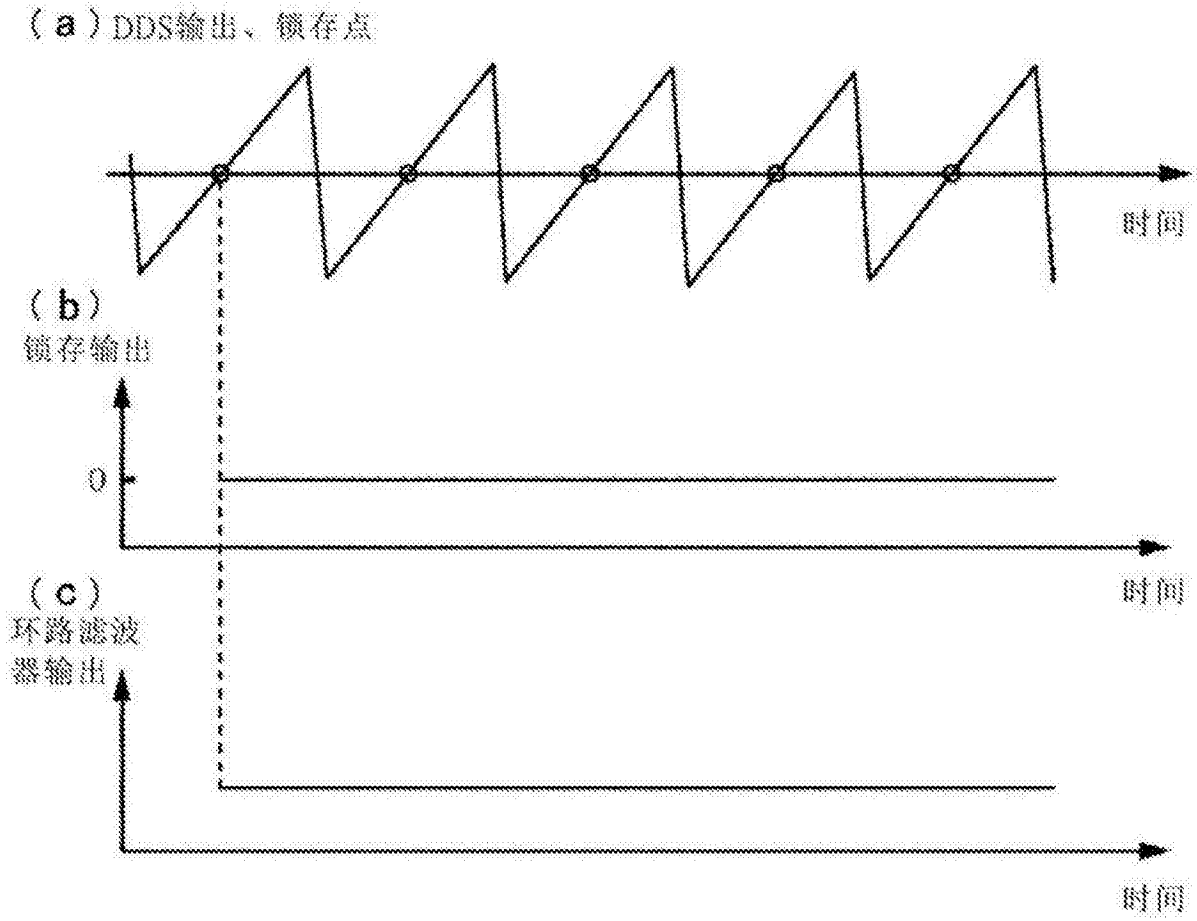


图5

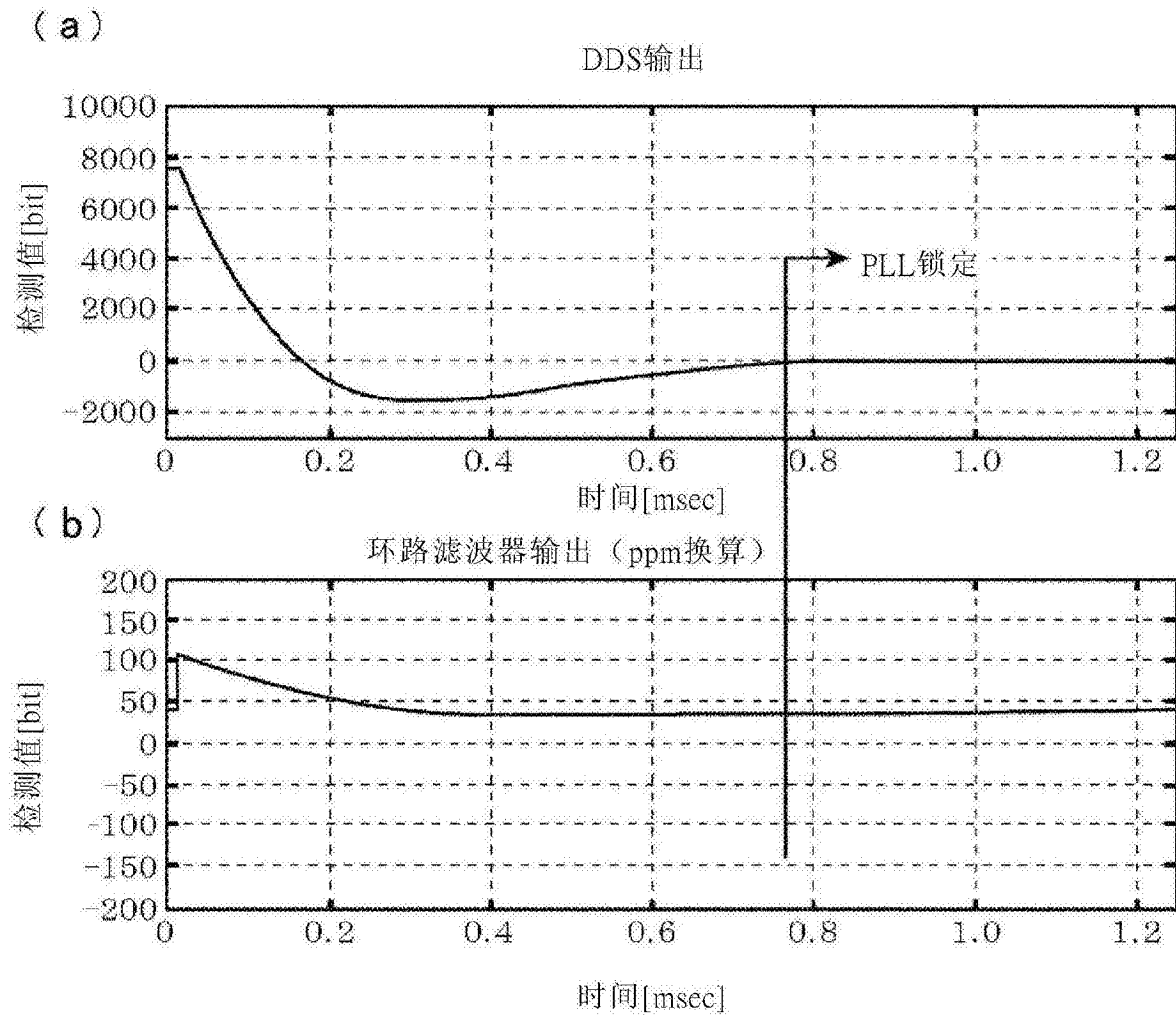


图6

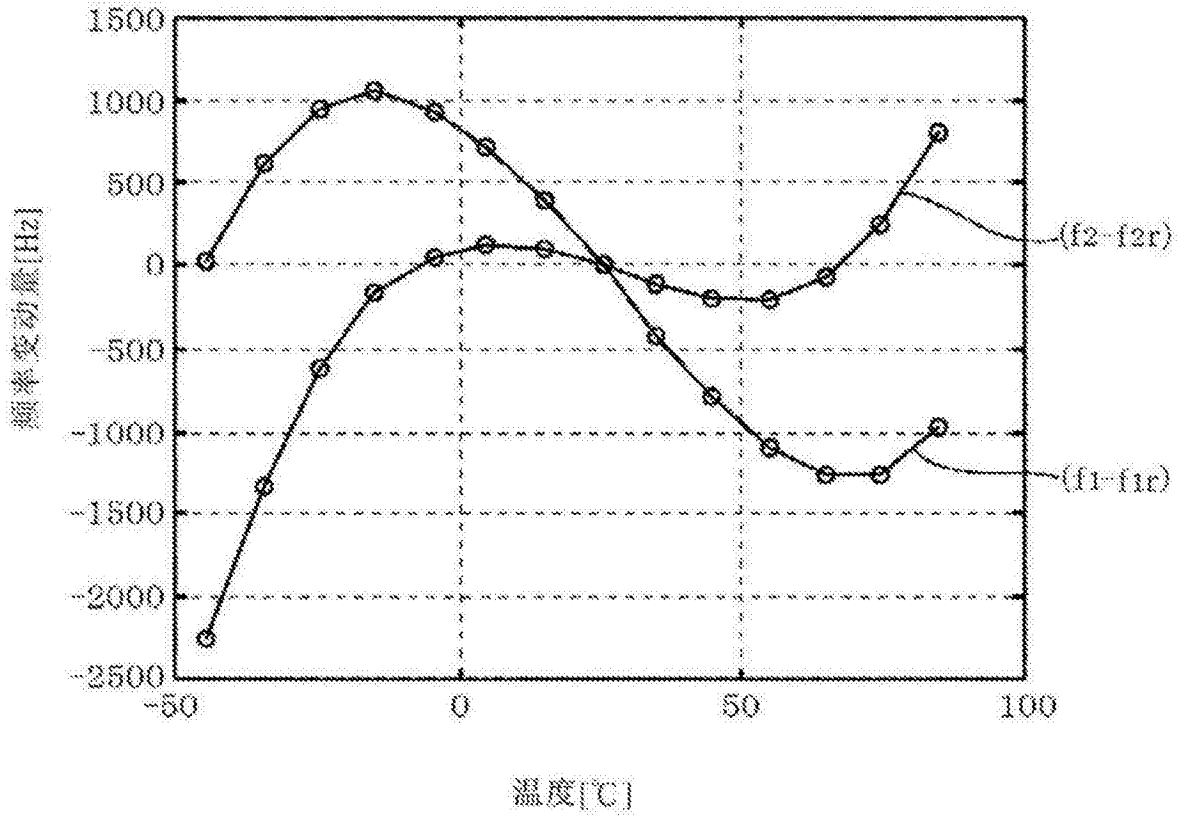


图7



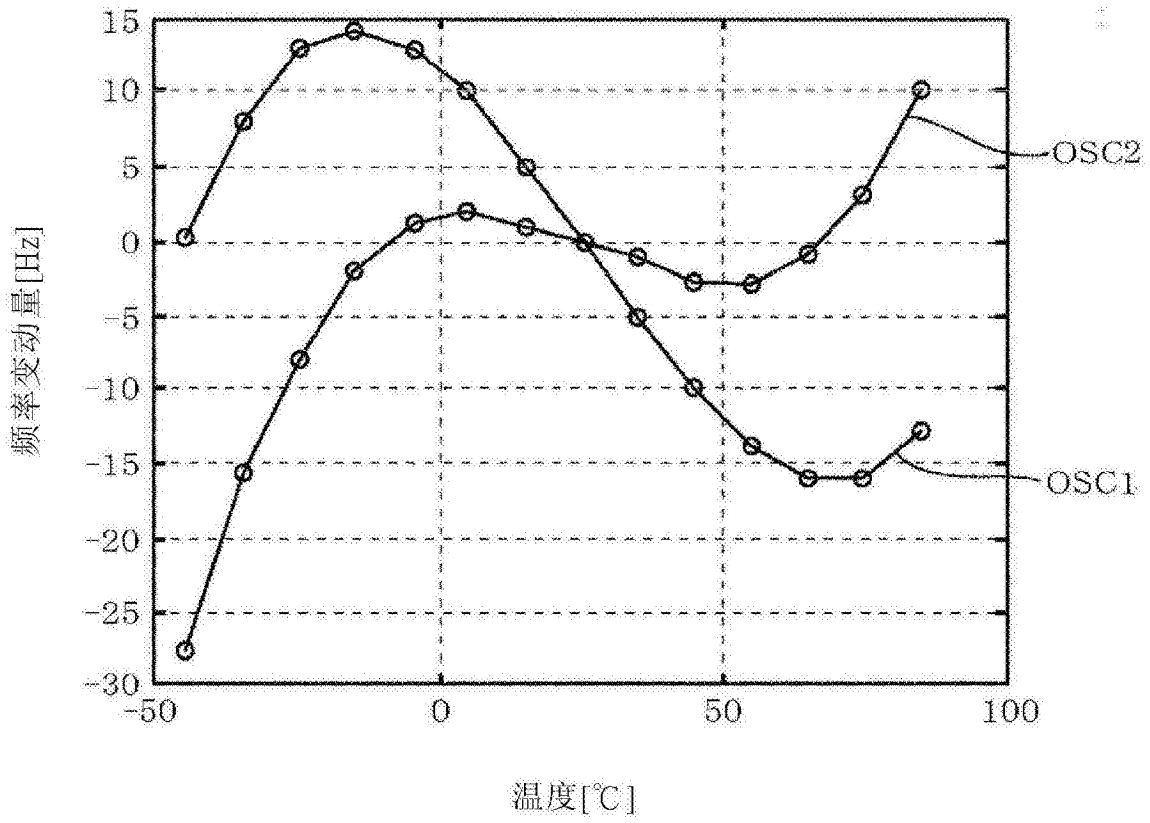


图8

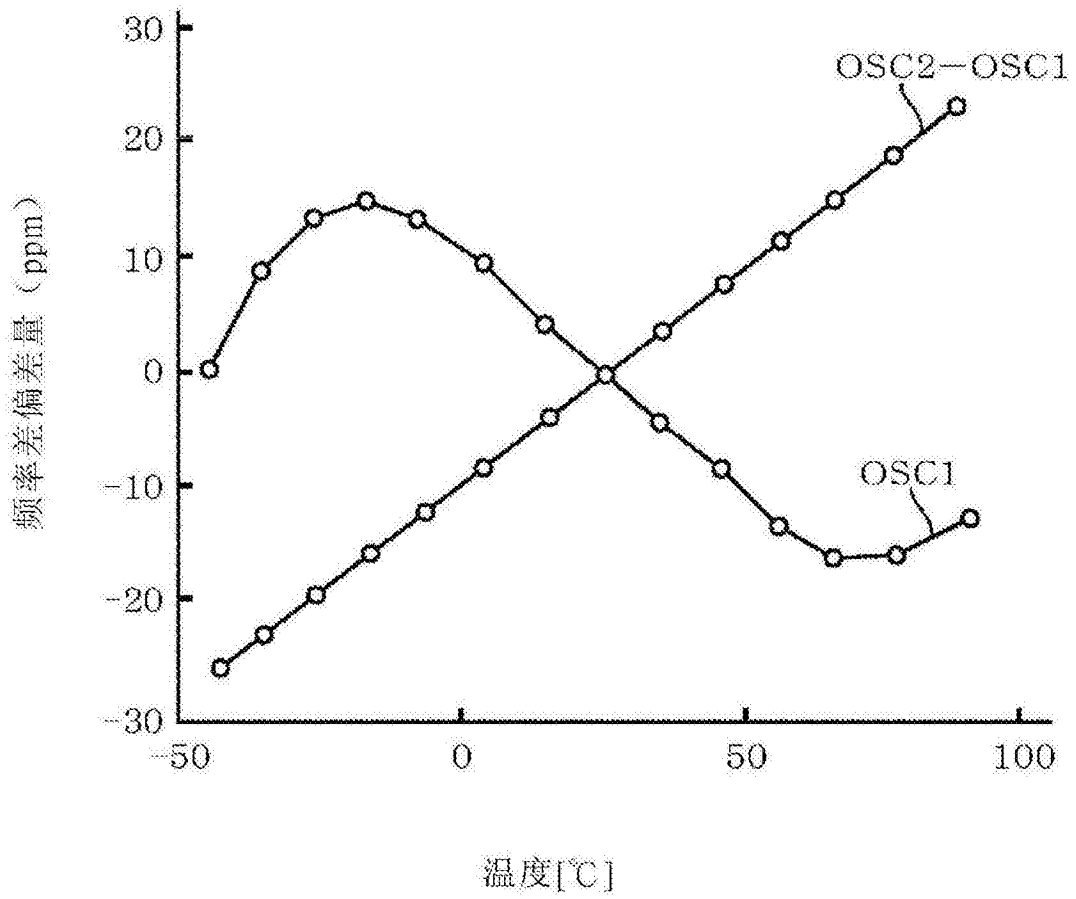


图9

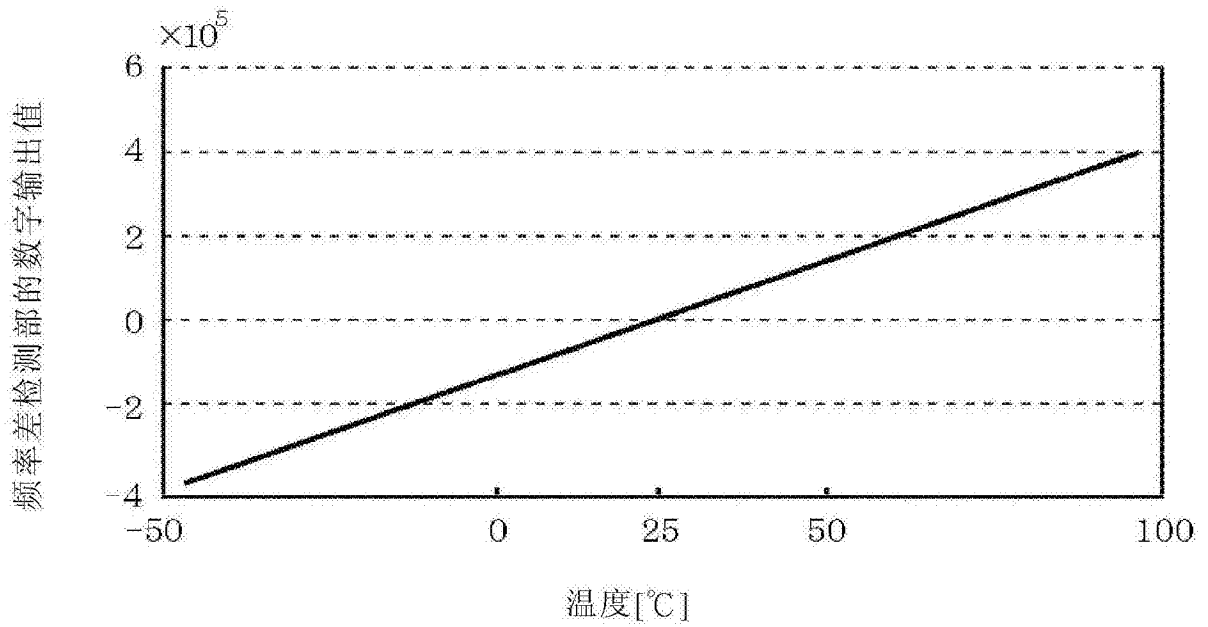


图10

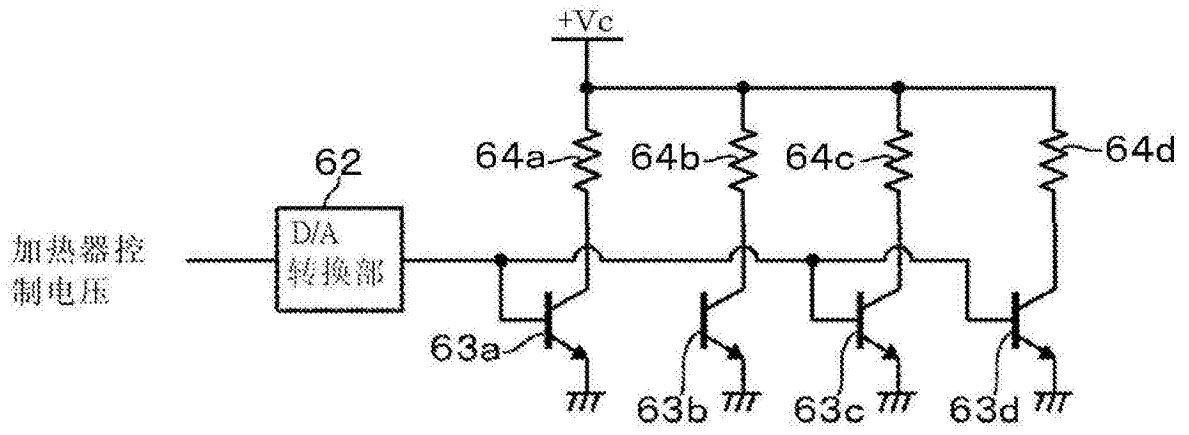


图11

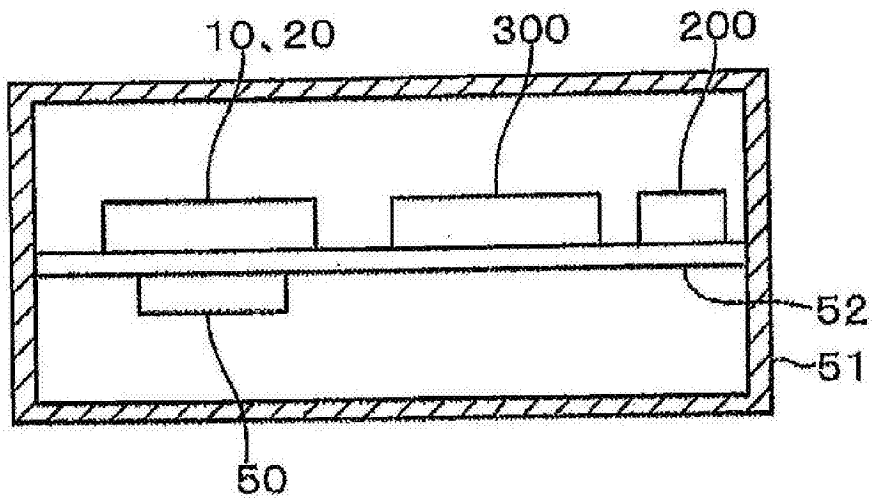


图12

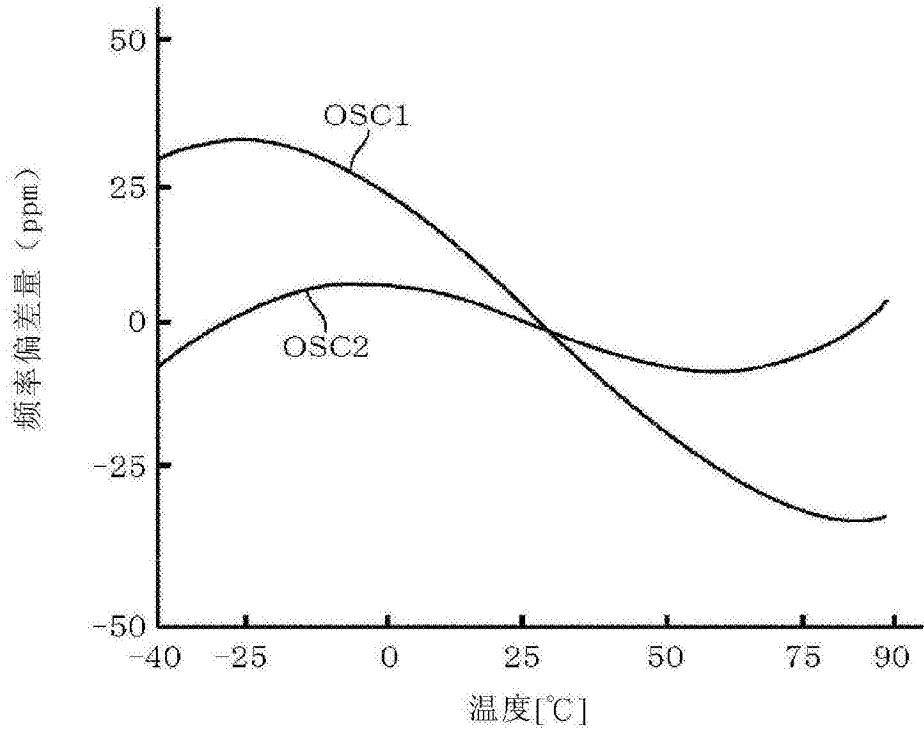


图13(a)

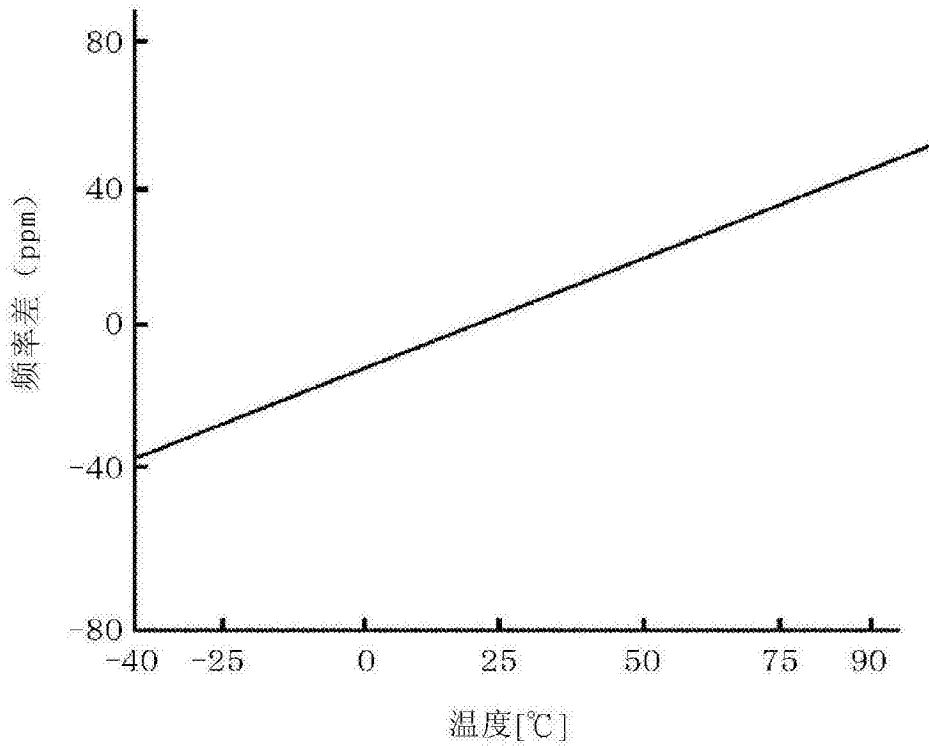


图13(b)

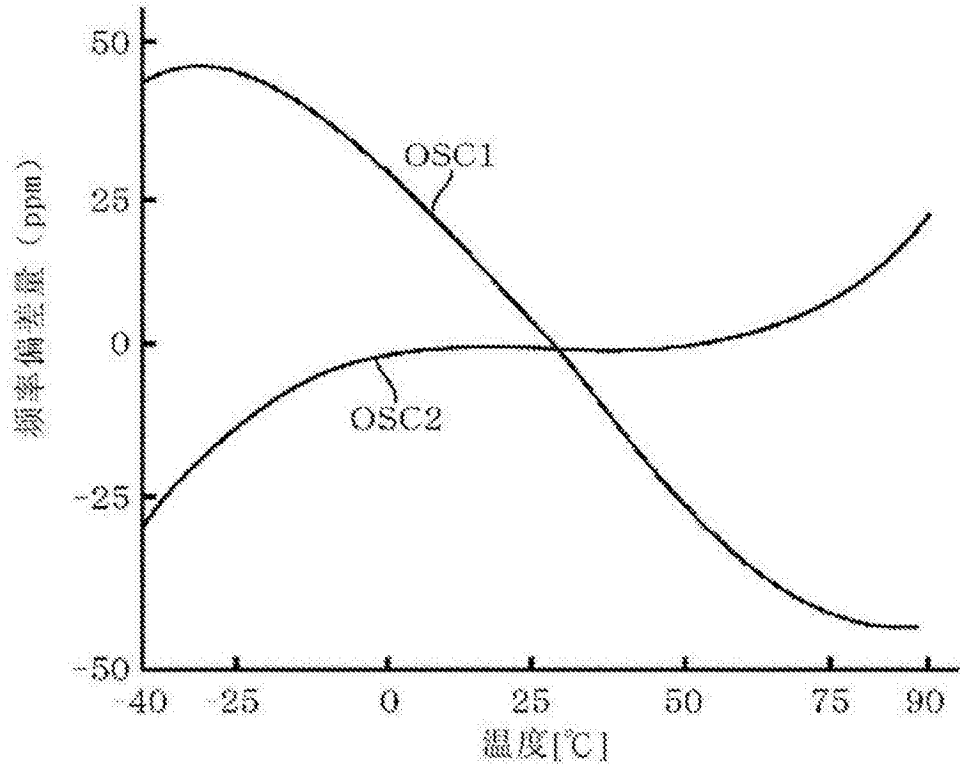


图14(a)

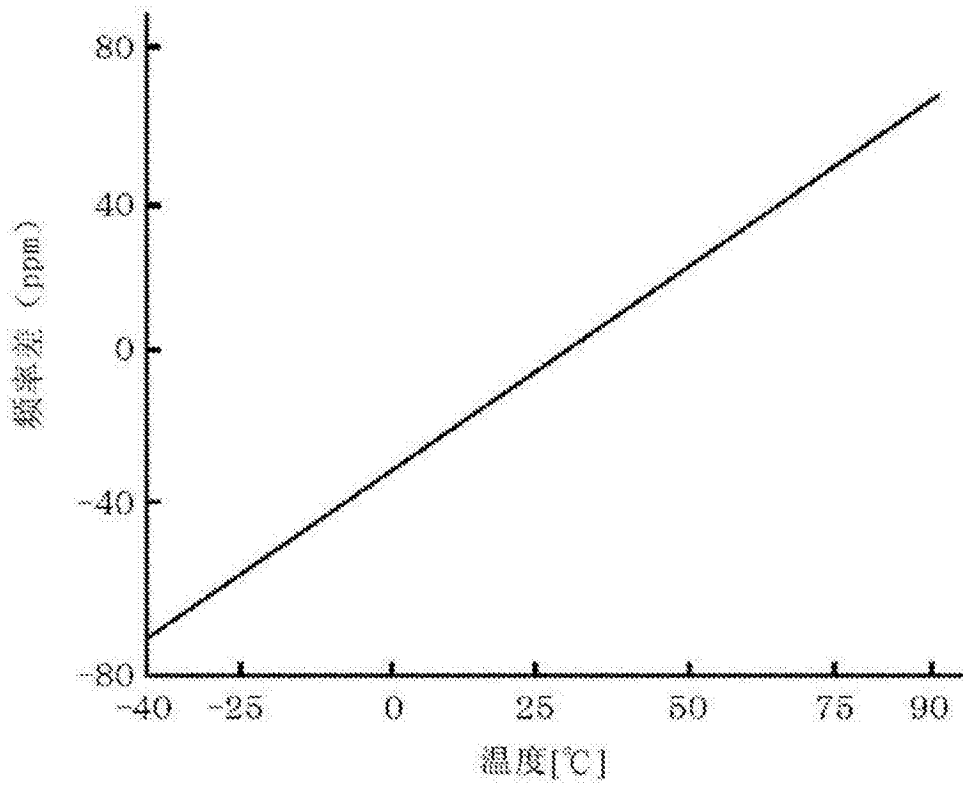


图14(b)

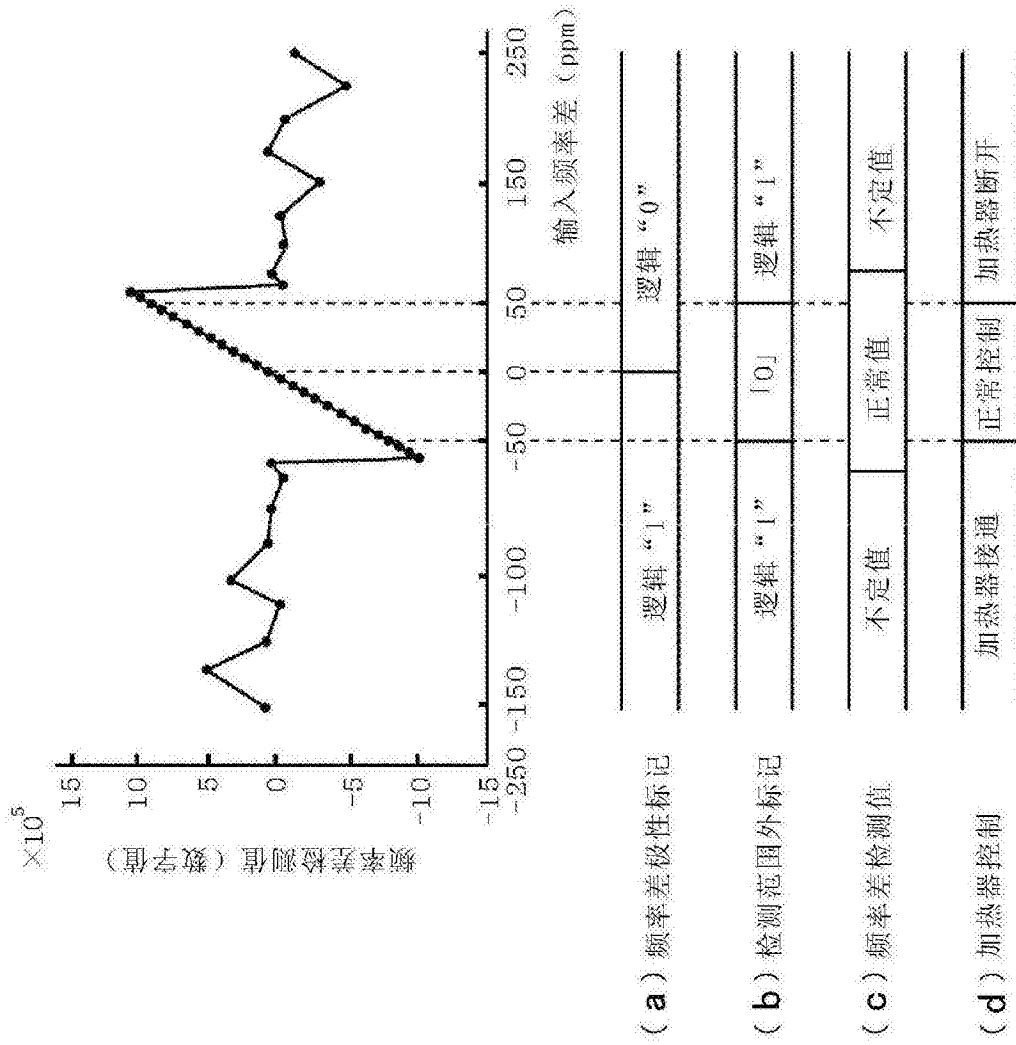


图15

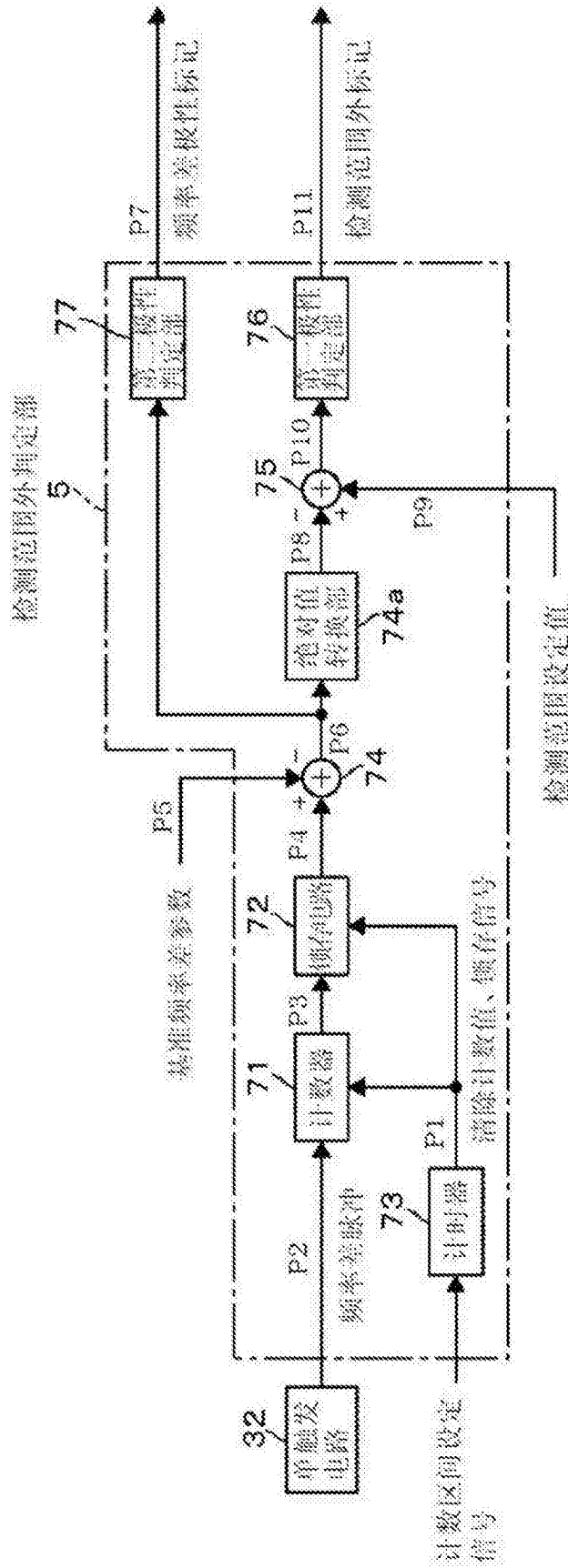


图16

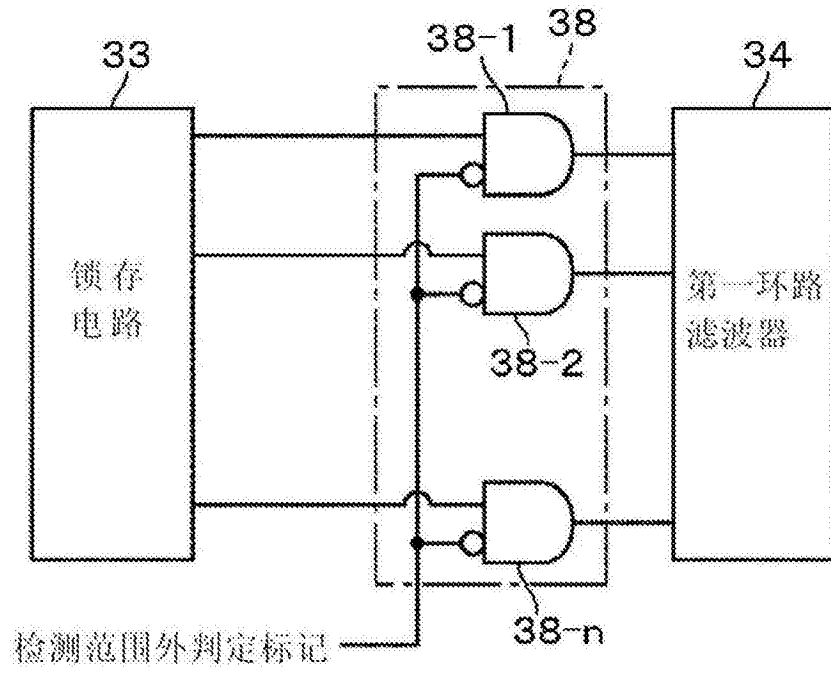


图17



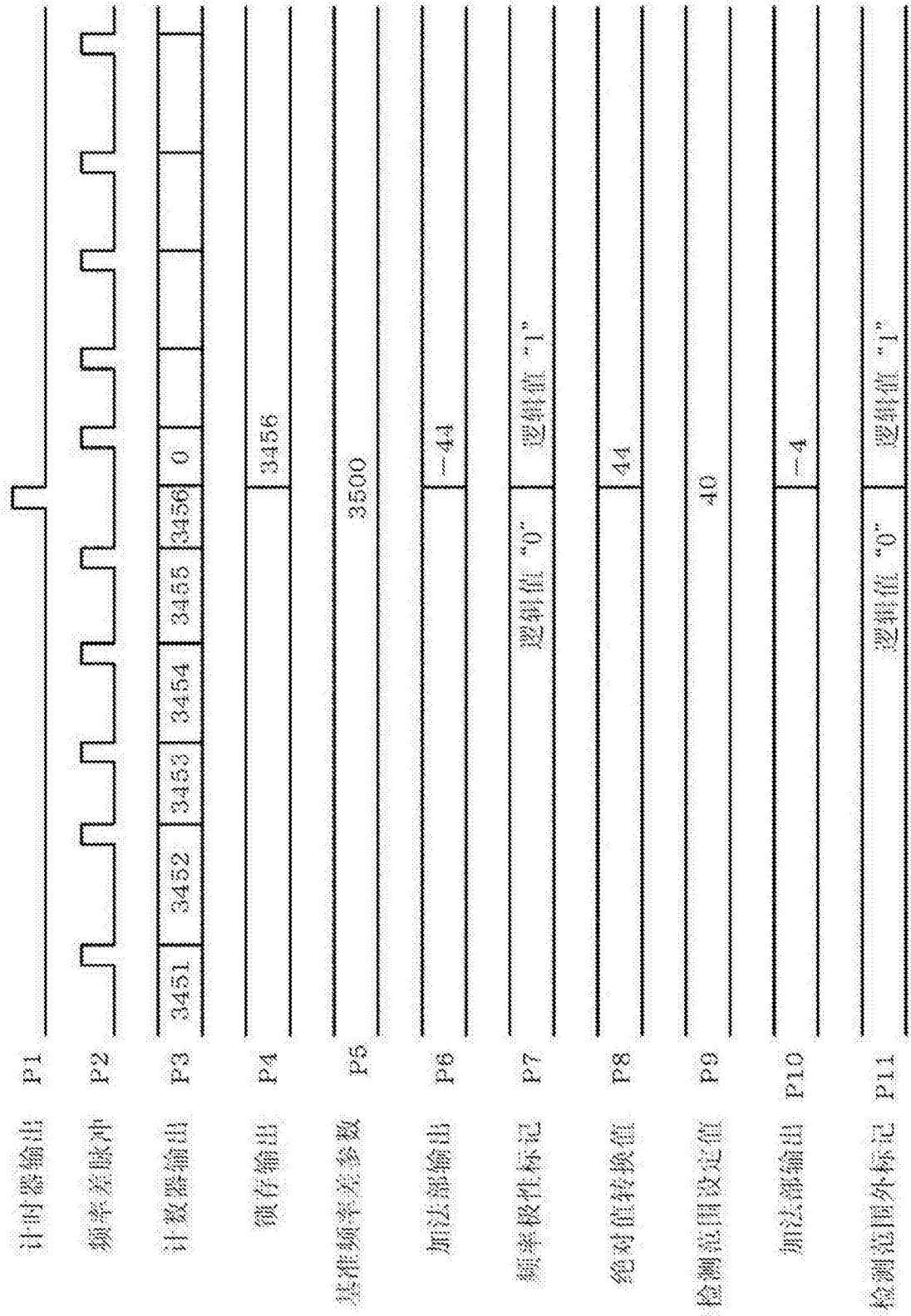


图18