



(12)发明专利申请

(10)申请公布号 CN 107393932 A

(43)申请公布日 2017. 11. 24

(21)申请号 201710597182.9

(22)申请日 2017.07.20

(71)申请人 昆山龙腾光电有限公司

地址 215301 江苏省苏州市昆山市龙腾路1号

(72)发明人 何佳新

(74)专利代理机构 上海波拓知识产权代理有限公司 31264

代理人 蔡光仟

(51) Int. Cl.

H01L 27/12(2006.01)

H01L 21/465(2006.01)

H01L 21/77(2017.01)

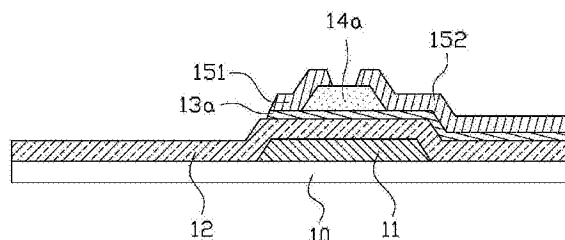
权利要求书2页 说明书6页 附图10页

(54)发明名称

金属氧化物薄膜晶体管阵列基板及其制备方法

(57)摘要

本发明提供一种金属氧化物薄膜晶体管阵列基板及制作方法,其中金属氧化物薄膜晶体管阵列基板的制作方法包括在衬底上形成图形化的栅极;在该衬底上依次连续形成栅极绝缘层、金属氧化物半导体材料层和蚀刻阻挡材料层,该金属氧化物半导体材料层是膜厚为1~10nm,通过溶液涂布的方式成膜;对该蚀刻阻挡材料层进行蚀刻图形化以形成蚀刻阻挡层;在该金属氧化物半导体材料层和蚀刻阻挡层上形成一层源漏金属材料层;以光阻层图案作为蚀刻掩模对源漏金属材料层进行第一次蚀刻以形成源极和漏极;再以该光阻层图案和蚀刻阻挡层作为蚀刻掩模对金属氧化物半导体材料层进行第二次蚀刻以形成金属氧化物有源层,其中该第二次蚀刻为干蚀刻;去除该光阻层图案。



1. 一种金属氧化物薄膜晶体管阵列基板的制作方法,其特征在于,包括如下步骤:

在衬底(10)上形成图形化的栅极(11);

在该衬底(10)上依次连续形成栅极绝缘层(12)、金属氧化物半导体材料层(13)和蚀刻阻挡材料层(14),其中该栅极绝缘层(12)覆盖在该栅极(11)上,该金属氧化物半导体材料层(13)覆盖在该栅极绝缘层(12)上,该金属氧化物半导体材料层(13)通过溶液涂布的方式形成且膜厚为1~10nm,该蚀刻阻挡材料层(14)覆盖在该金属氧化物半导体材料层(13)上;

对该蚀刻阻挡材料层(14)进行蚀刻图形化以在该金属氧化物半导体材料层(13)上对应该栅极(11)的上方形成蚀刻阻挡层(14a),此时该金属氧化物半导体材料层(13)未被蚀刻;

在该金属氧化物半导体材料层(13)和蚀刻阻挡层(14a)上形成一层源漏金属材料层(15),其中该源漏金属材料层(15)覆盖该蚀刻阻挡层(14a);

在该源漏金属材料层(15)上涂覆一层光阻层(40),对该光阻层(40)进行曝光和显影,利用显影留下的光阻层图案(40a)作为蚀刻掩模对该源漏金属材料层(15)进行第一次蚀刻以形成源极(151)和漏极(152),在该第一次蚀刻后露出下方的金属氧化物半导体材料层(13),该第一次蚀刻为湿蚀刻或干蚀刻;

以该光阻层图案(40a)和该蚀刻阻挡层(14a)作为蚀刻掩模对露出的该金属氧化物半导体材料层(13)进行第二次蚀刻以形成金属氧化物有源层(13a),其中该第二次蚀刻为干蚀刻;

去除该光阻层图案(40a)。

2. 如权利要求1所述的金属氧化物薄膜晶体管阵列基板的制作方法,其特征在于,该金属氧化物半导体材料层(13)的溶液涂布的方式是旋转涂布、狭缝和旋转涂布或狭缝涂布中的一种。

3. 如权利要求1所述的金属氧化物薄膜晶体管阵列基板的制作方法,其特征在于,该金属氧化物半导体材料层(13)的膜厚为3~5nm。

4. 如权利要求1所述的金属氧化物薄膜晶体管阵列基板的制作方法,其特征在于,该栅极绝缘层(12)的膜厚为10nm~1000nm,该蚀刻阻挡材料层(14)的膜厚为5nm~1000nm。

5. 如权利要求1所述的金属氧化物薄膜晶体管阵列基板的制作方法,其特征在于,该第二次蚀刻所采用的干蚀刻中,采用的蚀刻气体为 Cl_2 、 BCl_3 、 CHCl_3 、 CH_2Cl_2 、 HCl 的任一种或它们的组合,采用的辅助气体为 O_2 和 He 的组合或 O_2 和 Ar 的组合,该辅助气体 O_2 的流量是蚀刻气体的流量的0~50%,该辅助气体 He 或 Ar 的流量是蚀刻气体的流量的0~500%,蚀刻腔室压力为5~100mtorr。

6. 如权利要求5所述的金属氧化物薄膜晶体管阵列基板的制作方法,其特征在于,该蚀刻气体为 Cl_2 或 BCl_3 ,该辅助气体 O_2 的流量是蚀刻气体的流量的5%~30%,该辅助气体 He 或 Ar 的流量是蚀刻气体的流量的50%~150%,该蚀刻腔室压力10~50mtorr。

7. 如权利要求5所述的金属氧化物薄膜晶体管阵列基板的制作方法,其特征在于,该第二次蚀刻所采用的干蚀刻中,采用的蚀刻电浆模式为高低双频模式,其中source power频率为13.56MHz,bias power频率为3.2MHz,source power功率密度为0.05~1W/cm²,bias power功率密度为0.05~1W/cm²,source power/bias power功率比为3:1~1:3。

8. 如权利要求1至7任一项所述的金属氧化物薄膜晶体管阵列基板的制作方法,其特征

在于,该源漏金属材料层(15)的材料为Mo、MoTi、MoNb、MoW、MoTa或Mo的其他合金中的一种膜层或为Ti/Al/Ti复合膜层,该第一次蚀刻采用干蚀刻并且使用的蚀刻气体为Cl₂。

9. 如权利要求1至7任一项所述的金属氧化物薄膜晶体管阵列基板的制作方法,其特征在于,该源漏金属材料层(15)的材料为Cu,该第一次蚀刻采用湿蚀刻并且使用H₂O₂系蚀刻液。

10. 一种金属氧化物薄膜晶体管阵列基板,其特征在于,该金属氧化物薄膜晶体管阵列基板通过权利要求1至9任一项所述的制作方法制作形成。

金属氧化物薄膜晶体管阵列基板及其制作方法

技术领域

[0001] 本发明涉及液晶显示的技术领域,特别涉及一种金属氧化物薄膜晶体管阵列基板及其制作方法。

背景技术

[0002] 随着显示技术的发展,液晶显示器(Liquid Crystal Display,LCD)因其轻便、低辐射等优点越来越受到人们的欢迎。液晶显示面板包括对置的彩色滤光片基板(color filter,CF)和薄膜晶体管阵列基板(TFT array)以及夹置在两者之间的液晶层(LC layer)。

[0003] 非晶硅(a-Si)是目前普遍用于制作阵列基板上薄膜晶体管(TFT)的半导体层材料,但非晶硅由于存在因自身缺陷而导致的电子迁移率低、稳定性差等问题,使它在显示领域的运用受到了限制。随着显示面板的分辨率不断提高,非晶硅薄膜晶体管已经无法满足高分辨率显示面板的正常充电需求,为解决此问题,高电子迁移率的金属氧化物薄膜晶体管替代非晶硅薄膜晶体管诞生。金属氧化物薄膜晶体管(oxide TFT)是指半导体沟道采用金属氧化物半导体材料层制备的薄膜晶体管,金属氧化物半导体材料层的典型代表有IGZO(Indium Gallium Zinc Oxide,铟镓锌氧化物),由于其电子迁移率高、工艺温度低、光透过性高等特点,因此成为目前薄膜晶体管显示领域的研究热点之一。

[0004] 在制备金属氧化物薄膜晶体管阵列基板时,如果利用传统的背沟道刻蚀(back channel etched,BCE)方式制作金属氧化物薄膜晶体管,在沟道处进行湿蚀刻(wet etching)制作源极和漏极时会对沟道处的金属氧化物半导体材料层造成伤害,所以需要在金属氧化物半导体材料层上制作一层蚀刻阻挡层(Etch Stopper),通过蚀刻阻挡层对金属氧化物半导体材料层进行保护,防止在制作源极和漏极时的蚀刻工艺对金属氧化物半导体材料层造成损伤。因此,蚀刻阻挡型的薄膜晶体管相比于背沟道刻蚀型的薄膜晶体管,需要多一道制作蚀刻阻挡层的掩模且需要对蚀刻阻挡层进行单独曝光与蚀刻工艺。

发明内容

[0005] 本发明的目的之一在于提供一种金属氧化物薄膜晶体管阵列基板的制作方法,以解决在阵列基板上制作金属氧化物薄膜晶体管时需要较多的光罩数量及复杂的制作工艺,制作成本高,黄光产能和生产效率低的问题;目的之二在于同时提供可制作出具有优良电学特性TFT的蚀刻工艺方案。

[0006] 本发明提供一种金属氧化物薄膜晶体管阵列基板的制作方法,同时提供可制作出具有优良电学特性TFT的蚀刻工艺方案,该金属氧化物薄膜晶体管阵列基板的制作方法包括如下步骤:

[0007] 在衬底上形成图形化的栅极;

[0008] 在该衬底上依次连续形成栅极绝缘层、金属氧化物半导体材料层和蚀刻阻挡材料层,其中该栅极绝缘层覆盖在该栅极上,该金属氧化物半导体材料层覆盖在该栅极绝缘层

上,该金属氧化物半导体材料层通过溶液涂布的方式形成且膜厚为1~10nm,该蚀刻阻挡材料层覆盖在该金属氧化物半导体材料层上;

[0009] 对该蚀刻阻挡材料层进行蚀刻图形化以在该金属氧化物半导体材料层上对应该栅极的上方形成蚀刻阻挡层,此时该金属氧化物半导体材料层未被蚀刻;

[0010] 在该金属氧化物半导体材料层和蚀刻阻挡层上形成一层源漏金属材料层,其中该源漏金属材料层覆盖该蚀刻阻挡层;

[0011] 在该源漏金属材料层上涂覆一层光阻层,对该光阻层进行曝光和显影,利用显影留下的光阻层图案作为蚀刻掩模对该源漏金属材料层进行第一次蚀刻以形成源极和漏极,在该第一次蚀刻后露出下方的金属氧化物半导体材料层,该第一次蚀刻为湿蚀刻或干蚀刻;

[0012] 再以该光阻层图案和该蚀刻阻挡层作为蚀刻掩模对露出的该金属氧化物半导体材料层进行第二次蚀刻以形成金属氧化物有源层,其中该第二次蚀刻为干蚀刻;

[0013] 去除该光阻层图案。

[0014] 进一步地,该金属氧化物半导体材料层的溶液涂布的方式是旋转涂布、狭缝和旋转涂布或狭缝涂布中的一种。

[0015] 进一步地,该金属氧化物半导体材料层的膜厚为3~5nm。

[0016] 进一步地,该栅极绝缘层的膜厚为10nm~1000nm,该蚀刻阻挡材料层的膜厚为5nm~1000nm。

[0017] 进一步地,该第二次蚀刻所采用的干蚀刻中,采用的蚀刻气体为 Cl_2 、 BCl_3 、 CHCl_3 、 CH_2Cl_2 、 HCl 的任一种或它们的组合,采用的辅助气体为 O_2 和 He 的组合或 O_2 和 Ar 的组合,该辅助气体 O_2 的流量是蚀刻气体的流量的0~50%,该辅助气体 He 或 Ar 的流量是蚀刻气体的流量的0~500%,蚀刻腔室压力为5~100mtorr。

[0018] 进一步地,该蚀刻气体为 Cl_2 或 BCl_3 ,该辅助气体 O_2 的流量是蚀刻气体的流量的5%~30%,该辅助气体 He 或 Ar 的流量是蚀刻气体的流量的50%~150%,该蚀刻腔室压力10~50mtorr。

[0019] 进一步地,该第二次蚀刻所采用的干蚀刻中,采用的蚀刻电浆模式为高低双频模式,其中source power频率为13.56MHz,bias power频率为3.2MHz,source power功率密度为 $0.05\sim 1\text{W}/\text{cm}^2$,bias power功率密度为 $0.05\sim 1\text{W}/\text{cm}^2$,source power/bias power功率比为3:1~1:3。

[0020] 进一步地,该源漏金属材料层的材料为 Mo 、 MoTi 、 MoNb 、 MoW 、 MoTa 或 Mo 的其他合金中的一种膜层或为 $\text{Ti}/\text{Al}/\text{Ti}$ 复合膜层,该第一次蚀刻采用干蚀刻并且使用 Cl_2 。

[0021] 进一步地,该源漏金属材料层的材料为 Cu ,该第一次蚀刻采用湿蚀刻并且使用 H_2O_2 系蚀刻液。

[0022] 本发明还提供一种金属氧化物薄膜晶体管阵列基板,该金属氧化物薄膜晶体管阵列基板通过上述的制作方法制作形成。

[0023] 本发明的有益效果是:

[0024] 1、节省一张掩膜版的使用,降低金属氧化物薄膜晶体管阵列基板的制造成本;

[0025] 2、本发明金属氧化物半导体材料层要做到超薄且不影响金属氧化物薄膜晶体管阵列基板的开关电性能,金属氧化物半导体材料层得通过溶液涂布的方式制作;

[0026] 3、如果使用湿蚀刻制作金属氧化物有源层,会造成在源极和漏极出现底切(undercut)现象;本发明中使用干蚀刻来制作金属氧化物有源层,因为干蚀刻的各向异性特点,因此避免了使用湿蚀刻时对源极和漏极造成的底切(undercut)现象;

[0027] 4、本发明选择合适的干蚀刻气体种类、气体配比和制程参数设计得到的干蚀刻物理/化学反应机制,结合溶液涂布方式形成的金属氧化物半导体材料层的膜厚度非常薄的特点,可在适合大量生产的时间节拍内完成超薄金属氧化物半导体材料层的蚀刻,又可以得到金属氧化物有源层/蚀刻阻挡层/光阻图案层三层薄膜的适当蚀刻选择比,因此完成干蚀刻后,蚀刻阻挡层和光阻图案层的膜厚损失相对各自原膜厚都较小,从而确保了薄膜晶体管器件优良的电气特性和稳定性。

附图说明

[0028] 图1A至图1K本发明实施例在制备金属氧化物薄膜晶体管阵列基板时各个步骤的平面示意图。

[0029] 图2A至图2K本发明实施例在制备金属氧化物薄膜晶体管阵列基板时各个步骤的局部剖面示意图。

[0030] 图3为本发明实施例在制备金属氧化物薄膜晶体管阵列基板时的另一局部剖面示意图。

具体实施方式

[0031] 为更进一步阐述本发明为达成预定发明目的所采取的技术方式及功效,以下结合附图及实施例,对本发明的具体实施方式、结构、特征及其功效,详细说明如后。

[0032] 图1A至图1K本发明实施例在制备金属氧化物薄膜晶体管阵列基板时的俯视图,图2A至图2G为本发明实施例在制备金属氧化物薄膜晶体管阵列基板时的局部剖面示意图,图3为本发明实施例在制备金属氧化物薄膜晶体管阵列基板时的另一局部剖面示意图。

[0033] 该金属氧化物薄膜晶体管阵列基板的制作方法包括如下步骤:

[0034] 如图1A和2A所示,在衬底10上形成图形化的栅极11。衬底10例如为玻璃基板或塑料基板等。在衬底10上制作栅极11时,通过磁控溅射(sputter)或热蒸发等方法在衬底10上先沉积形成一层栅极金属材料层,栅极金属材料层可以采用Cr、W、Ti、Ta、Mo、Al、Cu等金属或合金,也可以采用由多层金属薄膜构成的复合薄膜;然后通过蚀刻工艺(例如包括上光阻、曝光、显影、蚀刻、去光阻等步骤)对该栅极金属材料层进行刻蚀图形化,以在衬底10上制作形成图形化的栅极11。

[0035] 如图1B-1D和2B-2D所示,在该衬底10上依次连续形成栅极绝缘层12、金属氧化物半导体材料层13和蚀刻阻挡材料层14共三层薄膜,其中该栅极绝缘层12覆盖在该栅极11上,该金属氧化物半导体材料层13通过溶液涂布方式覆盖在该栅极绝缘层12上,该金属氧化物半导体材料层13的膜厚为1~10nm,该蚀刻阻挡材料层14覆盖在该金属氧化物半导体材料层13上。

[0036] 如图1B和图2B所示,栅极绝缘层12例如为氧化硅(SiO_x)、氮化硅(SiN_x)、氮氧化硅(SiO_xN_y)或氧化铝(AlO_x)薄膜或者沉积两层或者多层材料的复合膜,成膜方式可以选择等离子体增强化学气相沉积(PECVD)、溅射(sputter)、原子沉积(ALD)、阳极氧化、溶胶-凝胶

(sol-gel) 工艺中的一种。栅极绝缘层12的膜厚为10nm~1000nm, 优选地为50nm~500nm。

[0037] 如图1C和图2C所示, 金属氧化物半导体材料层13例如为IGZO、ITZO、IZO等氧化物半导体薄膜, 金属氧化物半导体材料层13的膜厚为1~10nm。该金属氧化物半导体材料层13是膜厚为1~10nm的超薄膜, 在超薄金属氧化物半导体材料层这样的前提下, 为实现优良的半导体特性, 必须通过溶液涂布的方式成膜。若使用如溅射等其他成膜方式, 则因未形成连续薄膜或膜内缺陷密度过大而导致电学特性过差, 甚至不能实现半导体特性。金属氧化物半导体材料层13是通过溶液涂布的方式形成并覆盖在栅极绝缘层12上。

[0038] 具体地, 首先, 需配制金属氧化物半导体材料层试剂; 其次, 金属氧化物半导体材料层试剂可通过旋转涂布 (spin)、狭缝和旋转涂布 (slit&spin) 或狭缝涂布 (slit) 的方式涂布于基板上; 然后, 可选地进行UV照射、退火等工艺最终使金属氧化物半导体材料层13成膜, 最终所形成膜厚度为1~10nm, 优先地为3~5nm。

[0039] 例如狭缝涂布 (slit) 的方式, 将制作好栅极绝缘层12的基板置于狭缝涂布机上, 狭缝涂布机灌入金属氧化物半导体材料层试剂, 设定压力和用量控制膜厚。狭缝涂布方式所得的厚度分布均匀, 厚度超薄, 并最终制作的TFT开关电性能良好。经试验, 旋转涂布 (spin)、狭缝和旋转涂布 (slit&spin) 或狭缝涂布 (slit) 均能实现膜厚超薄和不影响TFT开关电性能, 也均能通过旋转涂布机、狭缝和旋转涂布机或狭缝涂布机简单实现, 成品率高, 成本低。

[0040] 如图1D和图2D所示, 蚀刻阻挡材料层14例如为氧化硅 (SiO_x)、氮化硅 (SiN_x)、氮氧化硅 (SiO_xN_y) 或氧化铝 (AlO_x) 薄膜或者沉积两层或多层材料的复合膜。成膜方式可以选择PECVD、ALD、sol-gel工艺中的一种。蚀刻阻挡材料层14的膜厚为5nm~1000nm, 优选地为50nm~300nm。

[0041] 如图1E和图2E所示, 对该蚀刻阻挡材料层14进行蚀刻图形化以在该金属氧化物半导体材料层13上对应该栅极11的上方形成蚀刻阻挡层14a, 此时该金属氧化物半导体材料层13未被蚀刻。

[0042] 作为氧化硅 (SiO_x) 的干蚀刻气体可以是 SF_6 , 可选地添加 O_2 和He。具体地, 利用干蚀刻工艺 (例如包括上光阻、曝光、显影、蚀刻、去光阻等步骤) 对蚀刻阻挡材料层14进行蚀刻图形化, 以在金属氧化物半导体材料层13上对应该栅极11的上方形成蚀刻阻挡层14a, 此时金属氧化物半导体材料层13未被蚀刻, 金属氧化物半导体材料层13仍整面地覆盖在栅极绝缘层12上。

[0043] 如图1F和图2F所示, 在该金属氧化物半导体材料层13和蚀刻阻挡层14a上形成一层源漏金属材料层15, 其中该源漏金属材料层15覆盖该蚀刻阻挡层14a。

[0044] 如图1G-1H和2G-2H所示, 该源漏金属材料层15上涂覆一层光阻层40, 对该光阻层40进行曝光和显影, 利用显影留下光阻层图案40a。

[0045] 如图1I和图2I所示, 以光阻层图案40a作为掩模对该源漏金属材料层15进行第一次蚀刻以形成源极151和漏极152, 在第一次蚀刻后露出下方的金属氧化物半导体材料层13, 该第一次蚀刻为湿蚀刻或干蚀刻。

[0046] 源极151和漏极152由源漏金属材料层15干蚀刻图形化所得, 源漏金属材料层15的材料为Mo、MoTi、MoNb、MoW、MoTa或Mo的合金中的一种膜层, 或Ti/Al/Ti复合膜层, 通过 Cl_2 进行干蚀刻图形化, 可选地添加 O_2 和He。或者源极151和漏极152由源漏金属材料层15湿蚀

刻所得,源漏金属材料层15的材料为Cu,配合Mo、Mo合金、Ti等附着力增强层使用,使用H₂O₂系蚀刻液刻蚀,H₂O₂系蚀刻液对金属氧化物半导体材料层13无蚀刻作用。

[0047] 如图1J和2J所示,再以该光阻层图案40a和蚀刻阻挡层14a作为蚀刻掩模对金属氧化物半导体材料层13进行第二次蚀刻以形成金属氧化物有源层13a,其中该第二次蚀刻为干蚀刻。

[0048] 干蚀刻组份包括蚀刻气体和辅助气体,采用的蚀刻气体为Cl₂、BCl₃、CHCl₃、CH₂Cl₂、HCl的任一种或它们的组合,采用的辅助气体为O₂和He的组合或O₂和Ar的组合,辅助气体O₂的流量是蚀刻气体的流量的0~50%,优选地5%~30%,辅助气体He或Ar的流量是蚀刻气体的流量的0~500%,优选地50%~150%,蚀刻腔室压力为5~100mtorr,优选地为10~50mtorr,蚀刻电浆模式使用高低双频模式source power频率:13.56MHz,bias power频率:3.2MHz,source power功率密度0.05~1W/cm²,bias power功率密度0.05~1W/cm²,source power/bias power功率比3:1~1:3,优选地1:1。

[0049] 如图1K和2K所示,去除该光阻层图案40,完成有源层和S/D两层薄膜的图形化。至此,基本完成在阵列基板上制作形成金属氧化物薄膜晶体管。

[0050] 在本发明实施例的上述步骤中,通过将该光阻层图案40和蚀刻阻挡层14a作为一张掩模对金属氧化物半导体材料层13进行黄光蚀刻制程,省去金属氧化物半导体有源层黄光制程,因此可以节省一张掩模的使用,精简了制程,降低了制作成本,提高了黄光产能和生产效率;但如果金属氧化物半导体材料层13进行湿蚀刻,容易造成在源极和漏极出现底切(undercut)的缺陷现象;本发明中使用干蚀刻来制作金属氧化物有源层13a,因为干蚀刻的各向异性特点,因此避免了使用湿蚀刻时对源极和漏极造成的底切(undercut)缺陷;本发明选择合适的干蚀刻气体种类、气体配比和制程参数设计得到的干蚀刻物理/化学反应机制,可以得到金属氧化物有源层13a/蚀刻阻挡层14a/光阻图案层40a三层薄膜的适当蚀刻选择比。具体地说,以Cl为主要蚀刻物质的干蚀刻电浆主要通过物理溅射方式起到对金属氧化物和SiO_x的蚀刻作用,纯物理溅射蚀刻的特点是蚀刻速率低,且蚀刻速率选择比也很低。故当金属氧化物膜很薄时,意味着同时被蚀刻掉的蚀刻阻挡层SiO_x也很薄,从蚀刻阻挡层整体膜厚来讲,对其损伤可以忽略。当有辅助气体O₂加入时,实验表明会进一步降低SiO_x的蚀刻速率,故对蚀刻阻挡层损伤更小。惰性气体He的加入,因其原子质量小,实验结果表明它的加入,有助于实现更平滑的蚀刻表面,意味着表面缺陷更少,最终所得的TFT电性更佳。对光阻层来讲,因通常所使用的光阻厚度尺度上比氧化物半导体和蚀刻阻挡层高若干数量级,故虽然Cl plasma蚀刻光阻更快,甚至加入O₂后更快,但在完成超薄金属氧化物蚀刻的时间尺度内,相对于光阻层的初始厚度,光阻层的膜厚损失仍然是一小部分,此时光阻层仍具有对其下层薄膜的足够的保护作用。且以本发明的制程参数,金属氧化物有源层/光阻层蚀刻选择比小于1:50,完全在可接受范围之内。因为在使用干蚀刻来制作金属氧化物有源层13a时,干蚀刻也会对光阻层图案40a和蚀刻阻挡层14a具有蚀刻作用,但是本发明中使金属氧化物半导体材料层13的厚度制作得很薄,仅为1~10nm,所以在对金属氧化物半导体材料层13进行干蚀刻制作形成金属氧化物有源层13a时,持续的时间较短,因此完成干蚀刻后,蚀刻阻挡层和光阻图案层的膜厚损失相对各自原膜厚都较小,从而确保了薄膜晶体管器件优良的电气特性和稳定性。

[0051] 优选地,采用O₂/Cl₂流量为200/2000sccm,蚀刻腔室压力为30mtorr,source

power/bias power为4KW/4KW。金属氧化物有源层13a蚀刻率约2nm/min,且金属氧化物有源层13a/蚀刻阻挡层SiO_x14a/光阻图案层40a的蚀刻选择比接近1:1:100数量级。对于本发明所应用的溶液涂布型金属氧化物半导体,其厚度为1~10nm,因此完成其干蚀刻后,蚀刻阻挡材料层14和光阻层40的膜厚损失相对各自原膜厚都较小,故而可以省去金属氧化物半导体材料层13黄光制程;又因为干蚀刻的各向异性特点,不会源极和漏极的undercut现象。

[0052] 在去除所述光阻层图案30a之后,在阵列基板上还可再进行其他膜层的制作。

[0053] 如图3所示,在去除该光阻层图案40之后,该金属氧化物薄膜晶体管阵列基板的制作方法还包括在该栅极绝缘层12上形成钝化层17,该钝化层17覆盖该源极151、该漏极152和从该源极151和该漏极152之间露出的该蚀刻阻挡层14a,在该钝化层17上于对应该源极151或该漏极152的位置处形成通孔170,然后在该钝化层17上形成像素电极18,其中该像素电极18通过该通孔170与该源极151或该漏极152电连接。

[0054] 钝化层17例如为氧化硅、氮化硅或氮氧化硅薄膜,可通过PECVD等方法沉积在栅极绝缘层12上并覆盖源极151、漏极152和从源极151和漏极152之间露出的蚀刻阻挡层14a。钝化层17的通孔170可通过一道蚀刻工艺(例如包括上光阻、曝光、显影、蚀刻、去光阻等步骤)形成。像素电极18可以通过先在钝化层17上沉积一层透明导电材料层,然后通过一道蚀刻工艺(例如包括上光阻、曝光、显影、蚀刻、去光阻等步骤)对该透明导电材料层进行蚀刻图形化,以在阵列基板的各像素区域内形成像素电极18。像素电极18的材料例如为氧化铟锡(ITO)、氧化铟锌(IZO)或氧化铝锌等。

[0055] 经由上述各步骤制作完成的氧化物薄膜晶体管阵列基板,可以作为扭曲向列模式(Twisted Nematic, TN)的液晶显示面板的阵列基板,该液晶显示面板还包括彩色滤光片基板(图未示)以及夹设在彩色滤光片基板和阵列基板之间的液晶层(图未示),在彩色滤光片基板上还制作形成有公共电极(图未示)。

[0056] 在其他实施例中,也可以同时在上列阵列基板上制作形成公共电极(图未示),即公共电极与像素电极形成在同一基板(即薄膜晶体管阵列基板)上。公共电极与像素电极搭配用于产生驱动液晶旋转的电场。在阵列基板上公共电极与像素电极可位于不同层中,且两者之间夹置有绝缘层,从而使上述阵列基板可以作为边缘场开关模式(Fringe Field Switching, FFS)的液晶显示面板的阵列基板;或者在阵列基板上公共电极与像素电极可位于同一层中,但是两者相互隔开,从而使上述阵列基板可以作为面内切换模式(In-Plane Switch, IPS)的液晶显示面板的阵列基板。

[0057] 以上所述,仅是本发明的较佳实施例而已,并非对本发明作任何形式上的限制,虽然本发明已以较佳实施例揭露如上,然而并非用以限定本发明,任何熟悉本专业的技术人员,在不脱离本发明技术方案范围内,当可利用上述揭示的技术内容作出些许更动或修饰为等同变化的等效实施例,但凡是未脱离本发明技术方案内容,依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化与修饰,均仍属于本发明技术方案的范围。

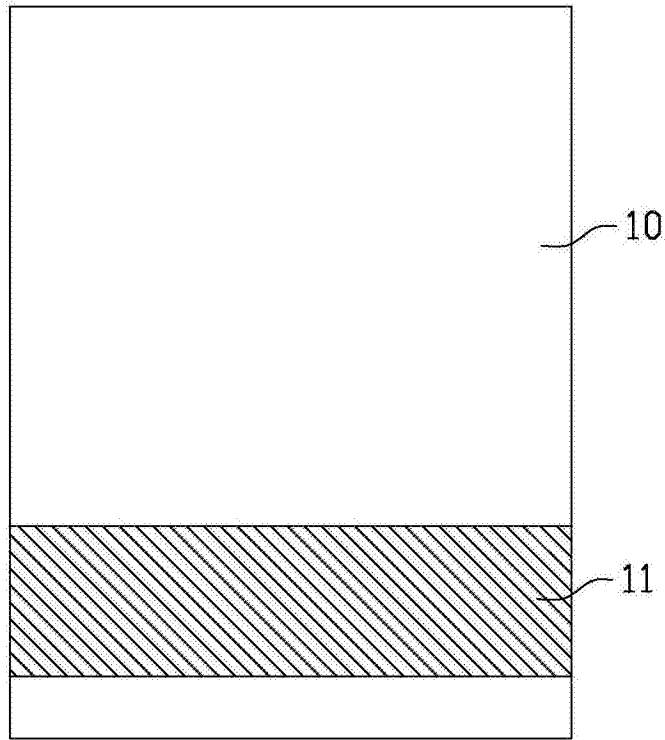


图1A

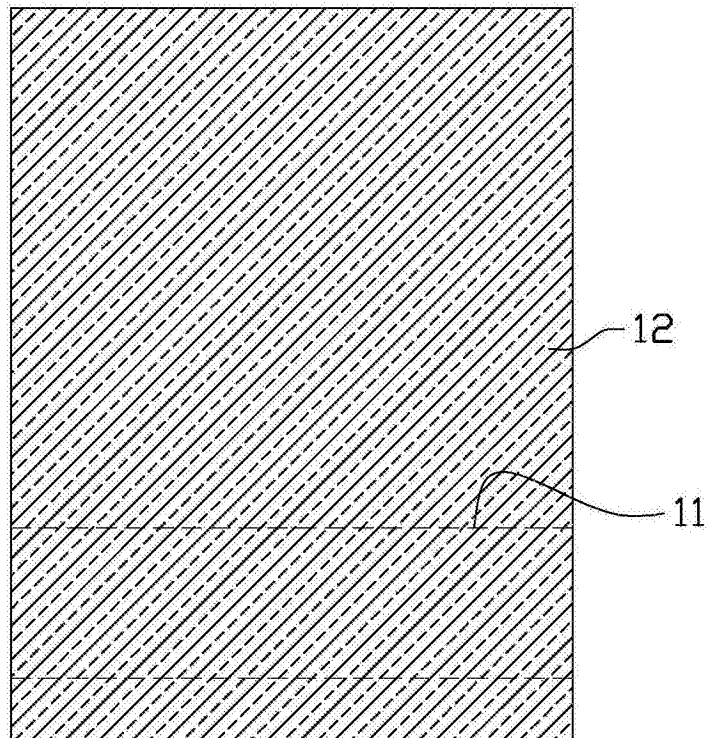


图1B

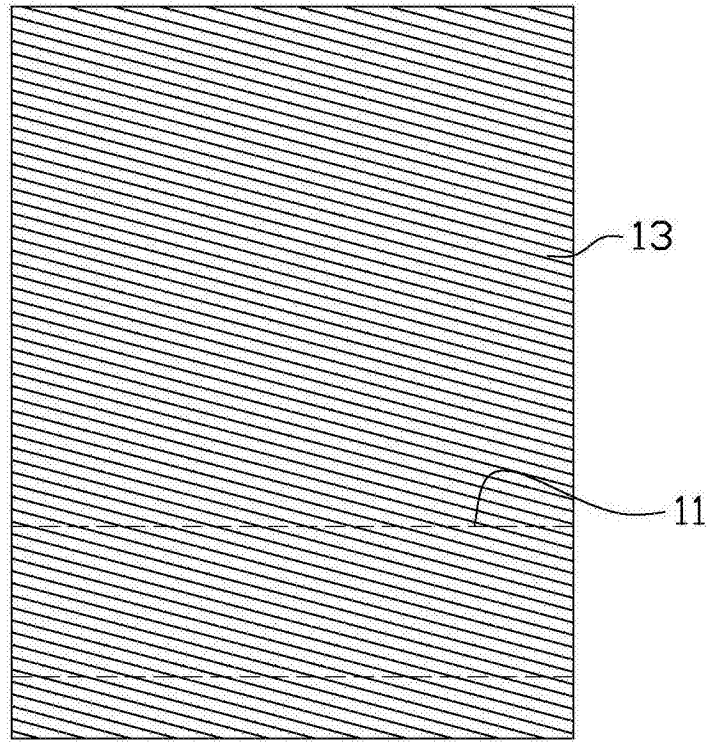


图1C

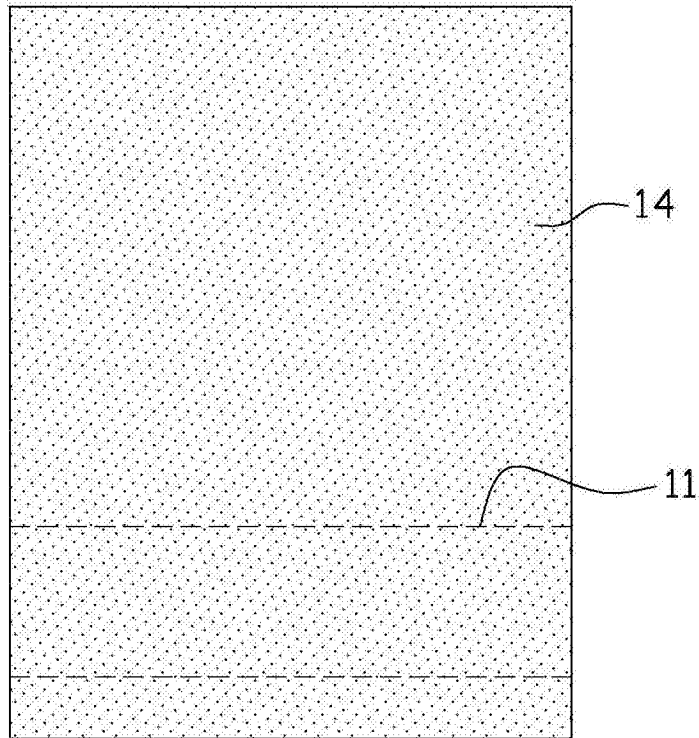


图1D

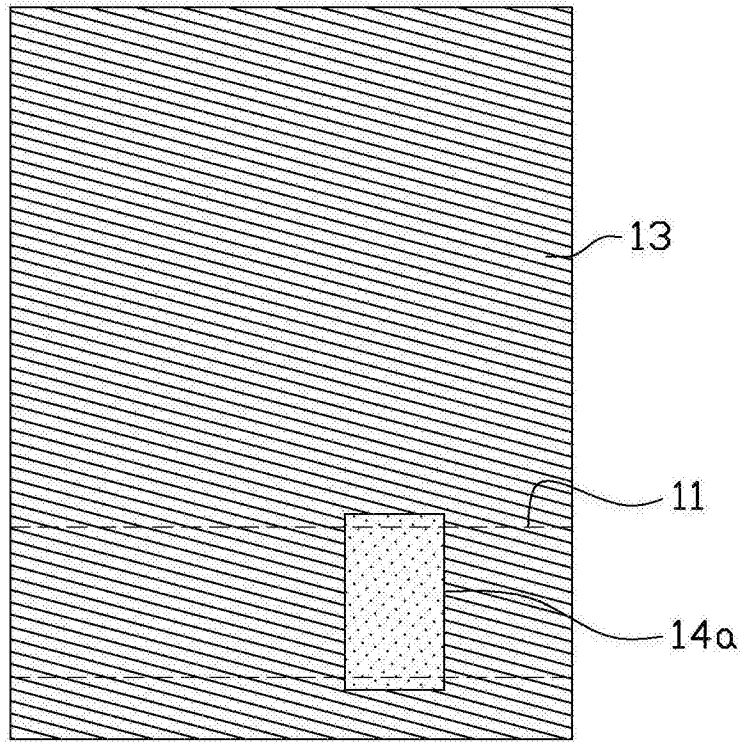


图1E

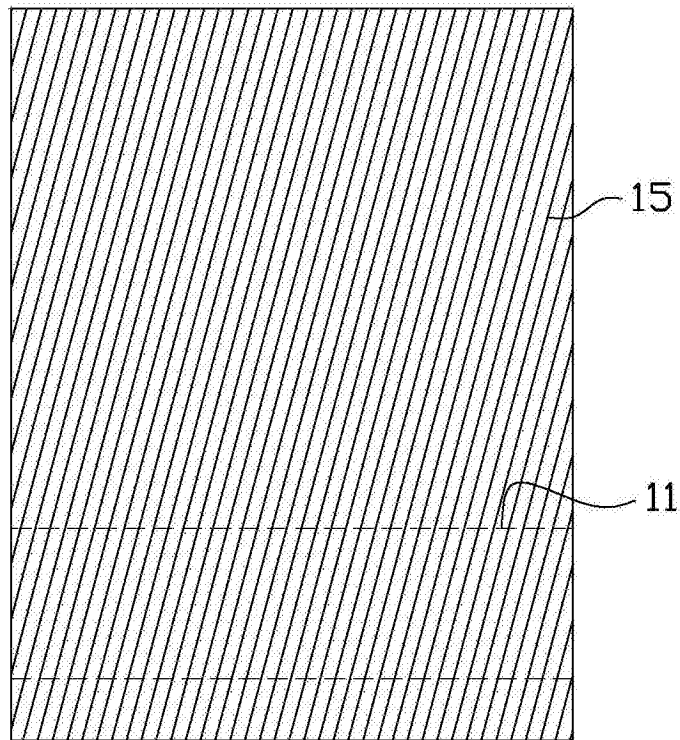


图1F

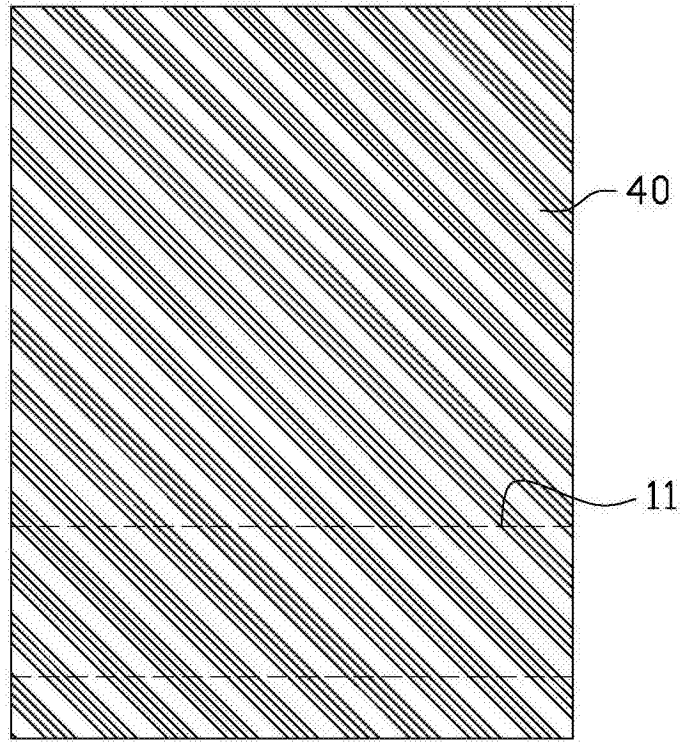


图1G

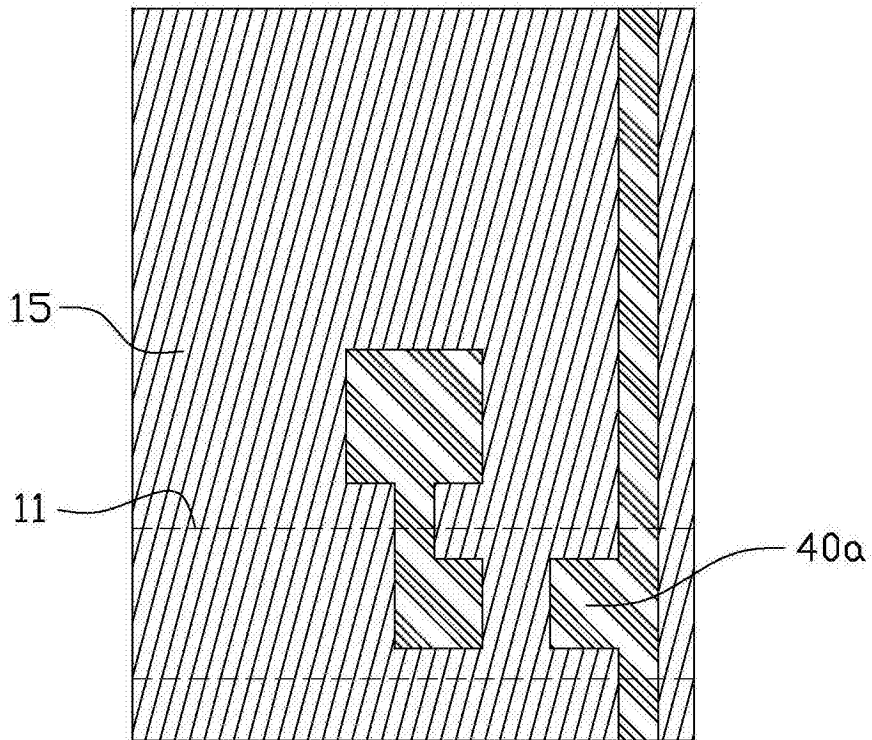


图1H

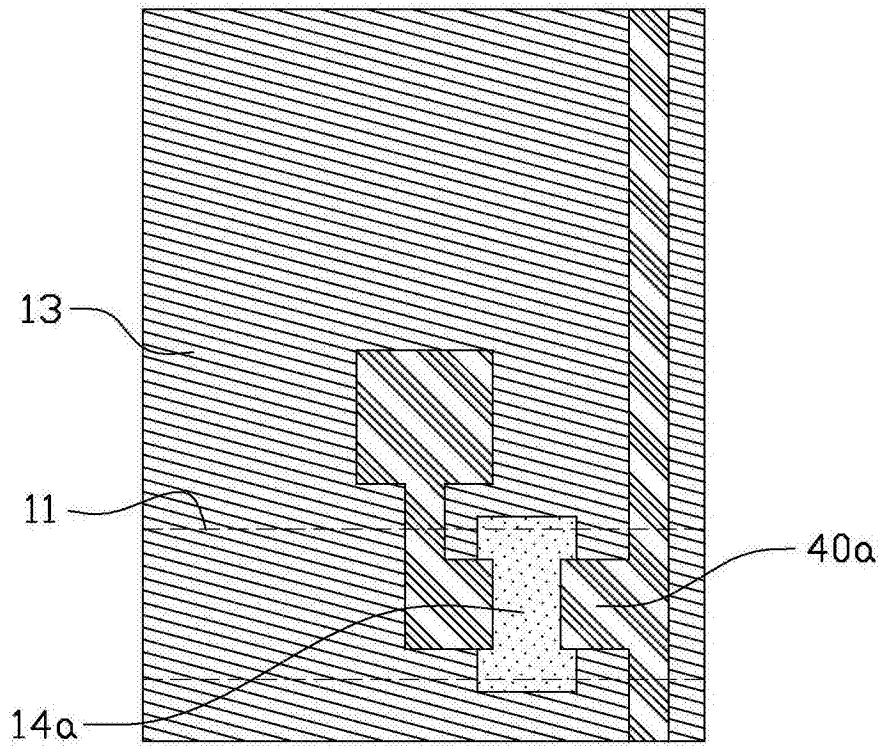


图1I

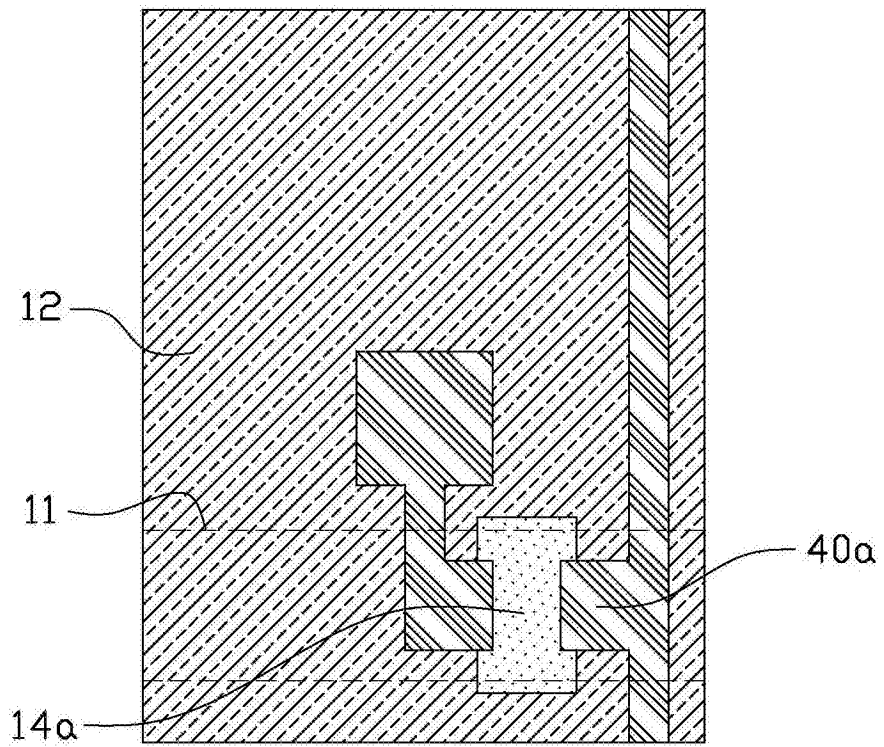


图1J

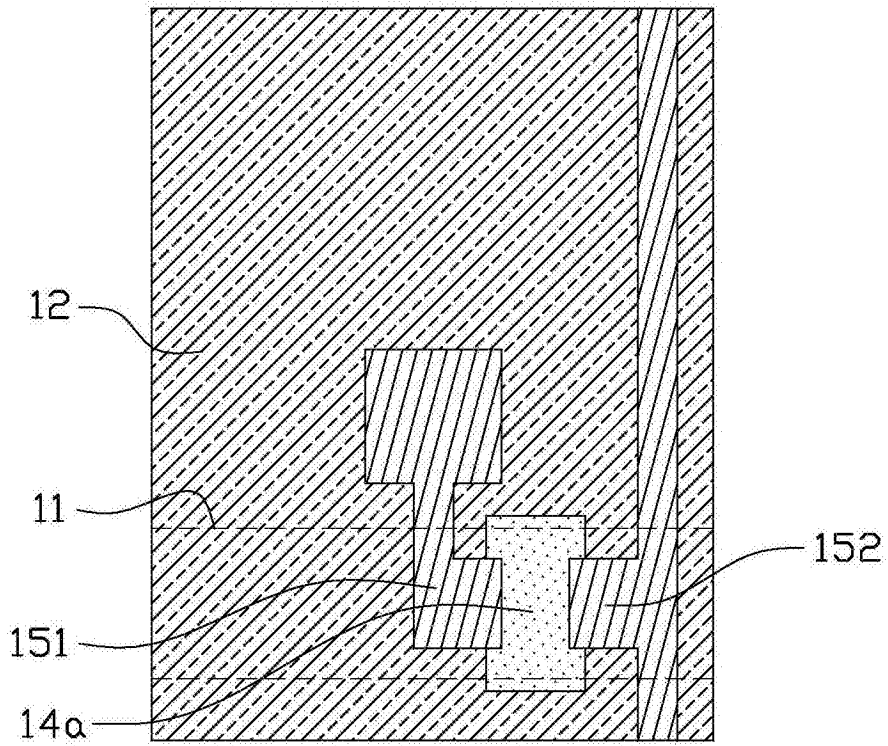


图1K

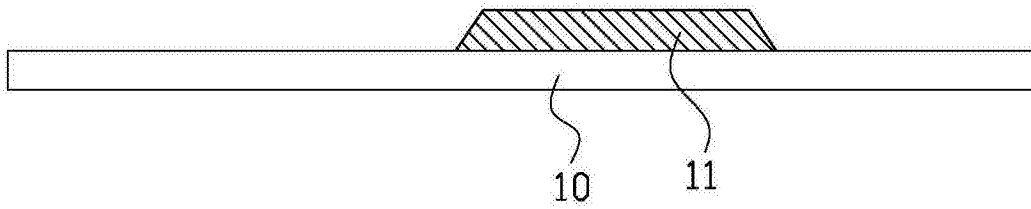


图2A

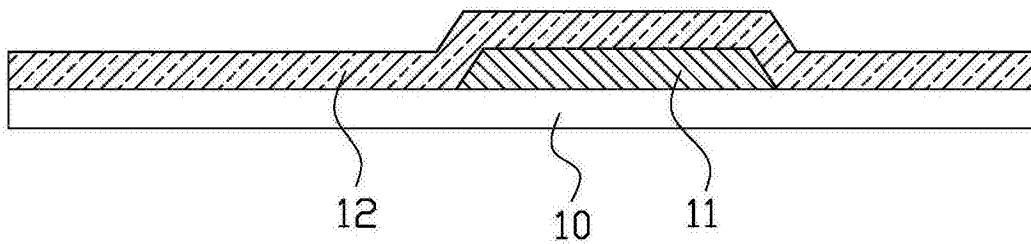


图2B

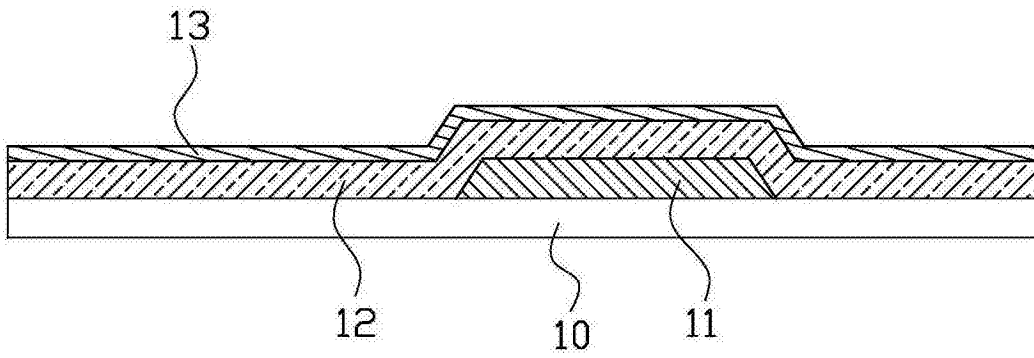


图2C

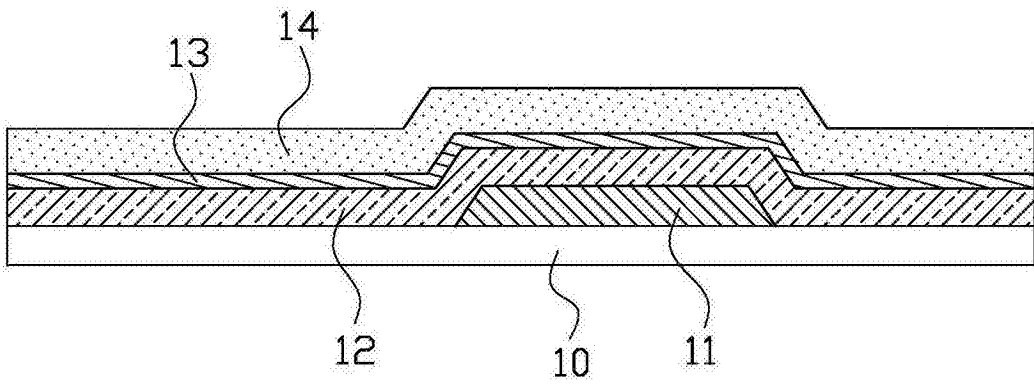


图2D

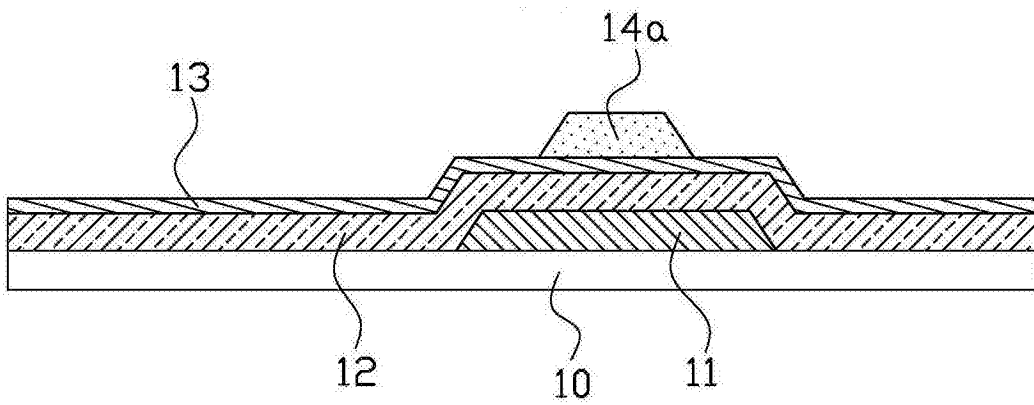


图2E

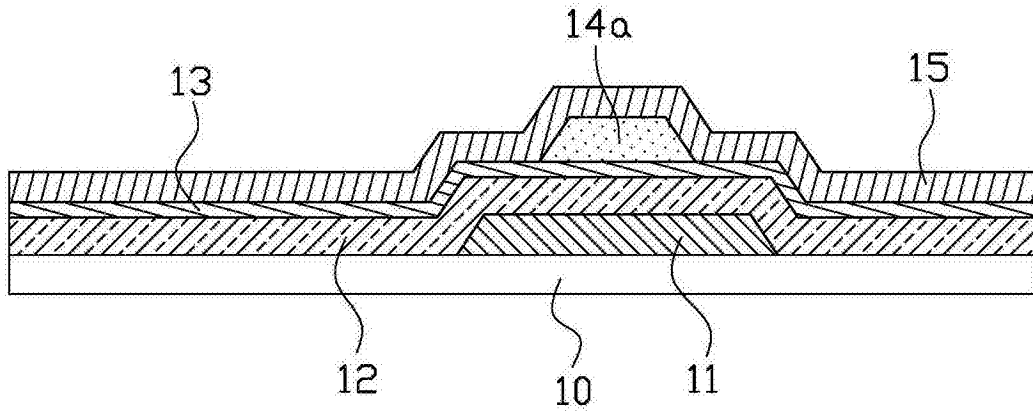


图2F

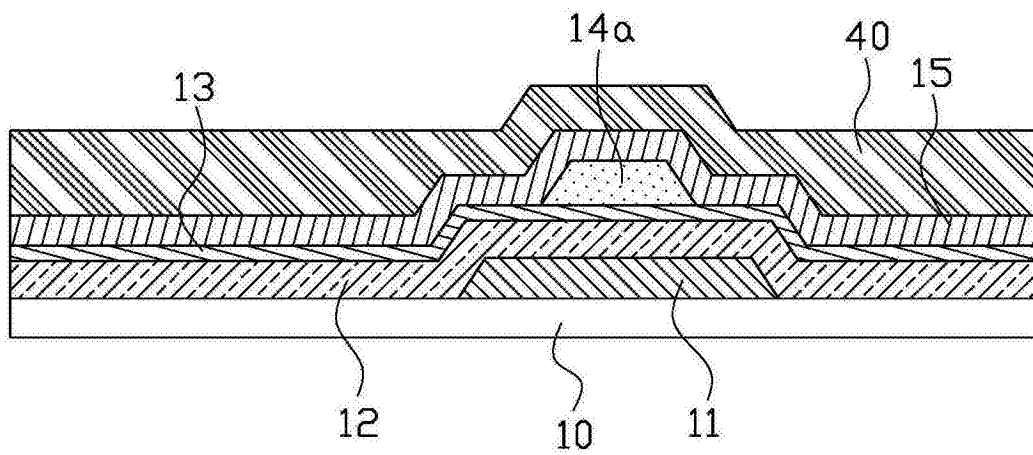


图2G

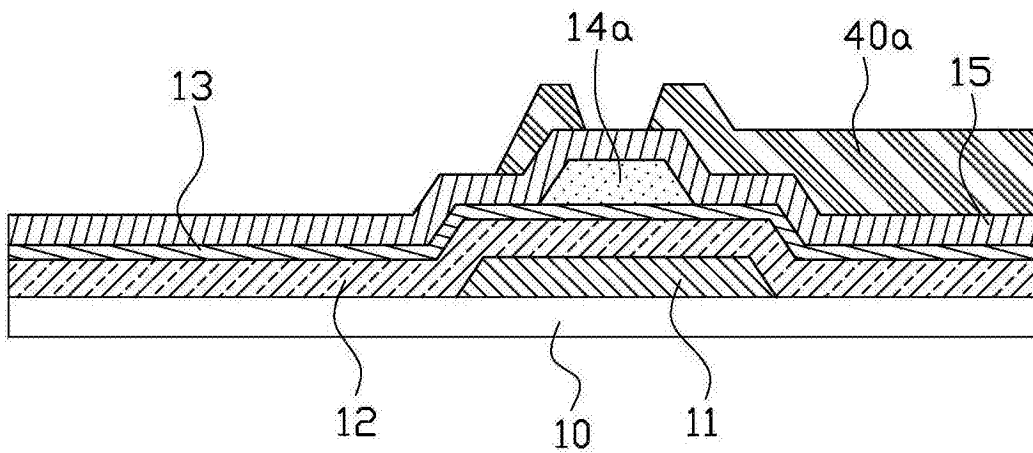


图2H

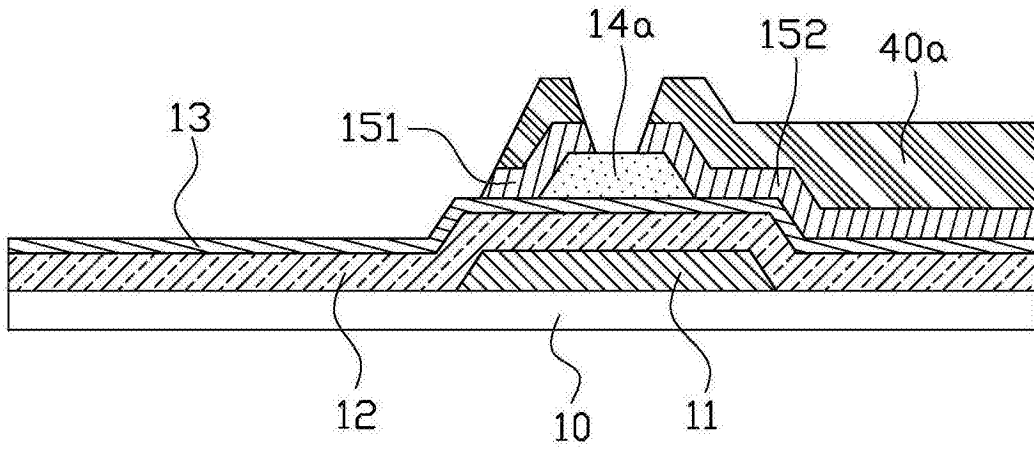


图2I

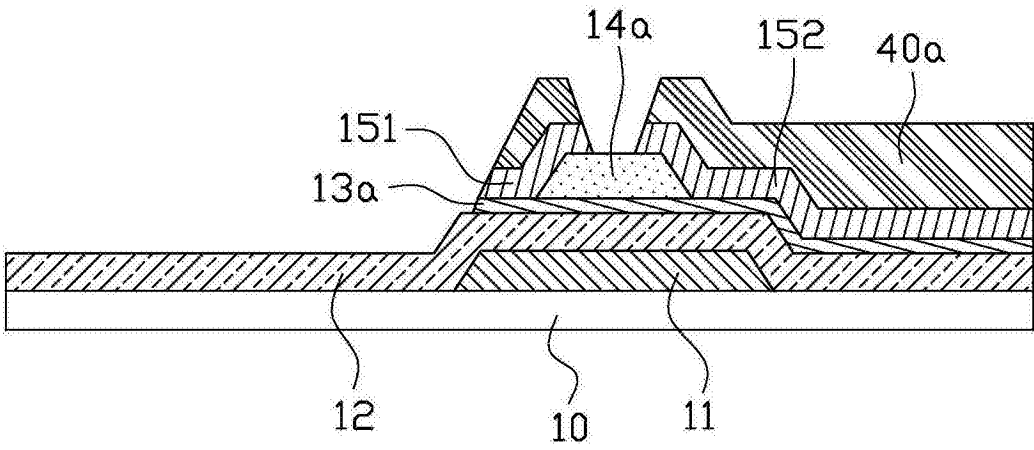


图2J

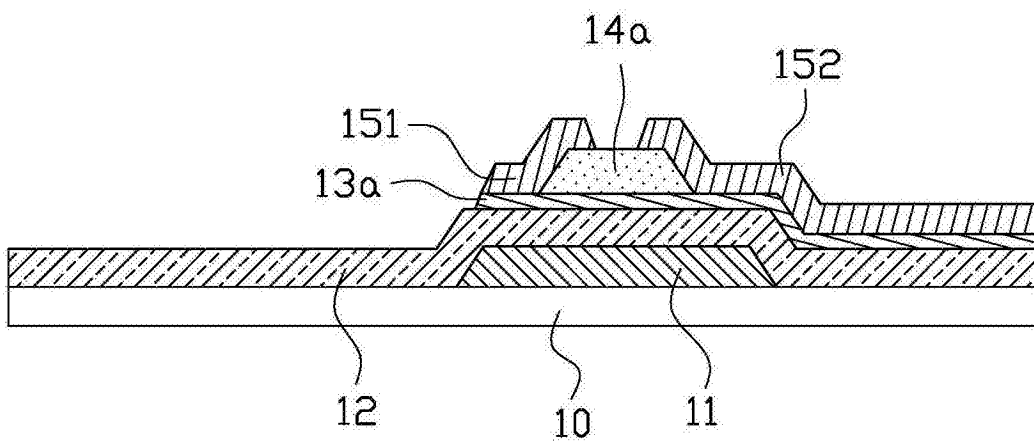


图2K

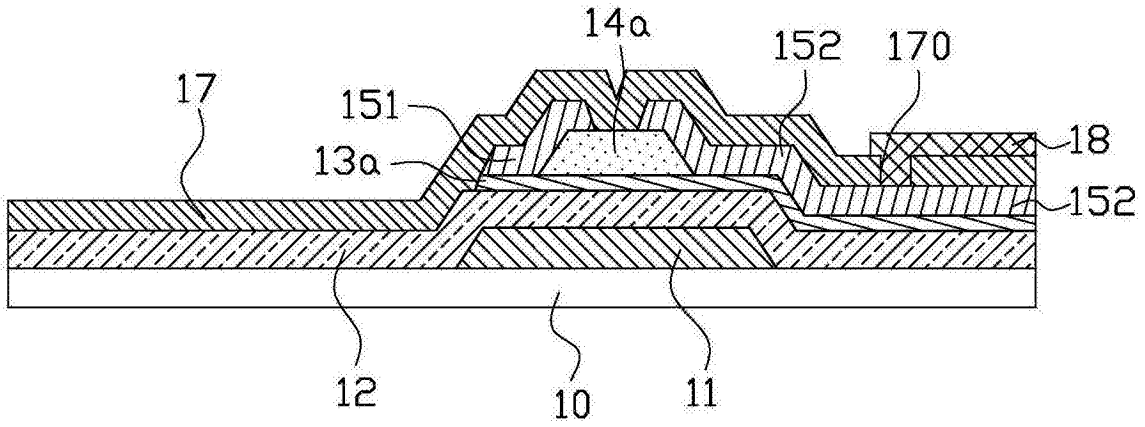


图3