

## (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2022年5月12日 (12.05.2022)



(10) 国际公布号  
**WO 2022/095347 A1**

(51) 国际专利分类号:  
*H01L 29/78* (2006.01)    *H01L 29/40* (2006.01)  
*H01L 29/06* (2006.01)    *H01L 21/336* (2006.01)

(21) 国际申请号: PCT/CN2021/089923

(22) 国际申请日: 2021年4月26日 (26.04.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:  
202011232183.1    2020年11月6日 (06.11.2020)    CN

(71) 申请人: 中国电子科技集团公司第二十四研究所 (NO.24 RESEARCH INSTITUTE OF CHINA ELECTRONICS TECHNOLOGY GROUP CORPORATION) [CN/CN]; 中国重庆市南岸区南坪花园路14号, Chongqing 400060 (CN)。

(72) 发明人: 谭开洲 (TAN, Kaizhou); 中国重庆市南岸区南坪花园路14号, Chongqing 400060 (CN)。肖添 (XIAO, Tian); 中国重庆市南岸区南坪花园路14号, Chongqing 400060 (CN)。张嘉浩 (ZHANG, Jiahao); 中国重庆市南岸区南坪花园路14号, Chongqing 400060 (CN)。杨永晖 (YANG, Yonghui); 中国重庆市南岸区南坪花园路14号, Chongqing 400060 (CN)。李孝权 (LI, Xiaoquan); 中国重庆市南岸区南坪花园路14号, Chongqing 400060 (CN)。王鹏飞 (WANG, Pengfei); 中国重庆市南岸区南坪花园路14号, Chongqing 400060 (CN)。裴颖 (PEI, Ying); 中国重庆市南岸区南坪花园路14号, Chongqing 400060 (CN)。李光波 (LI, Guangbo); 中国重庆市南岸区南坪花园路14号, Chongqing 400060 (CN)。蒋和全 (JIANG, Hequan); 中国重庆市南岸区南坪花园路14号, Chongqing 400060 (CN)。张培健 (ZHANG,

(54) **Title:** RESISTANCE FIELD PLATE CONDUCTIVITY MODULATION FIELD EFFECT MOS DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 电阻场板电导调制场效应MOS器件及其制备方法

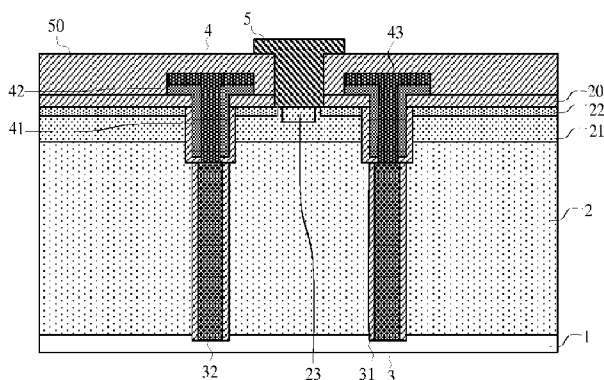


图 1

(57) **Abstract:** The present invention provides a resistance field plate conductivity modulation field effect MOS device and a manufacturing method therefor. In the resistance field plate conductivity modulation field effect MOS device provided in the present invention, a semi-insulating resistance field plate which is electrically connected to a trench gate structure and a drain structure simultaneously is additionally arranged in a drift region on the basis of a trench gate MOS device; when the trench gate structure controls the on-off of an MOS channel, the impurity concentration in the drift region is adjusted by means of the semi-insulating resistance field plate, so that the on-state drift region conductivity and the off-state high-voltage blocking electric field distribution are modulated, and a lower on-resistance characteristic can be obtained. Moreover, according to the manufacturing method for the resistance field plate conductivity modulation field effect MOS device provided by the present invention, a modern 2.5-dimensional processing technology based on deep trench etching is used in terms of technology, so that miniaturization design and high-density design of the structure are facilitated,



WO 2022/095347 A1

Peijian); 中国重庆市南岸区南坪花园路14号, Chongqing 400060 (CN)。邱盛(QIU, Sheng); 中国重庆市南岸区南坪花园路14号, Chongqing 400060 (CN)。陈良(CHEN, Liang); 中国重庆市南岸区南坪花园路14号, Chongqing 400060 (CN)。崔伟(CUI, Wei); 中国重庆市南岸区南坪花园路14号, Chongqing 400060 (CN)。

(74) 代理人: 上海光华专利事务所(普通合伙)(J.Z.M.C PATENT AND TRADEMARK LAW OFFICE (GENERAL PARTNERSHIP)); 中国上海市杨浦区国定路335号5022室余明伟, Shanghai 200433 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

and the method is more suitable for the development direction of a modern integrated semiconductor device More than Moore.

(57) 摘要: 本发明提供了一种电阻场板电导调制场效应MOS器件及其制备方法, 本发明提供的电阻场板电导调制场效应MOS器件, 在槽栅MOS器件的基础上, 于漂移区中增设一个同时与槽栅结构和漏极结构电连接的半绝缘电阻场板, 在槽栅结构控制MOS沟道的通断的同时, 通过半绝缘电阻场板调节漂移区中的杂质浓度, 进而调制导通态漂移区电导和截止态高压阻断电场分布, 可以获得更低的导通电阻特性; 同时, 本发明提供的电阻场板电导调制场效应MOS器件制备方法, 在工艺上采用了基于深槽刻蚀的现代2.5维立体加工工艺, 利于结构小型化设计和高密度化设计, 更适应现代集成半导体器件More than Moore(超越摩尔)的发展方向。

## 电阻场板电导调制场效应 MOS 器件及其制备方法

### 技术领域

本发明属于半导体器件及集成电路技术领域，尤其是涉及一种电阻场板电导调制场效应 MOS 器件及其制备方法。

### 背景技术

半导体器件，尤其是高压硅功率器件，其承受耐压的漂移区击穿电压和导通电阻的优化设计是互相影响和相互矛盾的，获得高击穿电压一般就很难获得低的导通电阻，当然这不包括承受耐压的漂移区在器件导通时存在少子或非平衡双载流子大注入调制的情况，如绝缘栅双极型晶体管（IGBT）、P-I-N 二极管（PIN）和门控晶闸管（GTO）等器件。一般在 300V 以上的高压半导体硅器件中，有一部分导通电阻都由该器件高压漂移区占据，这种情况随着工作电压的增加也越来越严重，这就是非少子调制型功率器件最著名的击穿电压 2.5 次方与漂移区导通电阻成正比的硅理论限制。

为了降低高压情况下非少子调制型功率器件漂移区导通电阻，近十几年来，业界针对传统的器件元胞结构提出了一些在保持击穿电压不变条件下降低导通电阻的方法和器件元胞结构，最著名的是基于半导体 PN 结 RESURF 二维电场原理和电荷平衡原则改进的超结（Super Junction）结构的器件。

目前已知的超结或者类似超结效果的结构有三类：第一类是基于 PN 结的结构；第二类是在第一类 PN 结结构基础上，替换其中的 P 型或 N 型区为极高介电常数介质材料，此极高介电常数介质材料可以包括沿替换 P 型或 N 型区界面一层薄的普通常用介电常数介质材料；第三类也是在第一类 PN 结结构基础上，替换其中的 P 型或 N 型区为沿替换 P 型或 N 型区界面一层薄的普通常用介电常数介质材料及半绝缘材料层结构，起到电阻场板作用的结构。

但是，第二类类似超结效果的结构还没有大的研究进展，无论是高介电常数介质材料方案还是半绝缘材料层结构都还没有实验结果或者具体的实现方案，如何在现有超结结构的基础上实现高耐压和更低导通电阻的高压硅功率器件如 MOS 器件是目前急需解决的问题。

### 发明内容

鉴于以上所述现有技术的缺点，本发明的目的在于提供一种电阻场板电导调制场效应 MOS 器件的技术方案，用于解决上述技术问题。

为实现上述目的及其他相关目的，本发明提供一种电阻场板电导调制场效应 MOS 器件，

包括：

衬底；

外延层，设置在所述衬底上；

MOS 源极区，设置在所述外延层中且位于所述外延层的顶部；

MOS 沟道区，设置在所述外延层中且位于所述 MOS 源极区之下；

槽栅结构，设置在所述外延层的顶部，且垂直覆盖所述 MOS 源极区与所述 MOS 沟道区；

半绝缘电阻场板结构，设置在所述外延层中且与所述衬底电连接，位于所述槽栅结构之下且与所述槽栅结构电连接；

其中，所述外延层中形成有沟槽，所述沟槽垂直穿过所述 MOS 源极区、所述 MOS 沟道区以及所述外延层至所述衬底；所述半绝缘电阻场板结构和所述槽栅结构沿着所述沟槽的底部到顶部方向依次设置在所述沟槽中；

沿着所述沟槽的槽壁向内，所述半绝缘电阻场板结构包括场板介质层和半绝缘电阻场板层，所述槽栅结构包括栅介质层、第一槽栅层及第二槽栅层；所述第二槽栅层与所述半绝缘电阻场板层电连接；在所述沟槽的底部，所述半绝缘电阻场板层与所述衬底电连接。

进一步地，所述电阻场板电导调制场效应 MOS 器件还包括：

MOS 沟道接触区，设置在所述外延层的顶部中，与所述 MOS 沟道区接触。

进一步地，所述电阻场板电导调制场效应 MOS 器件还包括：

源极电极，设置在所述 MOS 沟道接触区上，且与所述 MOS 沟道接触区两侧的所述 MOS 源极区电连接；

漏极电极，设置在所述衬底远离所述外延层的一侧；

栅极电极，设置在所述槽栅结构上且所述槽栅结构电连接。

此外，为实现上述目的及其他相关目的，本发明还提供一种电阻场板电导调制场效应 MOS 器件的制备方法，包括步骤：

提供衬底，并在所述衬底上形成外延层；

在所述外延层的顶部内形成 MOS 沟道区、MOS 源极区及 MOS 沟道接触区；

形成沟槽，所述沟槽垂直穿过所述 MOS 源极区、所述 MOS 沟道区以及所述外延层至所述衬底；

沿着所述沟槽的底部到顶部方向，在所述沟槽中依次形成半绝缘电阻场板结构和槽栅结构，所述半绝缘电阻场板结构与所述槽栅结构电连接，且所述半绝缘电阻场板结构远离所述槽栅结构的一端与所述衬底电连接；

形成源极电极、漏极电极及栅极电极；

其中，沿着所述沟槽的底部到顶部方向，在所述沟槽中依次形成所述半绝缘电阻场板结构和所述槽栅结构的步骤包括：

对所述沟槽的底部及侧壁进行氧化，形成场板介质层；

刻蚀去除所述沟槽底部的场板介质层；

在所述沟槽中填充形成半绝缘电阻场板层，所述沟槽的顶部未完全填满，所述沟槽顶部的剩余部分至少穿过所述 MOS 沟道区；

刻蚀去除所述沟槽顶部剩余部分的侧壁的场板介质层；

对所述沟槽顶部剩余部分的侧壁及底部进行氧化，形成栅介质层；

沿着所述沟槽的槽壁向内，在所述沟槽顶部剩余部分中依次形成第一槽栅层及第二槽栅层，且所述第二槽栅层的底部与所述半绝缘电阻场板层电连接；

所述半绝缘电阻场板层和残留的所述场板介质层构成所述半绝缘电阻场板结构，所述第一槽栅层、所述第二槽栅层及所述栅介质层构成所述槽栅结构。

进一步地，在所述外延层的顶部内形成所述 MOS 沟道区、所述 MOS 源极区及所述 MOS 沟道接触区的步骤包括：

进行第一次离子注入和第一次离子扩散，在所述外延层的顶部内形成所述 MOS 沟道区；

进行第二次离子注入，形成所述 MOS 源极区，所述 MOS 源极区位于所述 MOS 沟道区之上；

进行第三次离子注入，形成所述 MOS 沟道接触区，所述 MOS 沟道接触区与所述 MOS 沟道区接触。

进一步地，在所述沟槽中形成所述半绝缘电阻场板层的步骤包括：

向所述沟槽中填充半绝缘多晶硅材料；

刻蚀去除所述沟槽中填充的部分半绝缘多晶硅材料，暴露出所述沟槽的顶部，所述沟槽的暴露部分至少穿过所述 MOS 沟道区；

其中，所述沟槽的暴露部分即为所述沟槽顶部的剩余部分。

进一步地，沿着所述沟槽的槽壁向内，在所述沟槽顶部剩余部分中依次形成所述第一槽栅层及所述第二槽栅层的步骤包括：

形成第一掺杂多晶硅材料，所述第一掺杂多晶硅材料至少覆盖所述沟槽顶部剩余部分的底部及侧壁；

刻蚀去除所述沟槽顶部剩余部分底部的第一掺杂多晶硅材料和栅介质层，露出所述半绝

缘电阻场板层的顶部；

在所述第一掺杂多晶硅材料上形成第二掺杂多晶硅材料，所述第二掺杂多晶硅材料至少填满所述沟槽顶部的剩余部分；

刻蚀所述第二掺杂多晶硅材料和所述第一掺杂多晶硅材料，分别形成所述第二槽栅层及所述第一槽栅层。

如上所述，本发明的电阻场板电导调制场效应 MOS 器件及其制备方法具有以下有益效果：

1)、在槽栅 MOS 器件的基础上，于漂移区中增设一个同时与槽栅结构和漏极结构电连接的半绝缘电阻场板，在槽栅结构控制 MOS 沟道的通断的同时，通过半绝缘电阻场板调节漂移区中的杂质浓度，进而调制导通态漂移区电导和截止态高压阻断电场分布，可以获得更低的导通电阻特性；

2)、在工艺上采用了基于深槽刻蚀的现代 2.5 维立体加工工艺，利于结构小型化设计和高密度化设计，更适应现代集成半导体器件 More than Moore（超越摩尔）的发展方向。

## 附图说明

图 1 显示为本发明中电阻场板电导调制场效应 MOS 器件的结构示意图。

图 2 显示为本发明中电阻场板电导调制场效应 MOS 器件的制备方法的步骤示意图。

图 3-图 21 显示为本发明中电阻场板电导调制场效应 MOS 器件的制备方法的工艺流程图。

### 附图标号说明

1—衬底，2—外延层，20、20'—氧化层，21—MOS 沟道区，22—MOS 源极区，23—MOS 沟道接触区，3—半绝缘电阻场板结构，4—槽栅结构，30—半绝缘多晶硅材料，31—场板介质层，32—半绝缘电阻场板层，401—第一掺杂多晶硅材料，402—第二掺杂多晶硅材料，41—栅介质层，42—第一槽栅层，43—第二槽栅层，50—隔离介质层，5—源极电极，T—沟槽。

## 具体实施方式

发明人研究发现：在目前的超结结构器件或者类超结结构器件中，器件的击穿电压与导通电阻的矛盾关系的优化已经陷入了瓶颈，在保持击穿电压不变条件下进一步降低导通电阻变得越来越困难。

基于此，本发明提出一种电阻场板电导调制场效应 MOS 器件的技术方案：在槽栅 MOS 器件的基础上，于漂移区中增设一个同时与槽栅结构和漏极结构电连接的半绝缘电阻场板，

通过该半绝缘电阻场板调制导通态漂移区电导和截止态高压阻断电场分布，获得更低的导通电阻。

以下通过特定的具体实例说明本发明的实施方式，本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用，本说明书中的各项细节也可以基于不同观点与应用，在没有背离本发明的精神下进行各种修饰或改变。

请参阅图 1 至图 21。需要说明的是，本实施例中所提供的图示仅以示意方式说明本发明的基本构想，遂图示中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制，其实际实施时各组件的型态、数量及比例可为一种随意的改变，且其组件布局型态也可能更为复杂。本说明书所附图示所绘示的结构、比例、大小等，均仅用以配合说明书所揭示的内容，以供熟悉此技术的人士了解与阅读，并非用以限定本发明可实施的限定条件，故不具技术上的实质意义，任何结构的修饰、比例关系的改变或大小的调整，在不影响本发明所能产生的功效及所能达成的目的下，均应仍落在本发明所揭示的技术内容得能涵盖的范围内。

如图 1 所示，本发明实施例提供一种电阻场板电导调制场效应 MOS 器件，其包括：

衬底 1；

外延层 2，设置在外延层 2 上；

MOS 源极区 22，设置在外延层 2 中且位于外延层 2 的顶部；

MOS 沟道区 21，设置在外延层 2 中且位于 MOS 源极区 22 之下；

槽栅结构 4，设置在外延层 2 的顶部，且垂直覆盖 MOS 源极区 22 与 MOS 沟道区 21；

半绝缘电阻场板结构 3，设置在外延层 2 中且与衬底 1 电连接，位于槽栅结构 4 之下且与槽栅结构 4 电连接；

其中，外延层 2 中形成有沟槽，沟槽垂直穿过 MOS 源极区 22、MOS 沟道区 21 以及外延层 2 至衬底 1；半绝缘电阻场板结构 3 和槽栅结构 4 沿着沟槽的底部到顶部方向依次设置在沟槽中。

详细地，如图 1 所示，沿着沟槽的槽壁向内，半绝缘电阻场板结构 3 包括场板介质层 31 和半绝缘电阻场板层 32，槽栅结构 4 包括栅介质层 41、第一槽栅层 42 及第二槽栅层 43；第二槽栅层 43 与半绝缘电阻场板层 32 电连接；在沟槽的底部，半绝缘电阻场板层 32 与衬底 1 电连接。

更详细地，如图 1 所示，所述电阻场板电导调制场效应 MOS 器件还包括：

MOS 沟道接触区 23，设置在外延层 2 的顶部中，与 MOS 沟道区 21 接触。

更详细地，如图 1 所示，所述电阻场板电导调制场效应 MOS 器件还包括：

源极电极 5，设置在 MOS 沟道接触区 23 上，且与 MOS 沟道接触区 23 两侧的 MOS 源极区 22 电连接；

漏极电极（图中未示出），设置在衬底 1 远离外延层 2 的一侧；

栅极电极（图中未示出），设置在槽栅结构 4 上且槽栅结构 4 电连接。

同时，如图 2 所示，本发明还提供一种电阻场板电导调制场效应 MOS 器件的制备方法，其包括步骤：

S1、提供衬底 1，并在衬底 1 上形成外延层 2；

S2、在外延层 2 的顶部内形成 MOS 沟道区 21、MOS 源极区 22 及 MOS 沟道接触区 23；

S3、形成沟槽 T，沟槽 T 垂直穿过 MOS 源极区 22、MOS 沟道区 21 以及外延层 2 至衬底 1；

S4、沿着沟槽 T 的底部到顶部方向，在沟槽 T 中依次形成半绝缘电阻场板结构 3 和槽栅结构 4，半绝缘电阻场板结构 3 与槽栅结构 4 电连接，且半绝缘电阻场板结构 3 远离槽栅结构 4 的一端与衬底 1 电连接；

S5、形成源极电极 5、漏极电极及栅极电极。

下面以 N 沟道高压 MOS 器件为例来说明本技术方案的实施，且其它能实现本发明内容的方式不应被认为与本方案是不同的方案，相对应的 P 沟道高压 MOS 器件与 N 沟道 MOS 器件结构上是等同的，掺杂不同，工艺需要根据 P 型、N 型杂质工艺特性不同做一定调整即可实现，对本行业一般技术人员是熟知的，不应认为是不受本发明约束。以下例子描述所述工艺皆为现有成熟工艺，不做非常详细的细节描述，本行业一般技术人员是理解和明白的。

详细地，如图 3 所示，在步骤 S1 中，提供衬底 1 作为 MOS 器件的漏极区，其为 N 型掺杂的半导体材料（如硅、碳化硅、砷化镓等）；在衬底 1 上形成外延层 2，作为 MOS 器件的漂移区，外延层 2 同样为 N 型掺杂的半导体材料。

其中，衬底 1 为重掺杂，外延层 2 为轻掺杂；外延层 2 的厚度可视情况灵活设计，如针对 300V 的击穿电压，外延片 2 的厚度可设计为 20 $\mu\text{m}$ 。

详细地，在步骤 S1 与步骤 S2 之间，所述电阻场板电导调制场效应 MOS 器件的制备方法还包括步骤：采用行业通行方法在外延层 2 上形成光刻对位标识，便于后续工艺步骤的对准。

详细地，如图 4 所示，在步骤 S1 与步骤 S2 之间，所述电阻场板电导调制场效应 MOS



器件的制备方法还包括步骤：采用通用工艺对外延层 2 的顶部进行氧化获得氧化层 20，如 950°C 湿氧化 20 分钟，获得约 60nm±10nm 厚的氧化层 20。

详细地，如图 5-图 7 所示，在外延层 2 的顶部内形成 MOS 沟道区 21、MOS 源极区 22 及 MOS 沟道接触区 23 的步骤 S2 进一步包括：

S21、如图 5 所示，进行第一次离子注入和第一次离子扩散，在外延层 2 的顶部内形成 MOS 沟道区 21；

S22、如图 6 所示，第二次离子注入，形成 MOS 源极区 22，MOS 源极区 22 位于 MOS 沟道区 21 之上；

S23、如图 7 所示，进行第三次离子注入，形成 MOS 沟道接触区 23，MOS 沟道接触区 23 与 MOS 沟道区 21 接触。

更详细地，如图 5 所示，在步骤 S21 中，先进行第一次离子注入，如 100Kev、 $5 \times 10^{13} \text{cm}^{-2}$  的硼离子注入，然后在惰性气体的保护下进行第一次离子扩散，如 1050°C、90min 的离子扩散，在外延层 2 的顶部内形成 P 型掺杂的 MOS 沟道区 21。

更详细地，如图 6 所示，在步骤 S22 中，先进行源区光刻，使用光刻胶做屏蔽掩膜，再进行第二次离子注入，如 170keV、 $5 \times 10^{15} \text{cm}^{-2}$  的砷离子注入，形成 MOS 源极区 22。

更详细地，如图 7 所示，在步骤 S23 中，先进行沟道接触区光刻，使用光刻胶做屏蔽掩膜，再进行第三次离子注入，如 80keV、 $3 \times 10^{15} \text{cm}^{-2}$  的硼离子注入，形成 MOS 沟道接触区 23，MOS 沟道接触区 23 与 MOS 沟道区 21 接触。

其中，当 MOS 沟道区 21 的杂质浓度足够形成电连接（欧姆接触）时，MOS 沟道接触区 23 可以省略，在此不再赘述。

详细地，如图 8 所示，在步骤 S2 与步骤 S3 之间，所述电阻场板电导调制场效应 MOS 器件的制备方法还包括步骤：为保持较浅的结深位置，充分利用外延层 2，采用低压力化学气相沉积工艺（LPCVD）在氧化层 20 上形成一层 450nm±50nm 的氧化层，以增加氧化层 20 的厚度，最终形成的氧化层命名为氧化层 20'，为后面沟槽 T 的刻蚀硬掩蔽层做准备。

详细地，在步骤 S3 中，先使用光刻机和对应光刻板曝光出沟槽 T 的位置，再进行干法刻蚀，刻蚀形成沟槽 T，沟槽 T 垂直穿过氧化层 20'、MOS 源极区 22、MOS 沟道区 21 以及外延层 2 深入至衬底 1，如图 9 所示。

其中，沟槽 T 具体的参数（包括沟槽 T 的数目、深度及宽度）需要根据高压 MOS 器件的工作电压，并根据工艺实施能力而设计，设计过程中需同时考虑同一沟槽 T 内后续形成的半绝缘电阻场板结构 3 和槽栅结构 4 的尺寸以及 MOS 需要的最佳面积；在本发明的一可选

实施例中，沟槽 T 的深度为 22 $\mu\text{m}$ ，宽度为 1.5~2 $\mu\text{m}$ 。

详细地，如图 10-图 16 所示，沿着沟槽 T 的底部到顶部方向，在沟槽 T 中依次形成半绝缘电阻场板结构 3 和槽栅结构 4 的步骤 S4 进一步包括：

S41、如图 10 所示，对沟槽 T 的底部及侧壁进行氧化，形成场板介质层 31；

S42、如图 11 所示，刻蚀去除沟槽 T 底部的场板介质层 31；

S43、如图 12-图 13 所示，在沟槽 T 中填充形成半绝缘电阻场板层 32，沟槽 T 的顶部未完全填满，沟槽 T 的顶部剩余部分至少穿过 MOS 沟道区 21；

S44、刻蚀去除沟槽 T 的顶部剩余部分的侧壁的场板介质层 31；

S45、对沟槽 T 的顶部剩余部分的侧壁及底部进行氧化，形成栅介质层 41；

S46、沿着沟槽 T 的槽壁向内，在沟槽 T 的顶部剩余部分中依次形成第一槽栅层 42 及第二槽栅层 43，且第二槽栅层 43 的底部与半绝缘电阻场板层 32 电连接；

其中，半绝缘电阻场板层 32 和残留的场板介质层 31 构成半绝缘电阻场板结构 3，第一槽栅层 42、第二槽栅层 43 及栅介质层 41 构成槽栅结构 4。

更详细地，如图 10 所示，在步骤 S41 中，采用通用工艺对沟槽 T 的底部及侧壁进行氧化，获得场板介质层 31，如 950 $^{\circ}\text{C}$ 、90min 的湿氧化，获得约 200nm $\pm$ 10nm 厚的场板介质层 31。

更详细地，如图 11 所示，在步骤 S42 中，采用各向异性的干法刻蚀去除沟槽 T 底部的场板介质层 31，但保留沟槽 T 侧壁的场板介质层 31。

更详细地，如图 12-图 13 所示，在沟槽 T 中形成半绝缘电阻场板层 32 的步骤 S43 进一步包括：

S431、如图 12 所示，向沟槽 T 中填充半绝缘多晶硅材料 30，如采用低压化学气相沉积工艺，沉积厚度为 1.1 $\mu\text{m}$  $\pm$ 0.1 $\mu\text{m}$ ；

S432、如图 13 所示，先反向刻蚀半绝缘多晶材料 30，露出半绝缘多晶材料 30 下面的氧化层 20'，再继续刻蚀去除沟槽 T 中填充的部分半绝缘多晶硅材料 30，暴露出沟槽 T 的顶部部分，且沟槽 T 的顶部暴露部分至少穿过 MOS 沟道区 21；

其中，沟槽 T 的顶部暴露部分即为沟槽 T 的剩余部分，沟槽 T 中剩余的半绝缘多晶硅材料 30 即为半绝缘电阻场板层 32；在刻蚀沟槽 T 中填充的部分半绝缘多晶硅材料 30 时，需要控制好刻蚀深度，正好或略过一点，使得后续形成的槽栅结构 4 在垂直方向上能覆盖双扩散形成的 MOS 沟道区 21，保证 MOS 沟道区 21 受槽栅结构 4 控制导通和关断。

更详细地，如图 14 所示，在步骤 S44 中，刻蚀去除沟槽 T 的顶部剩余部分的侧壁的场

板介质层 3，如采用各向同性的湿法刻蚀腐蚀掉 200nm 厚的场板介质层 31。

更详细地，如图 15 所示，在步骤 S45 中，对沟槽 T 的顶部剩余部分的侧壁及底部进行氧化，形成栅介质层 41，栅介质层 41 作为槽栅结构 4 的氧化介质层，如采用 950°C、125min 的掺氯干氧化形成 80-100nm 的优质的栅介质层 41。

更详细地，如图 16-图 18 所示，沿着沟槽 T 的槽壁向内，在沟槽 T 的顶部剩余部分中依次形成第一槽栅层 42 及第二槽栅层 43 的步骤 S46 进一步包括：

S461、如图 16 所示，形成第一掺杂多晶硅材料 401，第一掺杂多晶硅材料 401 至少覆盖沟槽 T 顶部剩余部分的底部及侧壁；

S462、如图 17 所示，刻蚀去除沟槽 T 顶部剩余部分底部的第一掺杂多晶硅材料 401 和栅介质层 41，露出半绝缘电阻场板层 32 的顶部；

S463、如图 18 所示，在第一掺杂多晶硅材料 401 上形成第二掺杂多晶硅材料 402，第二掺杂多晶硅材料 402 至少填满沟槽 T 顶部剩余部分；

S464、如图 19 所示，刻蚀氧化层 20' 上的第二掺杂多晶硅材料 402 和第一掺杂多晶硅材料 401，分别形成第二槽栅层 43 及第一槽栅层 42。

进一步地，如图 16 所示，在步骤 S461 中，沉积形成第一掺杂多晶硅材料 401，第一掺杂多晶硅材料 401 至少分布覆盖在沟槽 T 顶部剩余部分的底部及侧壁上，如可采用低压化学气相原位磷掺杂沉积形成厚度为 450-600nm 的第一掺杂多晶硅材料 401，若没有原位掺杂设备，可以沉积完多晶硅材料后进行一次磷扩散掺杂。

进一步地，如图 17 所示，在步骤 S462 中，刻蚀去除沟槽 T 顶部剩余部分底部的第一掺杂多晶硅材料 401 和栅介质层 41，露出半绝缘电阻场板层 32 的顶部，再使用各向异性的干法刻蚀去除沟槽 T 顶部剩余部分底部的第一掺杂多晶硅材料 401 及其下的栅介质层 41。

进一步地，如图 18 所示，在步骤 S463 中，在第一掺杂多晶硅材料 401 上沉积形成第二掺杂多晶硅材料 402，第二掺杂多晶硅材料 402 至少填满沟槽 T 的顶部剩余部分，如可采用低压化学气相原位磷掺杂沉积形成厚度为 500-650nm 的第二多晶硅材料 402，若没有原位掺杂设备也没有关系，可以将沟槽 T 的顶部剩余部分封闭起来，进行 100KeV、 $5 \times 10^{15} \text{cm}^{-2}$  磷离子注入。

进一步地，如图 19 所示，在步骤 S464 中，对沉积形成的第二掺杂多晶硅材料 402 和第一掺杂多晶硅材料 401 进行光刻和干法刻蚀，刻蚀形成槽栅结构 4 的图形，得到第二槽栅层 43 及第一槽栅层 42。

其中，刻蚀第二掺杂多晶硅材料 402，形成第二槽栅层 43；刻蚀第一掺杂多晶硅材料 401，

形成第一槽栅层 42；第二槽栅层 43 的底部与半绝缘电阻场板层 32 电连接。

详细地，在步骤 S5 中，先在氧化层 20' 及槽栅结构 4 上沉积形成隔离介质层，后在隔离介质层中开出源极接触孔和栅极接触孔，再沉积金属层并光刻金属层，形成源极电极和栅极电极；在衬底 1 远离外延层 2 的一侧上沉积金属层，形成漏极电极。

更详细地，如图 20-图 21 所示，先在氧化层 20' 及槽栅结构 4 上沉积形成隔离介质层 50，后在隔离介质层 50 中开出源极接触孔，再沉积金属层并光刻金属层，形成源极电极 5。可以理解的是，栅极电极的形成工艺与此类似，在此不再赘述。

最终，得到如图 21 所示的电阻场板电导调制场效应 MOS 器件，本发明的电阻场板电导调制场效应 MOS 器件在槽栅 MOS 器件的基础上，于漂移区中增设一个同时与槽栅结构和漏极结构电连接的半绝缘电阻场板，在槽栅结构控制 MOS 沟道的通断的同时，通过半绝缘电阻场板调制导通态漂移区电导和截止态高压阻断电场分布，能获得更低的导通电阻，数值计算表明，在同等工艺及设计参数条件下，相对于第一代 PN 结型超结器件，本发明的电阻场板电导调制场效应 MOS 器件的电流输出能力可以提升 70%~105%；同时，在工艺上采用了基于深槽刻蚀的现代 2.5 维立体加工工艺，利于结构小型化设计和高密度化设计。

此外，需要说明的是，上述实施例的步骤中省略了众所周知的、明显的行业通用清洗等简单过程与条件，这对于本领域的一般技术人员是周知的，这里不再具体详细进行说明；对于一般本专业技术人员来说，该结构的适应性改变，也可以应用于少子小注入情况下的二极管、肖特基二极管及三极管的集电区等耐压漂移区的设计。

综上所述，本发明提供的电阻场板电导调制场效应 MOS 器件及其制备方法中，在槽栅 MOS 器件的基础上，于漂移区中增设一个同时与槽栅结构和漏极结构电连接的半绝缘电阻场板，在槽栅结构控制 MOS 沟道的通断的同时，通过半绝缘电阻场板调节漂移区中的杂质浓度，进而调制导通态漂移区电导和截止态高压阻断电场分布，可以获得更低的导通电阻特性；同时，在工艺上采用了基于深槽刻蚀的现代 2.5 维立体加工工艺，利于结构小型化设计和高密度化设计，更适应现代集成半导体器件 More than Moore（超越摩尔）的发展方向。

上述实施例仅例示性说明本发明的原理及其功效，而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下，对上述实施例进行修饰或改变。因此，举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变，仍应由本发明的权利要求所涵盖。

## 权 利 要 求 书

1、一种电阻场板电导调制场效应 MOS 器件，其特征在于，包括：  
衬底；  
外延层，设置在所述衬底上；  
MOS 源极区，设置在所述外延层中且位于所述外延层的顶部；  
MOS 沟道区，设置在所述外延层中且位于所述 MOS 源极区之下；  
槽栅结构，设置在所述外延层的顶部，且垂直覆盖所述 MOS 源极区与所述 MOS 沟道区；  
半绝缘电阻场板结构，设置在所述外延层中且与所述衬底电连接，位于所述槽栅结构之下且与所述槽栅结构电连接；

其中，所述外延层中形成有沟槽，所述沟槽垂直穿过所述 MOS 源极区、所述 MOS 沟道区以及所述外延层至所述衬底；所述半绝缘电阻场板结构和所述槽栅结构沿着所述沟槽的底部到顶部方向依次设置在所述沟槽中；

沿着所述沟槽的槽壁向内，所述半绝缘电阻场板结构包括场板介质层和半绝缘电阻场板层，所述槽栅结构包括栅介质层、第一槽栅层及第二槽栅层；所述第二槽栅层与所述半绝缘电阻场板层电连接；在所述沟槽的底部，所述半绝缘电阻场板层与所述衬底电连接。

2、根据权利要求 1 所述的电阻场板电导调制场效应 MOS 器件，其特征在于，所述电阻场板电导调制场效应 MOS 器件还包括：

MOS 沟道接触区，设置在所述外延层的顶部中，与所述 MOS 沟道区接触。

3、根据权利要求 2 所述的电阻场板电导调制场效应 MOS 器件，其特征在于，所述电阻场板电导调制场效应 MOS 器件还包括：

源极电极，设置在所述 MOS 沟道接触区上，且与所述 MOS 沟道接触区两侧的所述 MOS 源极区电连接；

漏极电极，设置在所述衬底远离所述外延层的一侧；

栅极电极，设置在所述槽栅结构上且所述槽栅结构电连接。

4、一种电阻场板电导调制场效应 MOS 器件的制备方法，其特征在于，包括步骤：  
提供衬底，并在所述衬底上形成外延层；

在所述外延层的顶部内形成 MOS 沟道区、MOS 源极区及 MOS 沟道接触区；

形成沟槽，所述沟槽垂直穿过所述 MOS 源极区、所述 MOS 沟道区以及所述外延层至所述衬底；

沿着所述沟槽的底部到顶部方向，在所述沟槽中依次形成半绝缘电阻场板结构和槽栅结构，所述半绝缘电阻场板结构与所述槽栅结构电连接，且所述半绝缘电阻场板结构远离所述槽栅结构的一端与所述衬底电连接；

形成源极电极、漏极电极及栅极电极；

其中，沿着所述沟槽的底部到顶部方向，在所述沟槽中依次形成所述半绝缘电阻场板结构和所述槽栅结构的步骤包括：

对所述沟槽的底部及侧壁进行氧化，形成场板介质层；

刻蚀去除所述沟槽底部的场板介质层；

在所述沟槽中填充形成半绝缘电阻场板层，所述沟槽的顶部未完全填满，所述沟槽顶部的剩余部分至少穿过所述 MOS 沟道区；

刻蚀去除所述沟槽顶部剩余部分的侧壁的场板介质层；

对所述沟槽顶部剩余部分的侧壁及底部进行氧化，形成栅介质层；

沿着所述沟槽的槽壁向内，在所述沟槽顶部剩余部分中依次形成第一槽栅层及第二槽栅层，且所述第二槽栅层的底部与所述半绝缘电阻场板层电连接；

所述半绝缘电阻场板层和残留的所述场板介质层构成所述半绝缘电阻场板结构，所述第一槽栅层、所述第二槽栅层及所述栅介质层构成所述槽栅结构。

5、根据权利要求 4 所述的电阻场板电导调制场效应 MOS 器件的制备方法，其特征在于，在所述外延层的顶部内形成所述 MOS 沟道区、所述 MOS 源极区及所述 MOS 沟道接触区的步骤包括：

进行第一次离子注入和第一次离子扩散，在所述外延层的顶部内形成所述 MOS 沟道区；

进行第二次离子注入，形成所述 MOS 源极区，所述 MOS 源极区位于所述 MOS 沟道区之上；

进行第三次离子注入，形成所述 MOS 沟道接触区，所述 MOS 沟道接触区与所述 MOS 沟道区接触。

6、根据权利要求 5 所述的电阻场板电导调制场效应 MOS 器件的制备方法，其特征在于，在所述沟槽中形成所述半绝缘电阻场板层的步骤包括：

向所述沟槽中填充半绝缘多晶硅材料；

刻蚀去除所述沟槽中填充的部分半绝缘多晶硅材料，暴露出所述沟槽的顶部，所述沟槽的暴露部分至少穿过所述 MOS 沟道区；

其中，所述沟槽的暴露部分即为所述沟槽顶部的剩余部分。

7、根据权利要求 6 所述的电阻场板电导调制场效应 MOS 器件的制备方法，其特征在于，沿着所述沟槽的槽壁向内，在所述沟槽顶部剩余部分中依次形成所述第一槽栅层及所述第二槽栅层的步骤包括：

形成第一掺杂多晶硅材料，所述第一掺杂多晶硅材料至少覆盖所述沟槽顶部剩余部分的底部及侧壁；

刻蚀去除所述沟槽顶部剩余部分底部的第一掺杂多晶硅材料和栅介质层，露出所述半绝缘电阻场板层的顶部；

在所述第一掺杂多晶硅材料上形成第二掺杂多晶硅材料，所述第二掺杂多晶硅材料至少填满所述沟槽顶部的剩余部分；

刻蚀所述第二掺杂多晶硅材料和所述第一掺杂多晶硅材料，分别形成所述第二槽栅层及所述第一槽栅层。

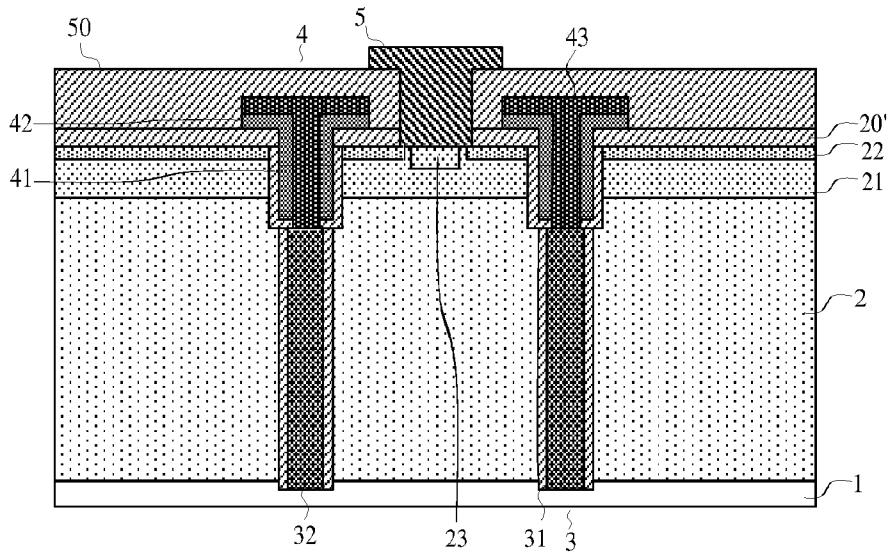


图 1

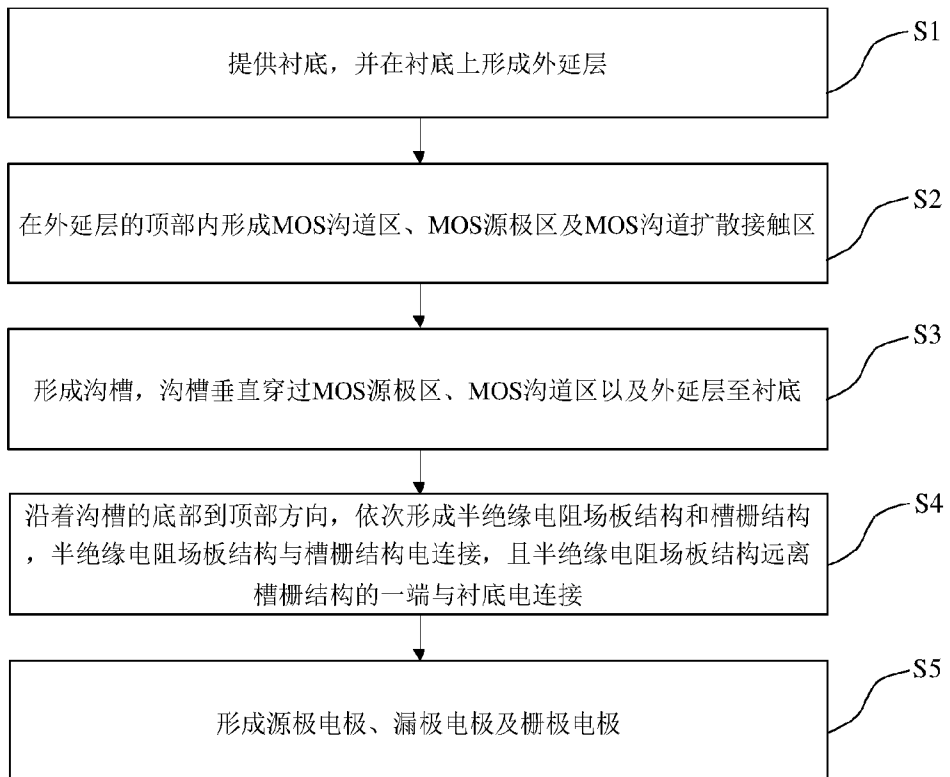


图 2



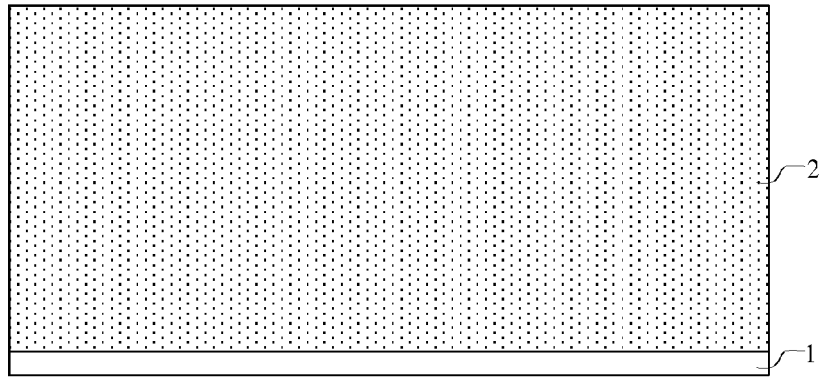


图 3

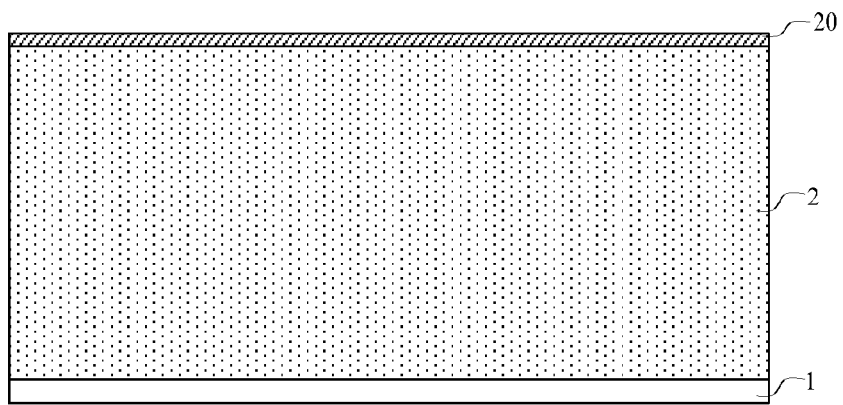


图 4

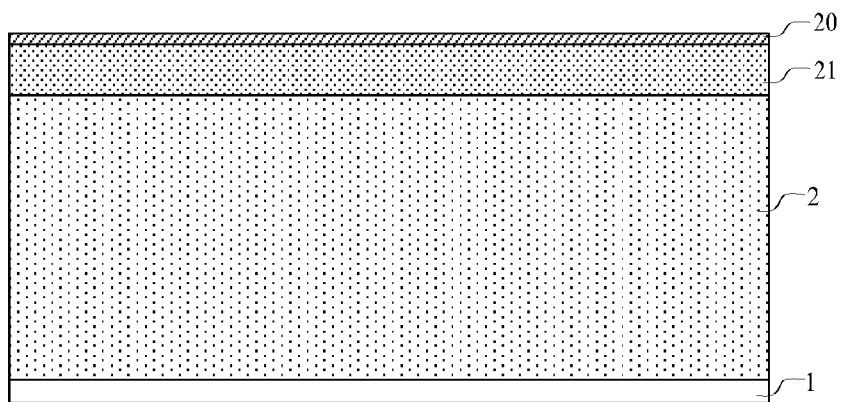


图 5

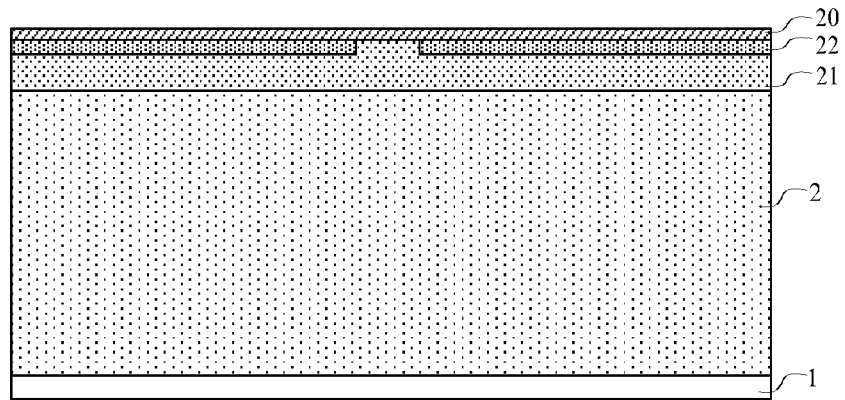


图 6

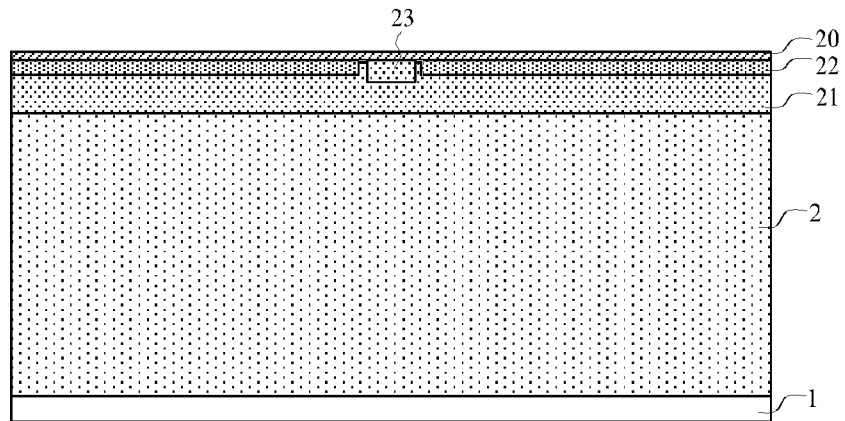


图 7

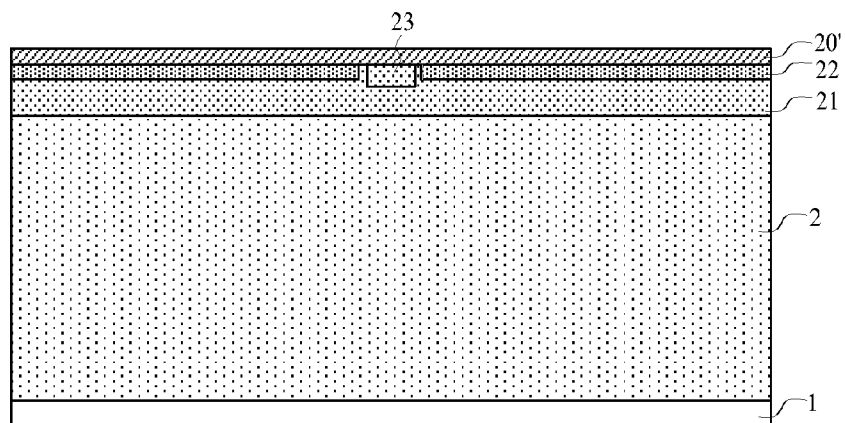


图 8

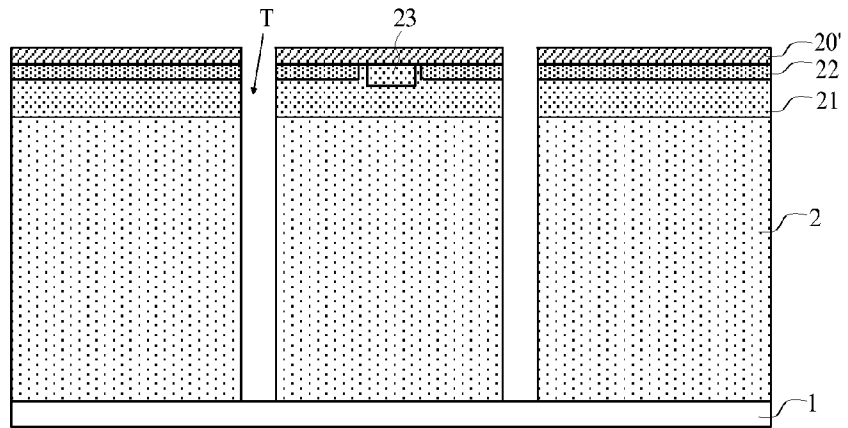


图 9

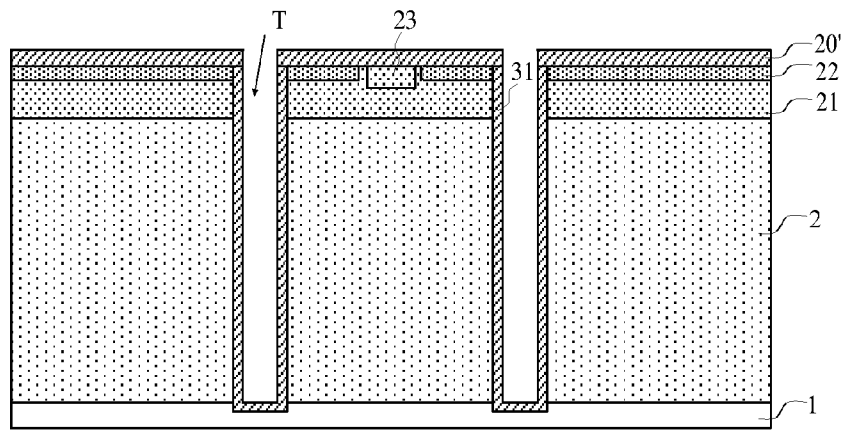


图 10

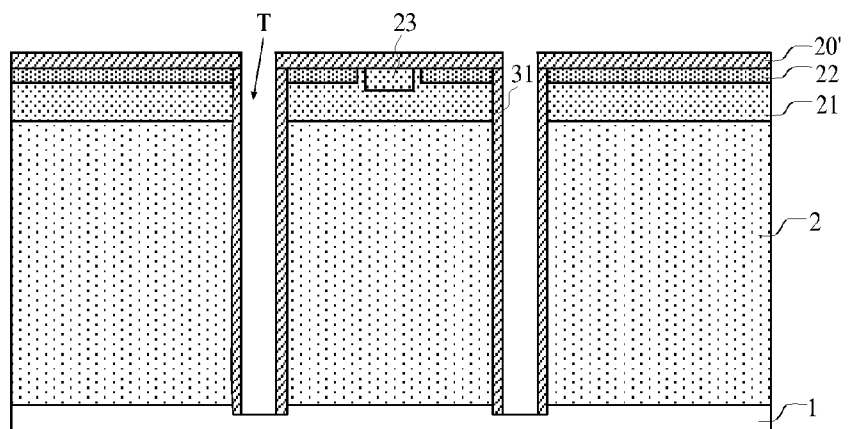


图 11

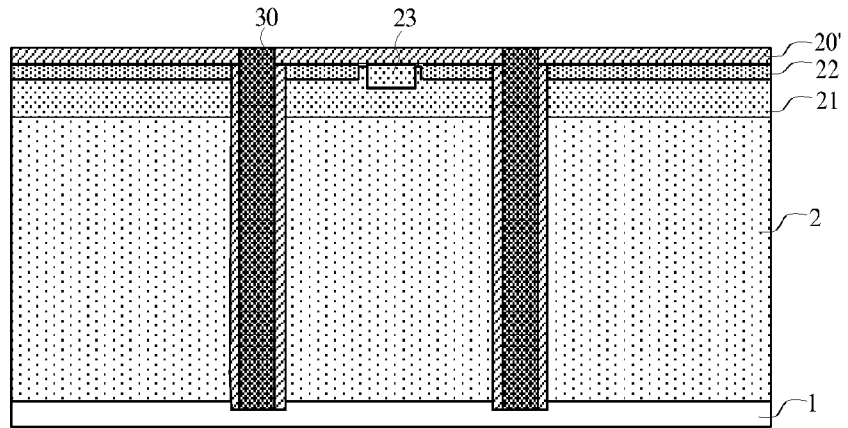


图 12

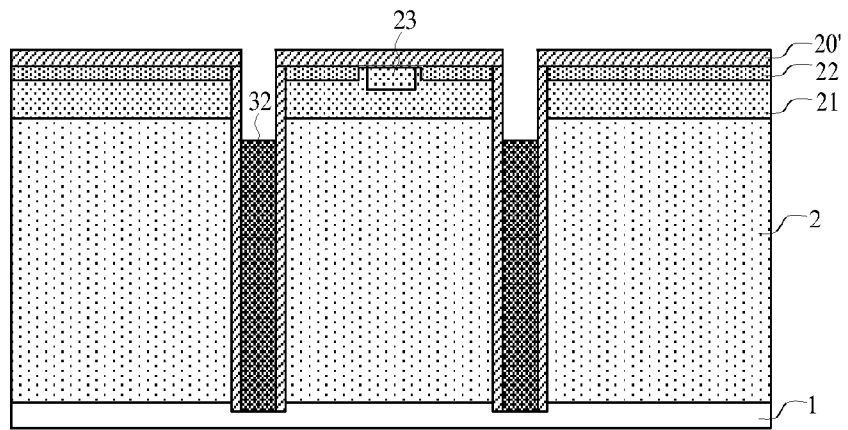


图 13

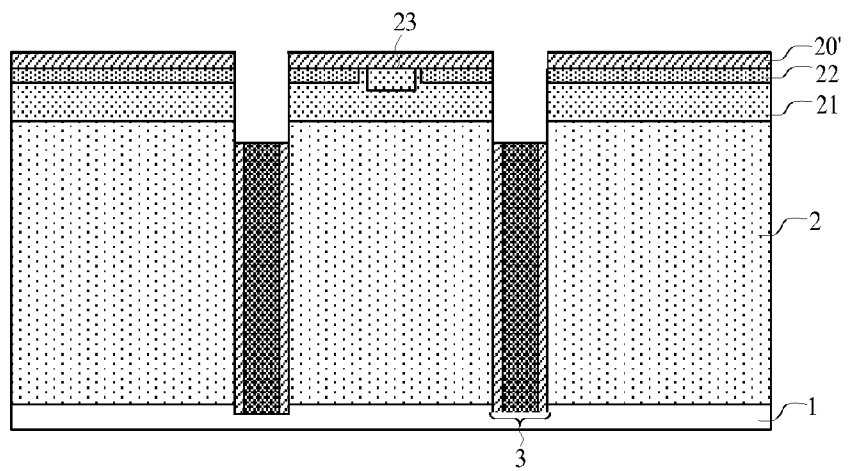


图 14

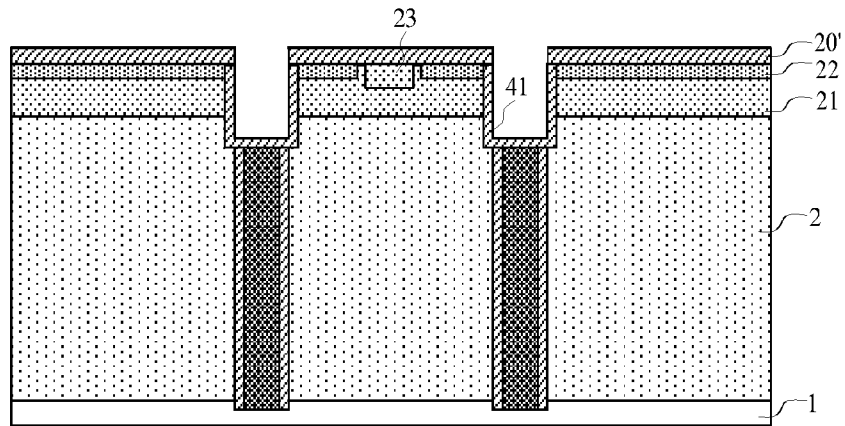


图 15

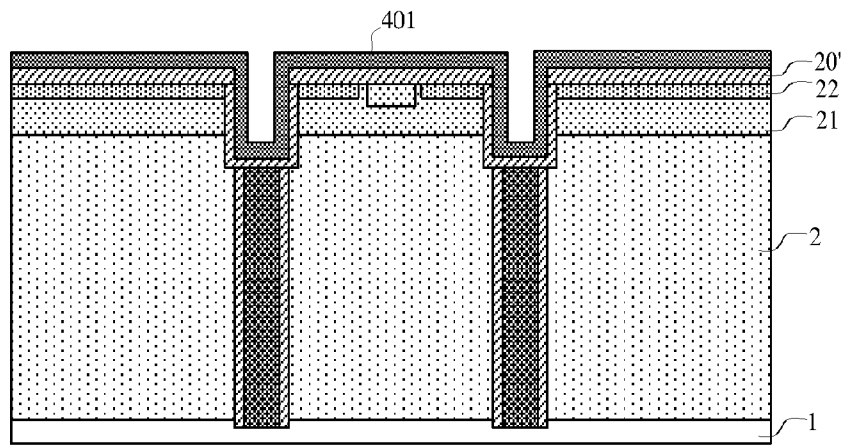


图 16

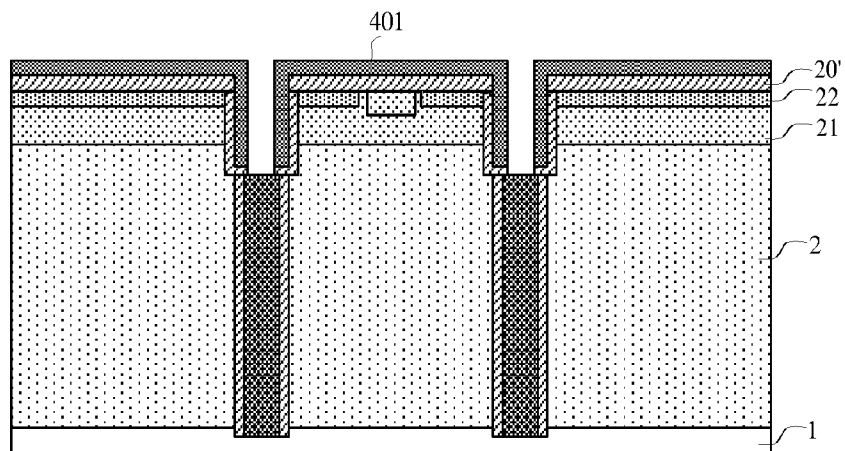


图 17

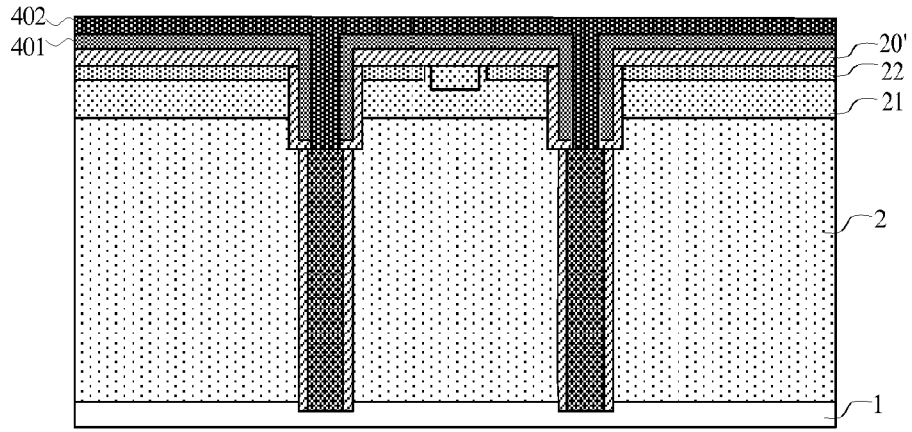


图 18

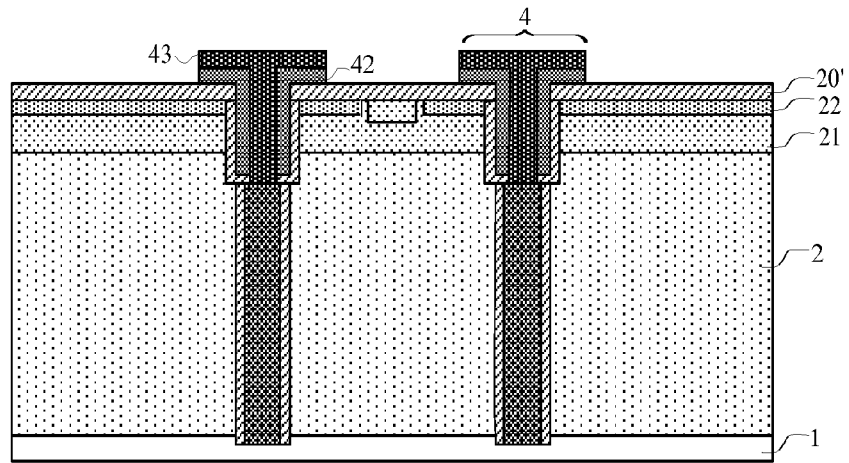


图 19

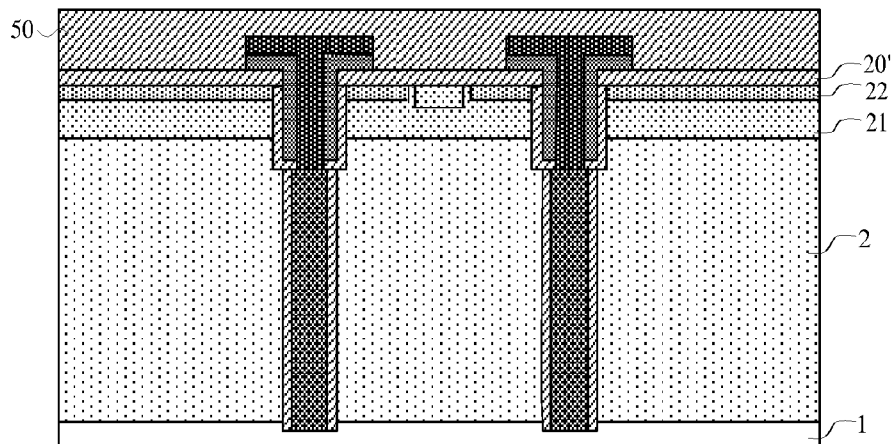


图 20

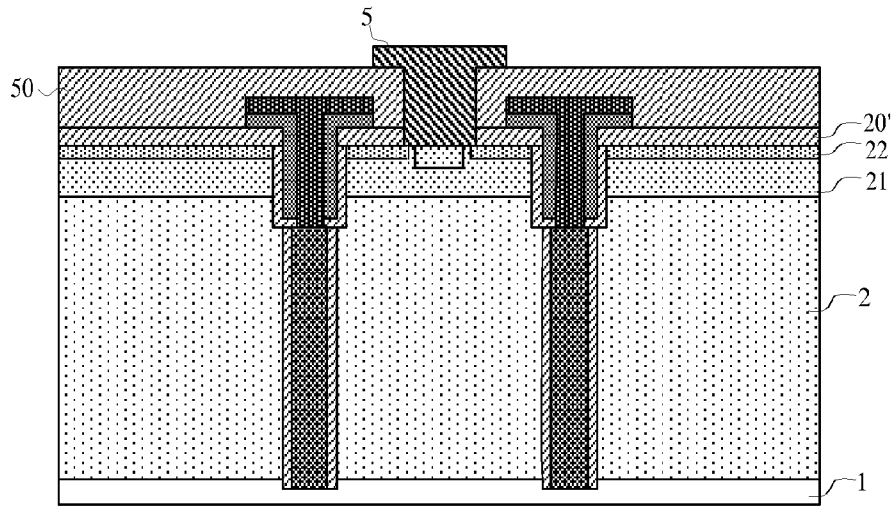


图 21

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/089923

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
H01L 29/78(2006.01)i; H01L 29/06(2006.01)i; H01L 29/40(2006.01)i; H01L 21/336(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols)		
H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
SIPOABS; DWPI; CNABS; CNTXT; CNKI: 场板, 外延, 沟道, 槽栅, 沟槽, 源极, MOS, field plate, epitaxial, channel, trench gate, trench, source		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 112349785 A (NO. 24 RESEARCH INSTITUTE OF CETC) 09 February 2021 (2021-02-09) claims 1-7, description, paragraphs [0008]-[0128], figures 1-21	1-7
A	CN 104576730 A (SHANGHAI HUAHONG GRACE SEMICONDUCTOR MANUFACTURING CORPORATION) 29 April 2015 (2015-04-29) description paragraphs [0120]-[0208], figures 1-19	1-7
A	CN 104701380 A (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA) 10 June 2015 (2015-06-10) entire document	1-7
A	CN 104051540 A (XIAO, Sheng'an) 17 September 2014 (2014-09-17) entire document	1-7
A	US 2013037880 A1 (UNITED MICROELECTRONICS CORP.) 14 February 2013 (2013-02-14) entire document	1-7
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
03 June 2021		30 June 2021
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China		
Facsimile No. (86-10)62019451		Telephone No.



**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/CN2021/089923**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN	112349785	A	09 February 2021	None	
CN	104576730	A	29 April 2015	CN	104576730 B 29 March 2017
CN	104701380	A	10 June 2015	CN	104701380 B 03 May 2017
CN	104051540	A	17 September 2014	CN	104051540 B 12 March 2019
US	2013037880	A1	14 February 2013	US	2014094013 A1 03 April 2014
				US	8809163 B2 19 August 2014
				US	8643097 B2 04 February 2014

国际检索报告

国际申请号

PCT/CN2021/089923

<p><b>A. 主题的分类</b></p> <p>H01L 29/78(2006.01)i; H01L 29/06(2006.01)i; H01L 29/40(2006.01)i; H01L 21/336(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p><b>B. 检索领域</b></p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>SIPOABS;DWPI;CNABS;CNTXT;CNKI:场板, 外延, 沟道, 槽栅, 沟槽, 源极, MOS, field plate, epitaxial, channel, trench gate, trench, source</p>																				
<p><b>C. 相关文件</b></p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 112349785 A (中国电子科技集团公司第二十四研究所) 2021年 2月 9日 (2021 - 02 - 09) 权利要求第1-7项, 说明书第[0008] - [0128]段, 图1-21</td> <td>1-7</td> </tr> <tr> <td>A</td> <td>CN 104576730 A (上海华虹宏力半导体制造有限公司) 2015年 4月 29日 (2015 - 04 - 29) 说明书第[0120] - [0208]段, 图1-19</td> <td>1-7</td> </tr> <tr> <td>A</td> <td>CN 104701380 A (电子科技大学) 2015年 6月 10日 (2015 - 06 - 10) 全文</td> <td>1-7</td> </tr> <tr> <td>A</td> <td>CN 104051540 A (肖胜安) 2014年 9月 17日 (2014 - 09 - 17) 全文</td> <td>1-7</td> </tr> <tr> <td>A</td> <td>US 2013037880 A1 (UNITED MICROELECTRONICS CORP.) 2013年 2月 14日 (2013 - 02 - 14) 全文</td> <td>1-7</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 112349785 A (中国电子科技集团公司第二十四研究所) 2021年 2月 9日 (2021 - 02 - 09) 权利要求第1-7项, 说明书第[0008] - [0128]段, 图1-21	1-7	A	CN 104576730 A (上海华虹宏力半导体制造有限公司) 2015年 4月 29日 (2015 - 04 - 29) 说明书第[0120] - [0208]段, 图1-19	1-7	A	CN 104701380 A (电子科技大学) 2015年 6月 10日 (2015 - 06 - 10) 全文	1-7	A	CN 104051540 A (肖胜安) 2014年 9月 17日 (2014 - 09 - 17) 全文	1-7	A	US 2013037880 A1 (UNITED MICROELECTRONICS CORP.) 2013年 2月 14日 (2013 - 02 - 14) 全文	1-7
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
PX	CN 112349785 A (中国电子科技集团公司第二十四研究所) 2021年 2月 9日 (2021 - 02 - 09) 权利要求第1-7项, 说明书第[0008] - [0128]段, 图1-21	1-7																		
A	CN 104576730 A (上海华虹宏力半导体制造有限公司) 2015年 4月 29日 (2015 - 04 - 29) 说明书第[0120] - [0208]段, 图1-19	1-7																		
A	CN 104701380 A (电子科技大学) 2015年 6月 10日 (2015 - 06 - 10) 全文	1-7																		
A	CN 104051540 A (肖胜安) 2014年 9月 17日 (2014 - 09 - 17) 全文	1-7																		
A	US 2013037880 A1 (UNITED MICROELECTRONICS CORP.) 2013年 2月 14日 (2013 - 02 - 14) 全文	1-7																		
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																				
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&amp;” 同族专利的文件</p>																				
<p>国际检索实际完成的日期</p> <p>2021年 6月 3日</p>		<p>国际检索报告邮寄日期</p> <p>2021年 6月 30日</p>																		
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>马佳慧</p> <p>电话号码 010-62411279</p>																		

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2021/089923

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	112349785	A	2021年 2月 9日	无			
CN	104576730	A	2015年 4月 29日	CN	104576730	B	2017年 3月 29日
CN	104701380	A	2015年 6月 10日	CN	104701380	B	2017年 5月 3日
CN	104051540	A	2014年 9月 17日	CN	104051540	B	2019年 3月 12日
US	2013037880	A1	2013年 2月 14日	US	2014094013	A1	2014年 4月 3日
				US	8809163	B2	2014年 8月 19日
				US	8643097	B2	2014年 2月 4日