

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/115 (2006.01)

H01L 23/525 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610160954.4

[45] 授权公告日 2009年3月4日

[11] 授权公告号 CN 100466265C

[22] 申请日 2006.12.6

[21] 申请号 200610160954.4

[30] 优先权

[32] 2005.12.8 [33] US [31] 11/297,529

[73] 专利权人 旺宏电子股份有限公司

地址 台湾省新竹科学工业园区力行路16号

[72] 发明人 陈冠复 陈映仁 韩宗廷 陈铭祥

[56] 参考文献

US5345413A 1994.9.6

CN1405779A 2003.3.26

US6567301 B2 2003.5.20

审查员 吴晓达

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 周国城

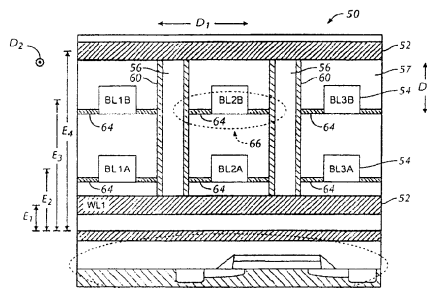
权利要求书3页 说明书11页 附图5页

[54] 发明名称

用于单次可程序化内存的无二极管的阵列

[57] 摘要

本发明一种单次可程序化内存阵列，其包含在第一方向中延伸且安置于第一高度的第一行导体、在第二方向中延伸且安置于第二高度的第二行导体和在第三方向中延伸且安置成邻近于所述第一行导体并邻近于所述第二行导体的列导体。所述阵列也包含覆盖所述列导体的至少一部分的介电层、耦接在所述列导体上的所述介电层与所述第二行导体之间的熔丝链。



1. 一种单次可程序化内存阵列，其特征在于包括：
在一第一方向中延伸且安置于一第一高度的一第一行导体；
在一第二方向中延伸且安置于一第二高度的一第二行导体，其中所述第一方向不同于所述第二方向，且所述第二高度不同于所述第一高度；
在一第三方向中延伸且安置成邻近于所述第一行导体并邻近于所述第二行导体的一列导体，所述第三方向分别垂直于所述第一和第二方向，且所述第一和第二高度位于所述第三方向的延伸方向上；
覆盖所述列导体的至少一部分的一介电层；以及
于一第四方向耦接在所述列导体上的所述介电层与所述第二行导体之间的一熔丝链，其中所述第四方向垂直于所述第三方向。
2. 如权利要求1所述的单次可程序化内存阵列，其特征在于，所述介电层是氮化物和二氧化硅中的一个。
3. 如权利要求1所述的单次可程序化内存阵列，其特征在于，所述熔丝链由经掺杂或未经掺杂的多晶硅形成。
4. 如权利要求1所述的单次可程序化内存阵列，其特征在于，所述第一行导体形成字符线且所述第二行导体形成位线。
5. 如权利要求1所述的单次可程序化内存阵列，其特征在于，所述第一及第二行导体和所述列导体由多晶硅、铜、铝、锗、钽、银、金、镍、铬、锡、钨、锌、钛和铟的至少一个形成。
6. 如权利要求1所述的单次可程序化内存阵列，其特征在于，所述第一方向和所述第二方向是关于彼此正交的。
7. 如权利要求1所述的单次可程序化内存阵列，其特征在于更包括：
一绝缘体，填充所述第一及第二行导体、所述熔丝链和所述列导体之间的空隙。

8. 一种单次可程序化内存阵列，其特征在于包括：

在一第一方向中延伸且安置于一第一高度的多个第一行导体；

在一第二方向中延伸且安置于一第二高度的多个第二行导体，所述第二高度不同于所述第一高度，且所述第一方向不同于所述第二方向；

在一第三方向中延伸且安置于所述多个第一行导体的相邻对与所述多个第二行导体的相邻对之间的多个列导体，所述第三方向分别垂直于所述第一和第二方向，且所述第一和第二高度位于所述第三方向的延伸方向上；

多个介电层，所述多个介电层的每一个都覆盖所述多个列导体的每一个的至少一部分；以及

多个熔丝链，所述多个熔丝链的每一个都于一第四方向耦接在所述多个列导体的一个与所述多个第二行导体的一个的邻近行导体之间，其中所述第四方向垂直于所述第三方向。

9. 一种用于形成单次可程序化内存阵列的方法，其特征在于包括：

提供一金属间氧化物基底；

形成在一第一方向中延伸且相对于所述金属间氧化物基底安置于一第一高度的一第一行导体；

形成在一第二方向中延伸且相对于所述金属间氧化物基底安置于一第二高度的一第二行导体，所述第二高度不同于所述第一高度；

形成在一第三方向中延伸且安置成邻近于所述第一行导体并邻近于所述第二行导体的列导体，所述第三方向垂直于所述第一及第二方向，且所述第一高度和第二高度位于所述第三方向的延伸方向上；

沉积覆盖所述列导体的至少一部分的一介电层；

在所述列导体上的所述介电层与所述第二行导体之间沉积一熔丝材料；以及

蚀刻所述熔丝材料以产生耦接在所述列导体上的所述介电层与所述

第二行导体之间的一熔丝链。

用于单次可程序化内存的无二极管的阵列

技术领域

本发明涉及一种用于单次可程序化内存的无二极管的阵列和一种制造用于单次可程序化内存的无二极管的阵列的方法，且更特定地说，本发明涉及一种用于具有介电层的单次可程序化内存的无二极管的阵列和一种制造用于具有介电层的单次可程序化内存的无二极管的阵列的方法。

背景技术

在此项技术中已知可擦可程序化只读存储器（EPROM）。一般通过用于存储和下载信息的程序化设备来对 EPROM 电子地程序化。EPROM 可抹除并重新程序化。EPROM 通常在封装中包含石英玻璃窗，其用于通过应用紫外线（UV）光来抹除内容。当所述石英玻璃窗暴露于 UV 光一段时间后，EPROM 被抹除且随后可被重新程序化。

在此项技术中也已知单次可程序化（OTP）内存。有若干类型的 OTP 内存，其包含熔丝、抗熔丝、PROM 和屏蔽只读存储器（屏蔽 ROM）。通常，由消费者而不是由制造商产生（程序化）OTP 的内容。PROM 是一种类似 EPROM 的存储设备但在封装中不具有用于抹除内容的石英玻璃窗，这减少了封装成本但意味着所述设备不可用 UV 抹除且因此只可写入一次。PROM 一般表现为所有位均读取为逻辑“1”且在程序化期间烧断熔丝会引起每一个别位读取为逻辑“0”。

熔丝 OTP 单元包含多个“熔丝”，所述熔丝经选择性地暴露于程序化电流以便熔断所选择熔丝以完成所需程序化。抗熔丝 OTP 单元使用金属绝缘体或二极管结构的崩溃来产生两种不同电阻状态以完成所需程序化。抗熔丝以相反方式充当允许传导达到某一位准的熔丝。抗熔丝允许传导达到某一位准且当超过所述位准时，抗熔丝关闭传导路径从而允许低电阻电流流过抗熔丝。

屏蔽 ROM 是一类在制造期间被程序化的 OTP，因此屏蔽 ROM 不需要程序化电路。顾名思义，在半导体制造期间通过对所制造的设备进行选择性的光屏蔽以完成所需程序化状态而制成屏蔽 ROM。然而，由于内存单元尺寸进一步减小，所以对屏蔽 ROM 程序化变得越来越困难。此外，由于必须为每一应用开发特定的屏蔽，所以制造一笔订单的周转时间（TAT）可能要几个星期。

发明内容

本发明目的是提供一种用于 OTP 内存的无二极管的阵列。而且，提供一种具有介电层的 OTP 内存阵列。

简要地说，本发明包含一种单次可程序化内存阵列，其包含在第一方向中延伸且安置于第一高度的第一行导体、在第二方向中延伸且安置于第二高度的第二行导体和在第三方向中延伸且安置成邻近于所述第一行导体并邻近于所述第二行导体的列导体。所述第三方向不同于所述第一和第二方向。所述阵列也包含覆盖所述列导体的至少一部分的介电层、耦接在所述列导体上的所述介电层与所述第二行导体之间的熔丝链。

本发明也包含一种单次可程序化内存阵列，其包含多个在第一方向中延伸且安置于第一高度的第一行导体、多个在第二方向中延伸且安置于第二高度的第二行导体和多个在第三方向中延伸且安置于在所述多个第一行导体的相邻对与所述多个第二行导体的相邻对之间的列导体。所述第二

高度不同于所述第一高度。所述阵列也包含多个介电层和多个熔丝链。所述多个介电层的每一个都覆盖所述多个列导体的每一个的至少一部分。所述多个熔丝链的每一个都耦接在所述多个列导体的一个与所述多个第二行导体的一个的一邻近行导体之间。

另一方面，本发明包含一种形成具有介电层的单次可程序化内存阵列的方法。

为让本发明的上述和其它目的、特征和优点能更明显易懂，下文特举实施例，并配合所附图式，作详细说明如下。

附图说明

图1为根据本发明的优选实施例具有介电层的单次可程序化内存阵列的部分剖面示意图；

图2为用于形成图1的OTP内存阵列的金属间介电氧化物基底和第一组行导体的透视图；

图3为增加了熔丝层和第二组行导体的图2的基底的透视图；

图4为图案化了熔丝层且添加了列导体的图3的基底的透视图；

图5为向所述列导体添加了介电层的图4的基底的透视图；

图6为不具有填充其间空隙的绝缘体的图1的OTP内存阵列的透视图；

图7为图1的OTP内存阵列的俯视平面图；

图8为经配置用于对多个内存单元的一个进行程序化的图6的OTP内存阵列的透视图；

图9为经配置用于读取多个内存单元的一个的图6的OTP内存阵列的透视图。

【主要组件符号说明】

50: OTP 内存阵列

51: 金属间介电氧化物基底

52、54: 行导体

53: 金属间介电氧化物层

56: 列导体

57: 绝缘体

60: 介电层

63: 熔丝层

64: 熔丝链

66: 内存单元

BL1A、BL2A、BL3A、BLnA、BL1B、BL2B、BL3B、BLnB: 位线

D1、D2、D3: 方向

E1、E2、E3、E4: 高度

I_{PGM} : 程序化电流

I_{read} : 读取电流

V_{PGM} : 程序化电压

V_{read} : 读取电压

WL1A、WL2A、WL3A 和 WLnA: 字符线

具体实施方式

某些术语仅为了方便而用于下文的描述且并非限制性的。词“右边”、“左边”、“下部”和“上部”指定所参考的图式中的方向。词“向内”和“向外”分别表示朝向和远离所描述物体及其指定部分的几何中心的方向。所述术语包括以上特定提到的词、其衍生词和意思类似的词。此外，如权利要求中和说明书的相应部分中所使用，词“一”意味着“至少一个”。

如本文中所使用，对传导率的参考将限于所描述的实施例。然而，所属领域的技术人员了解 p 型传导率可与 n 型传导率相转换且设备在功能上

仍将为正确的（即，第一或一第二传导率类型）。因此，在本文中所使用之处，对 n 或 p 的参考也可意味着 n 和 p 或 p 和 n 可为此而被代替。

此外， n^+ 和 p^+ 分别表示经大量掺杂的 n 和 p 区域； n^{++} 和 p^{++} 分别表示经极大掺杂的 n 和 p 区域； n^- 和 p^- 分别表示经轻微掺杂的 n 和 p 区域；且 n^{--} 和 p^{--} 分别表示极轻微掺杂的 n 和 p 区域。然而，这样的相对掺杂术语不应解释为限制性的。

参看详细图式，其中同样的参考数字始终指示同样的组件，图 1-9 中展示单次可程序化（OTP）内存阵列 50，其包含在第一方向 D1 中延伸且安置于第一高度 E1 的第一行导体 52、在第二方向 D2（在图 1 中展示为穿出或进入页面的箭头）中延伸且安置于第二高度 E2 的第二行导体 54 和在第三方向 D3 中延伸且安置成邻近于所述第一行导体 52 并邻近于所述第二行导体 54 的列导体 56。OTP 内存阵列 50 也包含覆盖所述列导体 56 的至少一部分的介电层 60 和耦接在列导体 56 上的介电层 60 与第二行导体 52 之间的熔丝链 64。第一行导体 52 形成 OTP 内存阵列 50 的字符线，且第二行导体 54 形成 OTP 内存阵列 50 的位线。

第一方向 D1 和第二方向 D2 是不同的。第一方向 D1 和第二方向 D2 最好关于彼此正交。当然，第一和第二方向 D1、D2 关于彼此可成其它角度。

耦接在列导体 56 上的介电层 60 与第二行导体 54 之间的熔丝链 64 定义通过程序化而“存储”二进制状态的内存单元 66。举例来说，当特定内存单元 66 的熔丝链 64 完整无缺时，那么特定内存单元 66 可为逻辑“0”，且如果特定内存单元 66 的熔丝链 64 被打开或“烧断”，那么特定内存单元 66 可为逻辑“1”，反之亦然。当然，因为熔丝链 64 一旦被打开或烧断便不可恢复，所以一旦通过打开与内存单元 66 相关联的熔丝链 64 而对内存单元 66 “程序化”，所述特定内存单元 66 便不可解除程序化，从而表明内存阵列 50 的单次可程序化特征。

介电层 60 最好由像氮化物或氧化物的介电材料形成。视需要，可通

过使熔丝链 64 的材料氧化而形成介电层 60。熔丝链 64 最好由经掺杂的多晶硅、未掺杂的多晶硅或薄金属形成。第一和第二行导体 52、54 和列导体 56 由多晶硅或诸如铜、铝、锗、钽、银、金、镍、铬、锡、钨、锌、钛、铟等等的金属或其组合物来形成。

OTP 内存阵列 50 更特定地包含多个在第一方向 D1 中延伸且安置于第一高度 E1 的第一行导体 52、多个在第二方向 D2 中延伸且安置于第二高度 E2 的第二行导体 54、多个在第二方向 D2 中延伸且安置于第三高度 E3 的第三行导体 54、多个在第一方向 D1 中延伸且安置于第四高度 E4 的第四行导体 52 和多个在第三方向 D3 中延伸且安置在多个第一行导体 52 的相邻对与多个第二行导体 54 的相邻对之间的列导体 56。相对于 OTP 内存阵列 50 的基底 51，第二高度 E2 高于第一高度 E1；相对于基底 51，第三高度 E3 高于第二高度 E2；相对于基底 51，第四高度 E4 高于第三高度 E3。因此，第一至第四行导体 52、54 是相互覆盖的关系。

第二行导体 54 包含位线 BL1A、BL2A、BL3A 和 BLnA。第三行导体 54 包含位线 BL1B、BL2B、BL3B 和 BLnB。第一行导体 52 包含字符线 WL1A、WL2A、WL3A 和 WLnA。第四行导体 52 包含字符线 WL1A、WL2A、WL3A 和 WLnA。列导体 56 在相邻字符线 WL1A、WL2A、WL3A、WLnA 之间互连，且熔丝链 64 桥接到 (bridge to) 个别位线 BL1A、BL2A、BL3A、BLnA、BL1B、BL2B、BL3B、BLnB 以使每一位线 BL1A、BL2A、BL3A、BLnA、BL1B、BL2B、BL3B、BLnB 电耦接到字符线 WL1A、WL2A、WL3A、WLnA 的每一个。因此，OTP 内存阵列 50 也包含多个介电层 60 和多个用于构成对个别位线 BL1A、BL2A、BL3A、BLnA、BL1B、BL2B、BL3B、BLnB 的互连的熔丝链 64。所述多个介电层 60 的每一个均覆盖多个列导体 56 的每一个的至少一部分。字符线 WL1A、WL2A、WL3A、WLnA，位线 BL1A、BL2A、BL3A、BLnA、BL1B、BL2B、BL3B、BLnB、经介电覆盖的列导体 56 和熔丝链 64 形成三维 (3D) 夹层矩阵。由于 OTP 内存阵列 50 是三维 (3D) 内存阵列，所以每单位面积/体积

的编码效率和存储密度与使用二极管的屏蔽 ROM 和常规 PROM 相比均得以改善。

使用介电层 60 代替二极管。在 OTP 内存阵列 50 中二极管的功能是减少经其它内存单元 66 流到电流传感器的寄生电流，因为二极管具有大的正向电流特征和小的反向电流特征。介电层 60 同样代替二极管而执行这个功能。如果介电层 60 形成为足够薄，那么介电层 60 将具有大的穿隧电流，尤其是直接穿隧电流。当寄生电流流过其它内存单元 66 时，寄生电流变得非常小，这是因为其在其路径中流过许多介电层 60。穿隧电流表示如下：

$$J_{DT} \cong \frac{4\pi q m_1 k_B T}{h^3} \int_0^{E_b} TC(E) \ln \left[\frac{e^{(E_{Fn1}-E_{c1}-E)/k_B T} + 1}{e^{(E_{Fn3}-E_{c1}-E)/k_B T} + 1} \right] dE$$

其使用通过梯形障碍（即直接穿隧）的穿隧系数的 Wentzel-Kramers-Brillouin (WKB) 算法。由

$$TC(E) = \exp \left[-\frac{4}{3} \left(\frac{8\pi^2 m_2}{h^2} \right)^{1/2} \left(\frac{t_{ins}}{qV_{ins}} \right) \left[\left(E_{b1} - E - q \frac{V_{ins}}{t_{ins}} b \right)^{3/2} - \left(E_{b1} - E - q \frac{V_{ins}}{t_{ins}} a \right)^{3/2} \right] \right]$$

给定 WKB 穿隧系数。其中， E_{b1} 是入射边上的障碍高度， m_2 是绝缘体中电子的有效穿隧品质，且 a 、 b 是古典转折点。

Fowler-Nordheim (FN) 穿隧电流表示如下：

$$Jdt = A \left(\frac{V}{T_{ins}} \right)^2 \exp \left[-\frac{B}{\left(\frac{V}{T_{ins}} \right)} \right]$$

其中 A、B 为常数， T_{ins} 是介电层厚度且 V 是在介电层 60 两端的偏压。

OTP 内存阵列 50 可包含任意数目的位线 BL1A、BL2A、BL3A、BLnA、BL1B、BL2B、BL3B、BLnB 和任意数目的字符线 WL1A、WL2A、WL3A、WLnA。而且，可存在位线 BL1A、BL2A、BL3A、BLnA、BL1B、BL2B、BL3B、BLnB 和字符线 WL1A、WL2A、WL3A、WLnA 的附加层，其可以不同方式互连而获得甚至更高密度的 OTP 内存阵列 50。OTP 内存阵列 50 可为几千兆字节(GB) 或更多。举例来说，一 GB 的 OTP 内存 50 可通过八个高度加以堆栈从而使所述阵列 50 包含一千六百万 \times 8 个位线和八百万个字符线。

每一内存单元 66 均具有两个（二进制）存储状态：“已程序化”和“未程序化”。未程序化状态是在熔丝链 64 完整无缺时，且已程序化状态是在熔丝链 64 被“烧断”（即断路）时。参看图 8，为了对 OTP 内存阵列 50 程序化，将程序化电压 V_{PCM} 选择性地施加到特定字符线 52，且将特定位线 54 选择性地连接到回路（地面），或反之亦然。程序化电压 V_{PCM} 连同到所述回路的路径中的电阻允许电流 I_{PCM} 流到所述回路。程序化电流 I_{PCM} 足以引起在个别列导体 56 上的介电层 60 与位线 54 之间的特定熔丝链 64 烧断（即断路）。一旦“已程序化”，特定位线 54 不可“解除程序化”。举例来说，如图 8 中所示，将正程序化电压 V_{PCM} 施加到位线 BL2B 并将负程序化电压 V_{PCM} 施加到字符线 WL1A。电流 I_{PCM} 流过由包括字符线 WL1A、列导体 56、熔丝链 64 和位线 BL2B 的小方向箭头所示的路径。所述电流足以烧断连接在 BL2B 与列导体 56 之间的熔丝链 64 从而对与位线 BL2B 相关联的特定内存单元 66 程序化。

已程序化状态可表示二进制值“1”，且未程序化状态可表示二进制值“0”。或者，已程序化状态可表示二进制值“0”，且未程序化状态可表示二进制值“1”。

图 9 展示可通过将读取电压 V_{read} 施加到特定字符线 WL1A、WL2A、WL3A、WLnA 和位线 BL1A、BL2A、BL3A、BLnA、BL1B、BL2B、BL3B、BLnB 组合来

读取内存阵列 50 的一种方法。举例来说，如图 9 中所示，将正读取电压 V_{read} 施加到位线 BL2B 并将负读取电压 V_{read} 施加到字符线 WL1A。电流 I_{read} 流过由包括字符线 WL1A、列导体 56、熔丝链 64 和位线 BL2B 的小方向箭头所示的路径。使用电流检测器（未图示）来感测存在或不存在读取电流 I_{read} 。如果读取电流 I_{read} 在所期望的位准，那么用于被测量的特定内存单元的熔丝链 64 肯定是完整的，且因此，内存单元 66 未经程序化（例如逻辑 0）。但是，如果不存在可测量的读取电流 I_{read} ，那么用于被测量的特定内存单元的熔丝链 64 肯定被烧断了，且因此，内存单元 66 已被程序化（例如逻辑 1）。

字符线 52 可耦接到 Y 译码器（未图标）且位线 54 可耦接到 X 译码器（未图示），以便通过多任务技术或类似技术来读取 OTP 内存阵列 50 内的不同内存单元 66 的状态。

图 2 至图 6 表明用于制造 OTP 内存阵列 50 的示范性步骤。图 2 展示所述处理从金属间介电（IMD）氧化物基底 51 开始，第一组行导体 52 形成于所述金属间介电氧化物基底 51 上。一层导电材料可成长或沉积于 IMD 氧化物基底 51 上且随后被图案化并蚀刻而形成第一组行导体 52。随后将介电或绝缘材料填充到第一组行导体 52 之间的图案化空间中。或者，可将一层介电材料 53 沉积于 IMD 氧化物基底 51 上，且可对所述介电材料 53 图案化和蚀刻以便由导电材料填充以形成第一组行导体 52 且随后用 IMD 氧化物层 53 将其覆盖。图 3 展示添加了另一 IMD 氧化物层 53、熔丝层 63 和第二组行导体 54 的图 2 中具有第一组行导体 52 的 IMD 基底 51。所述熔丝层 63 可为形成薄膜的多晶硅的沉积物。将熔丝层 63 图案化（条纹化）以产生熔丝链 64。可通过沉积相对厚的金属或多晶硅层且随后将所述材料图案化以形成个别位线 BL1A、BL2A、BL3A、BLnA 来形成行导体 54 的第二行。或者，可在形成熔丝链的前产生个别位线 BL1A、BL2A、BL3A、BLnA。图 4 展示图 3 的部分已制造的内存阵列，其熔丝层 63 已被图案化（条纹

化)从而形成熔丝链 64 并添加了列导体 56,且列导体 56 的每一个都必须将熔丝链 64 的每一个切断为两部分。图 5 展示向列孔添加了介电层 60 的图 4 的部分经制造的内存阵列。所述介电层 60 附到列孔的侧壁。将诸如钨的导电材料填充到列孔中以形成列导体 56。图 6 展示为了产生不具有填充其间空隙的绝缘体 57 的图 1 的 OTP 内存阵列 50,已在第二层行导体 54 上方将添加另一熔丝层 63 且已形成另一层行导体 54。将熔丝层 63 图案化(条纹化)以产生熔丝链 64,且将第二层行导体 54 图案化以产生个别位线 BL1B、BL2B、BL3B、BLnB。随后可通过重新填充或沉积等等来添加绝缘材料 57,以产生图 1 的 OTP 内存阵列 50。或者,可通过另一工艺流程来制造图 1 的内存阵列 50。举例来说,最初可跳过图 4-5 中所示的介电层 60 和列导体 56 的相对处理以堆栈 BL1A、BL2A、BLnA、BL1B、BL2B、BLnB,且然后最终产生介电层 60 和列导体 56。

所述处理可重复若干次以堆栈多个行导体 52、54、熔丝链 63、列导体 56、位线 BL1A、BL2A、BL3A、BLnA、BL1B、BL2B、BL3B、BLnB 和字符线 WL1A、WL2A、WL3A、WLnA,从而形成具有多个内存单元 66 的较大 OTP 内存阵列 50。

可用此项技术中已知的多种方法的任一种来形成不同膜层。举例来说,可成长或沉积所述膜层。沉积可以通过化学气相沉积(CVD)、物理气相沉积(PVD)、蒸镀、溅镀等等。可通过光刻或光屏蔽(“屏蔽”)技术在半导体基板的表面上形成图案。可通过机械蚀刻或通过化学蚀刻及/或化学机械研磨等等来对膜层进行回蚀(etch back)。此外,已知的掺杂、热处理、扩散、蚀刻、分层、开槽、研磨等等的方法可用于 OTP 内存阵列 50 的制造过程中而不会偏离本发明。

由以上所述可见,本发明针对一种用于具有介电层的单次可程序化内存的无二极管的阵列和一种制造用于具有介电层的单次可程序化内存的无二极管的阵列的方法。所属领域的技术人员将理解,可对以上描述的实

施例做出改变而不偏离其广泛的发明概念。因此，应理解本发明并不限于所揭示的特定实施例，而是希望涵盖在如附加的权利要求所定义的本发明的精神和范畴内的修改。

虽然本发明已以实施例揭露如上，然其并非用以限定本发明，任何熟习此技艺者，在不脱离本发明的精神和范围内，当可作些许的更动与润饰，因此本发明的保护范围当视后附的申请专利范围所界定者为准。

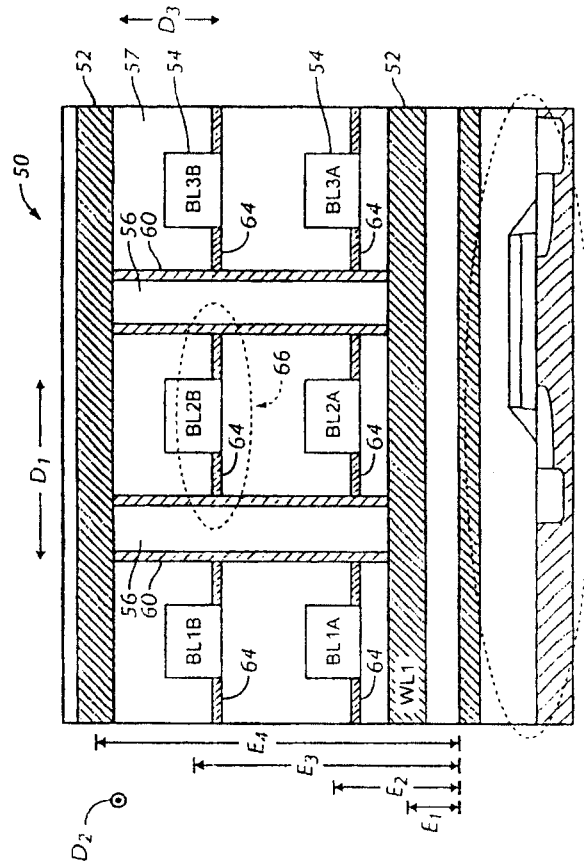


图 1

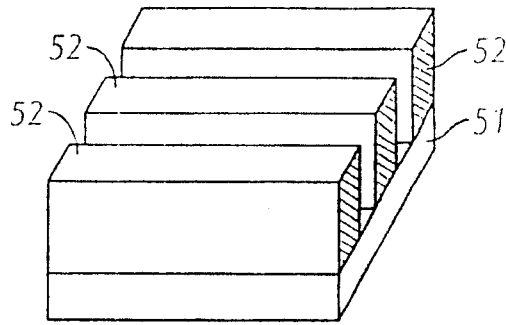


图 2

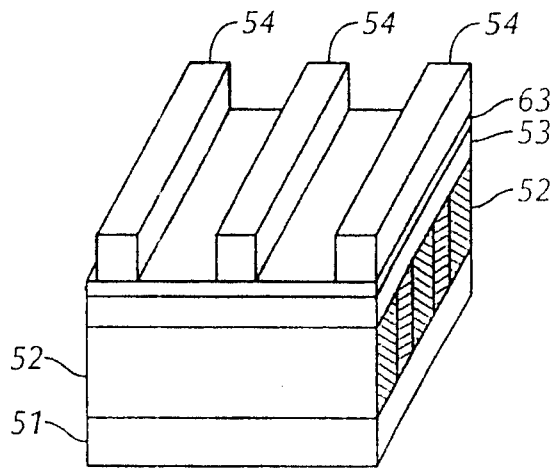


图 3

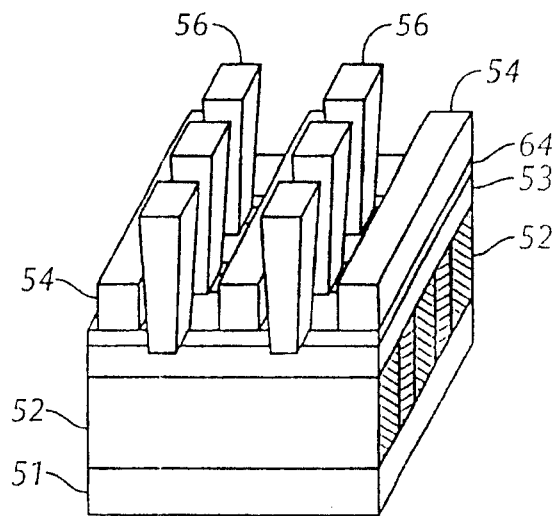


图 4

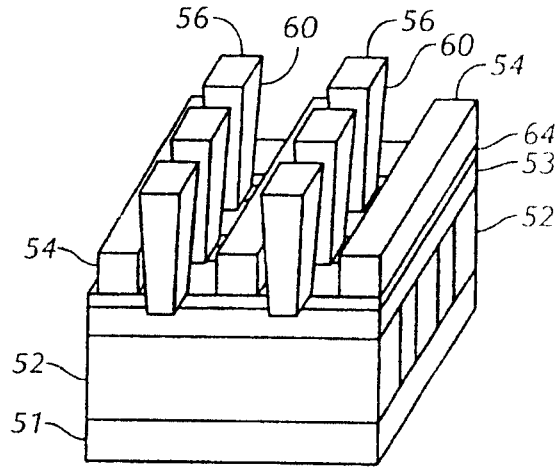


图 5

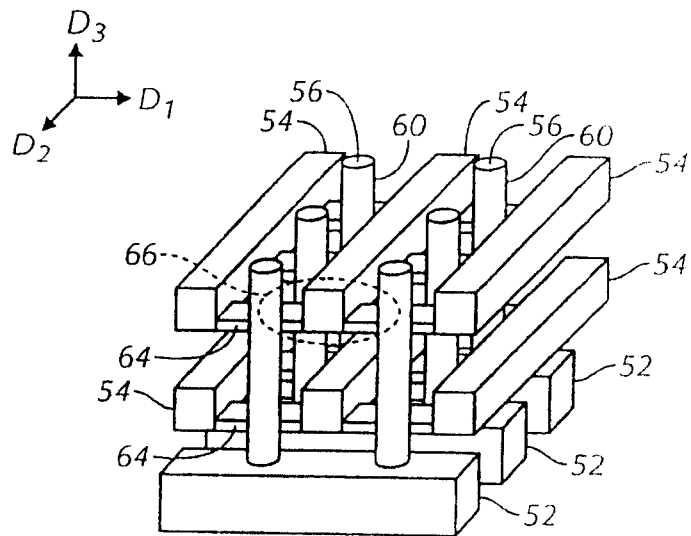


图 6

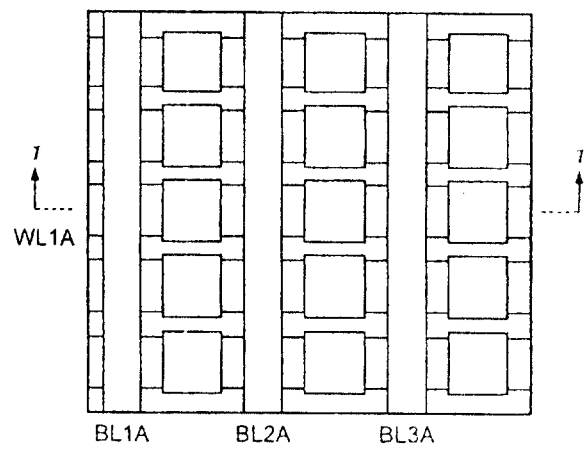


图 7

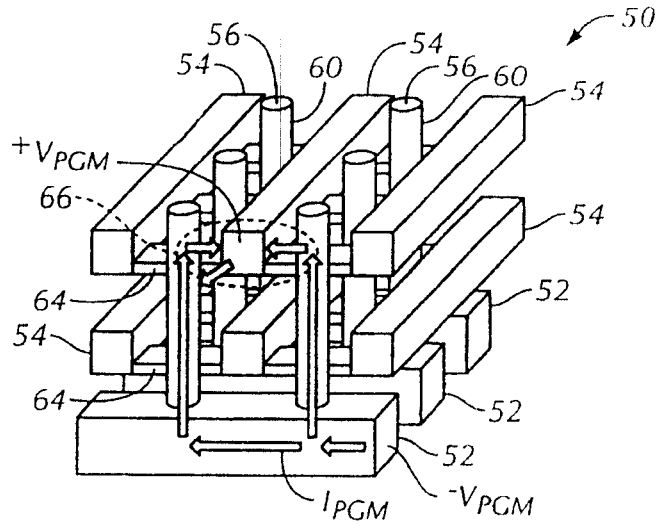


图 8

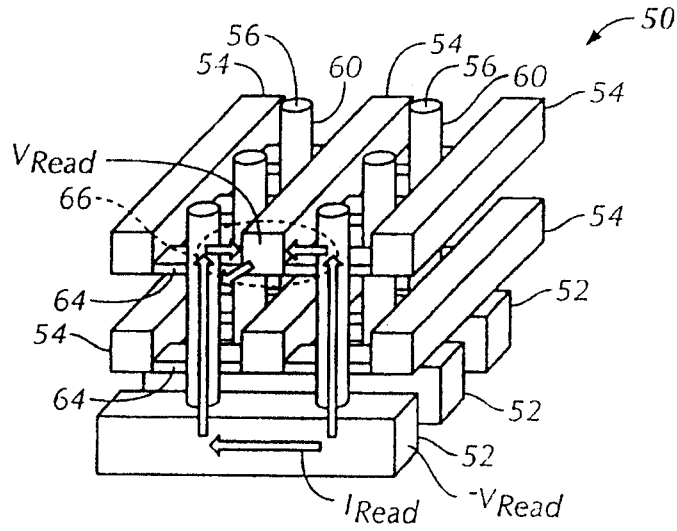


图 9