

(19) 대한민국특허청(KR)
(12) 실용신안공보(Y1)

(51) Int. Cl.⁴
H03K 17/28

(45) 공고일자 1989년09월 18일
(11) 공고번호 실 1989-0006233

(21) 출원번호	실 1986-0013187	(65) 공개번호	실 1988-0005389
(22) 출원일자	1986년08월 28일	(43) 공개일자	1988년05월 12일
(71) 출원인	삼성전자주식회사 한형수		
(72) 고안자	경기도 수원시 매탄동 416번지 홍권표		
(74) 대리인	경기도 시흥군 의왕읍 삼리 244 우성아파트 가동 516호 이동모		

심사관 : 조성욱 (책)
자공보 제1085호)

(54) 펄스 지연 회로

요약

내용 없음.

대표도

도 1

명세서

[고안의 명칭]

펄스 지연 회로

[도면의 간단한 설명]

제1도는 본 고안의 회로도.

제2도 및 제3도는 본 고안 회로도의 각부 파형도.

* 도면의 주요부분에 대한 부호의 설명

MT : 단안정 멀티 바이브레이터

CP : 비교기

Q₁ : 트랜지스터

VR₁ : 가변저항

N₁ : 노아게이트

C₁ : 콘덴서

VREF : 기준전압

[실용신안의 상세한 설명]

본 고안은 입력되는 펄스를 지연시키기 위한 펄스 지연 회로에 관한 것이다.

종래의 펄스 지연 회로는 여러단의 단안정 멀티 바이브 레이터를 사용하여 각각의 단안정 멀티 바이브 레이터의 시정수를 조정하여 펄스의 지연량을 설정하기 때문에 조정개수가 많이 원하는 지연량을 설정하기가 곤란할 뿐 아니라 각각의 단안정 멀티 바이브 레이터의 시정수 편차에 의한 영향을 많이 받게 되는 단점이 있는 것이다.

본 고안은 이와같은 점을 감안하여 조정 개소를 크게 감소시켜 단순한 가변저항으로 원하는 지연량을 설정할 수 있게 하고 하나의 단안정 멀티 바이브레이터를 사용하여 여러개의 단안정 멀티 바이브 레이터를 사용시 발생하는 지연량의 편차를 제거할 수 있게 한 것으로 단안정 멀티 바이브 레이터의 출력이 스위칭 트랜지스터에 연결된 시정수 회로를 제어하여 비교기의 기준 전압과 비교된 출력이 노아게이트를 통하여 출력되게 구성시킨 것이다.

제1도는 본 고안의 회로도로서 입력펄스(A)가 단안정 멀티 바이브레이터(MT)를 통하여 트랜지스터(Q₁)가 구동되게 구성하고 트랜지스터(Q₁)의 콜렉터측에 가변저항(VR₁) 및 콘덴서(C₁)를 통하여 비교기(CP₁)에 인가되어 기준전압(VREF)과 비교되게 구성시켜 노아게이트(N₁)에 비교기(CP₁)의 출력 및 단안정 멀티 바이

브레이터(MT)의 출력이 인가되게 구성시킨 것이다.

이와같이 구성된 본 고안은 입력펄스(A)가 단안정 멀티 바이브레이터(MT)를 통하여 지연된후 이 펄스로 스위칭 트랜지스터(Q₁)를 구동시켜 가변저항(VR₁) 및 콘덴서(C₁)의 시정수로 충전시켜 비교기(CP₁)의 기준전압(VREF)과 비교하여 이 비교기(CP₁)의 출력과 단안정 멀티 바이브레이터(MT)의 출력이 노아게이트(N₁)에 인가되어 지연된 출력펄스를 얻을수가 있는 것으로 가변저항(VR₁)으로 콘덴서(C₁)에 충전되는 시정수가 조정되어 원하는 지연 펄스를 얻을수가 있는 것이다.

이를 제2도에 의하여 재언하면 제2(a)도와 같이 단안정 멀티 바이브레이터(MT)에 입력된 펄스(T₁)는 펄스(T₂)로 변환되어 이 펄스가 스위칭 트랜지스터(Q₁)의 베이스측에 가해질 경우 가변저항(VR₁)을 통하여 콘덴서(C₁)에 충전된 전하는 트랜지스터(Q₁)를 통하여 순간적으로 방전하여 버리므로 비교기(CP₁)의 출력(제2(d)도)은 H레벨에서 L레벨로 변하게 되며 펄스(T₂)가 끝나는 시점에서 콘덴서(C₁)에는 T=VR₁, C₁의 시정수로 전원(Vcc)을 향하여 전하가 충전되어 전압이 상승된다.

따라서 콘덴서(C₁)의 전압은 제2(c)도와 같이 기준전압(VREF)보다 클 경우 비교기(CP₁)의 출력이 L레벨에서 H레벨로 변하게 된다.

그리고 이 비교기(CP₁)의 출력(제2(d)도) 및 단안정 멀티 바이브레이터(MT)의 출력(제2b도)이 노아게이트(N₁)에 가해지면 제2(e)도와 같은 지연된 펄스(T₃)를 얻게 되는 것이며 지연된 펄스(T₃)의 조정은 가변저항(VR₁)으로 시정수 T=VR₁, C₁를 변화시키면 콘덴서(C₁)의 충전시간이 변화하여 기준전압(VREF)에 이르는 시간을 변화함으로써 원하는 지연된 펄스(T₃)를 얻을수가 있는 것이다.

이때 기준전압(VREF)은 미리 적당한 값으로 프리셋트 되어야 한다.

또한 가변저항(VR₁)을 조정하여 시정수(T=VR₁', C₁')로 바꾼 경우(VR₁>VR₁')에는 콘덴서(C₁)는 조정전 보다 빠르게 전원(Vcc)이 충전되므로 콘덴서(C₁)의 전압이 기준전압(VREF)보다 커지는 시간이 짧게 되어 비교기(CP₁)의 출력도 제3도의 각부 파형도와 같이 빨리 L레벨에서 H레벨로 변화 되므로 지연된 펄스(T₃)는 짧게 설정되는 것으로 사용자가 가변저항(VR₁)으로 원하는 지연 펄스를 얻을 수가 있는 것이다.

이상에서와 같이 본 고안은 단일의 단안정 멀티 바이브레이터를 사용함으로써 다단의 단안정 멀티 바이브레이터 사용시 생기는 지연량의 편차를 제거할 수 있으며 단순히 가변저항(VR₁)으로 지연량을 설정할 수가 있어 여러개의 조정 갯수를 사용하는 종래의 펄스 지연 회로 보다 원하는 지연량을 쉽게 설정할 수 있는 효과가 있는 것이다.

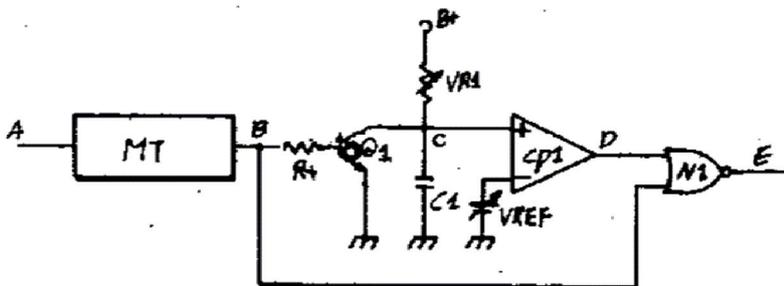
(57) 청구의 범위

청구항 1

입력펄스(A)가 단안정 멀티 바이브레이터(MT)를 통하여 콜렉터측에 가변저항(VR₁) 및 콘덴서(C₁)가 연결된 트랜지스터(Q₁) 베이스측에 인가되게 구성시켜 기준전압(VREF)과 비교기(CP₁)에서 비교되게 구성시킨 후 단안정 멀티 바이브레이터(MT) 및 비교기(CP₁)의 출력이 노아게이트(N₁)로 출력되게 구성시킨 펄스 지연회로.

도면

도면1



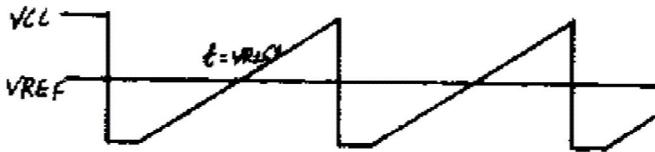
도면2a



도면2b



도면2c



도면2d



도면2e



도면3a



도면3b



도면3c



