

(12) 发明专利申请

(10) 申请公布号 CN 102955314 A

(43) 申请公布日 2013. 03. 06

(21) 申请号 201210396769. 0

(22) 申请日 2012. 10. 18

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号
申请人 北京京东方显示技术有限公司

(72) 发明人 尹雄宣 李正勳

(74) 专利代理机构 北京同达信恒知识产权代理
有限公司 11291
代理人 黄志华

(51) Int. Cl.

G02F 1/1368(2006. 01)

G02F 1/1362(2006. 01)

H01L 21/77(2006. 01)

H01L 27/12(2006. 01)

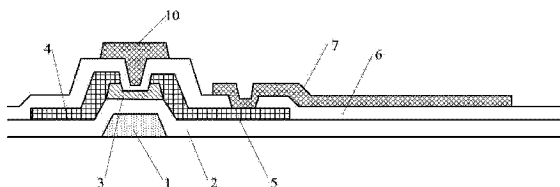
权利要求书 1 页 说明书 4 页 附图 5 页

(54) 发明名称

一种薄膜晶体管 TFT 阵列基板、其制备方法
及显示装置

(57) 摘要

一种薄膜晶体管 TFT 阵列基板、其制备方法
及显示装置。本发明公开了一种 TFT 阵列基板、其
制备方法及显示装置,在现有 TFT 结构的基础上,
在 TFT 的钝化层上增加位于半导体层上方的第
二栅极,在 TFT 工作时,新增的第二栅极通电后,
在其下方的半导体层中会形成一条电流通道,而
TFT 原有的第一栅极通电后也会在半导体层中形
成一条电流通道,即在半导体层中会形成两条电
流通道,这样,在不增加栅线的栅扫描信号强度前
提下,提升了 TFT 半导体层整体的导通电流量;并
且,由于该新增的第二栅极设置在半导体层的上
方,不会增加整个 TFT 结构占用像素单元的大小,
因此不会降低像素单元的开口率。



1. 一种薄膜晶体管 TFT 阵列基板,包括:依次设置在衬底上的第一栅极、栅绝缘层、半导体层、源极、漏极以及钝化层,其特征在于,还包括:设置在所述钝化层之上、且位于所述半导体层上方的第二栅极。

2. 如权利要求 1 所述的 TFT 阵列基板,其特征在于,所述第二栅极通过过孔与所述 TFT 阵列基板中对应的栅线电性相连。

3. 如权利要求 1 或 2 所述的 TFT 阵列基板,其特征在于,所述第二栅极为透明导电材料或金属材料。

4. 如权利要求 3 所述的 TFT 阵列基板,其特征在于,所述第二栅极与位于所述钝化层上的 TFT 阵列基板的像素电极同层设置。

5. 如权利要求 1 所述的 TFT 阵列基板,其特征在于,所述半导体层与源漏电极之间还设置有欧姆接触层。

6. 一种显示装置,其特征在于,包括如权利要求 1-5 任一项所述的 TFT 阵列基板。

7. 一种如权利要求 1-5 任一项所述的 TFT 阵列基板的制备方法,其特征在于,包括:

在衬底上形成栅线、以及与所述栅线电性相连的第一栅极;

形成覆盖所述第一栅极和栅线的栅绝缘层;

在所述栅绝缘层上且位于所述栅极上方形成半导体层;

在所述半导体层上形成相对而置的源极和漏极;

形成覆盖所述源极和漏极的钝化层;

在所述钝化层上形成与所述漏极电性相连的像素电极、以及与所述栅线电性相连的第二栅极。

8. 如权利要求 7 所述的制备方法,其特征在于,所述钝化层与所述栅绝缘层具有连接所述第二栅极与栅线的过孔。

9. 如权利要求 7 所述的制备方法,其特征在于,所述钝化层具有连接所述漏极与所述像素电极的过孔。

10. 如权利要求 7 所述的制备方法,其特征在于,所述像素电极与所述第二栅极为氧化铟锡 ITO 或氧化锌锡 IZO。

11. 如权利要求 7-10 任一项所述的制备方法,其特征在于,在形成源极和漏极时,还形成与所述源极电性相连的数据线。

一种薄膜晶体管 TFT 阵列基板、其制备方法及其显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种薄膜晶体管 TFT 阵列基板、其制备方法及其显示装置。

背景技术

[0002] 目前,随着液晶显示技术的发展,对液晶面板中的 TFT 开关的导通电流要求越来越高。如图 1 和图 2 所示,在现有的液晶面板中 TFT 阵列基板的 TFT 是由依次设置在衬底上的栅极 1、半导体层 3、源极 4 和漏极 5 组成,其中,栅极 1 与栅线 8 电性相连,栅极 1 通过栅绝缘层 2 与半导体层 3 隔离,源极 4 与数据线 9 电性相连,漏极 5 通过钝化层 6 上的过孔与像素电极 7 电性相连,源极 4 和漏极 5 相对而置形成沟道结构。

[0003] 其工作原理为:在栅线 8 加载栅扫描信号时,与其电性连接的栅极 1 通电,这样在栅极上方的半导体 3 会从半导体状态变为导体状态,半导体 3 的电荷会沿栅绝缘层表面进行移动,如图 3a 所示,即在半导体层 3 内的栅绝缘层 2 表面形成一条电流通道 a,该电流通道 a 能够通过电流量称为导通电流量(I_{on}),电流通道 a 能使数据线 9 加载到源极 4 的电信号通过漏极 5 流动到像素电极 7 上,使像素单元处于开启状态。而在栅线 8 未加载栅扫描信号时,如图 3b 所示,半导体层 3 内无电流通道 a,数据线 9 加载到源极 4 的电信号不能通过源极 4 流动到像素电极 7 上,使像素单元处于关闭状态。

[0004] 从上述 TFT 工作原理可以看出,栅线 8 在栅极 1 上加载的栅扫描信号越大,在半导体层 3 形成的电流通道 a 的导通电流量也就越大,数据线 9 加载的电信号就能好的控制像素电极 7,实现显示的高画面品质。但是,在实际操作时,受到显示面板功耗的制约,在栅极 1 施加栅扫描信号的电压往往不能过大。那么,为了提高半导体层 3 形成的电流通道 a 的导通电流量,就需要采用变更 TFT 结构扩大整体面积的方式,这样势必带来像素单元开口率下降的问题。

[0005] 因此,如何在保证像素单元开口率的情况下,尽量增大 TFT 半导体层的导通电流量,是本领域技术人员亟需解决的技术问题。

发明内容

[0006] 本发明实施例提供了一种 TFT 阵列基板、其制备方法及其显示装置,用以实现在保证像素单元开口率的情况下,尽量增大 TFT 半导体层的导通电流量。

[0007] 本发明实施例提供的一种薄膜晶体管 TFT 阵列基板,包括:依次设置在衬底上的第一栅极、栅绝缘层、半导体层、源极、漏极以及钝化层,还包括:设置在所述钝化层之上、且位于所述半导体层上方的第二栅极。

[0008] 本发明实施例提供的一种显示装置,包括本发明实施例提供的 TFT 阵列基板。

[0009] 本发明实施例提供的一种 TFT 阵列基板的制备方法,包括:

[0010] 在衬底上形成栅线、以及与所述栅线电性相连的第一栅极;

[0011] 形成覆盖所述第一栅极和栅线的栅绝缘层;

[0012] 在所述栅绝缘层上且位于所述栅极上方形成半导体层；
[0013] 在所述半导体层上形成相对而置的源极和漏极；
[0014] 形成覆盖所述源极和漏极的钝化层；
[0015] 在所述钝化层上形成与所述漏极电性相连的像素电极、以及与所述栅线电性相连的第二栅极。

[0016] 本发明实施例的有益效果包括：

[0017] 本发明实施例提供的一种 TFT 阵列基板、其制备方法及显示装置，在现有 TFT 结构的基础上，在 TFT 的钝化层上增加位于半导体层上方的第二栅极，在 TFT 工作时，新增的第二栅极通电后，在其下方的半导体层中会形成一条电流通道，而 TFT 原有的第一栅极通电后也会在半导体层中形成一条电流通道，即 在半导体层中会形成两条电流通道，这样，在不增加栅线的栅扫描信号强度前提下，提升了 TFT 半导体层整体的导通电流流量；并且，由于该新增的第二栅极设置在半导体层的上方，不会增加整个 TFT 结构占用像素单元的大小，因此不会降低像素单元的开口率。

附图说明

[0018] 图 1 为现有技术中 TFT 阵列基板的俯视图；
[0019] 图 2 为图 1 中 A-A 的断面图；
[0020] 图 3a 和图 3b 为 TFT 的工作原理图；
[0021] 图 4 为本发明实施例提供的 TFT 阵列基板的俯视图；
[0022] 图 5 为图 4 中 A-A 的断面图；
[0023] 图 6a 和图 6b 为本发明实施例提供的 TFT 阵列基板的工作原理图；
[0024] 图 7 为图 4 中 B-B 的断面图；
[0025] 图 8 为本发明实施例提供的 TFT 阵列基板的制备方法的流程图。

具体实施方式

[0026] 下面结合附图，对本发明实施例提供的 TFT 阵列基板、其制备方法及显示装置的具体实施方式进行详细地说明。

[0027] 附图中各层薄膜和区域大小形状不反映阵列基板的真实比例，目的只是示意说明本发明内容。

[0028] 本发明实施例提供的一种薄膜晶体管 TFT 阵列基板，如图 4 和图 5 所示，包括：依次设置在衬底上的第一栅极 1、栅绝缘层 2、半导体层 3、源极 4、漏极 5 以及钝化层 6，还包括：设置在钝化层 6 之上、且位于半导体层 3 上方的第二栅极 10。

[0029] 在具体实施时，半导体层 3 可以采用 a-Si 或金属氧化物材料制备，当选取金属氧化物制备半导体层时，由于金属氧化物的接触电阻较小，则一般不再使用欧姆接触层来降低接触电阻；当选取 a-Si 制备半导体层时，在半导体层与源漏电极之间还需要设置欧姆接触层。

[0030] 本发明实施例提供的上述 TFT 阵列基板是在现有 TFT 结构的基础上，在 TFT 的钝化层 6 上增加位于半导体层 3 上方的第二栅极 10，在 TFT 工作时，如图 6a 所示，新增的第二栅极 10 通电后，在其下方的半导体层 3 中会形成一条电流通道 b，而 TFT 原有的第一栅极 1

通电后也会在半导体层 3 中形成一条电流通道 a, 即在半导体层中会形成两条电流通道 a 和 b, 这两条电流通道叠加后, 能在不增加栅线 1 的栅扫描信号强度前提下, 提升了 TFT 半导体层 3 整体的导通电流流量; 并且, 由于该新增的第二栅极 10 设置在半导体层 3 的上方, 不会增加整个 TFT 结构占用像素单元的大小, 因此不会降低像素单元的开口率。图 6b 为 TFT 关闭时的原理图。

[0031] 具体地, 由于在本发明实施例提供的上述 TFT 阵列基板中, 需要向第一栅极 1 和第二栅极 10 同时加载电压信号开启 TFT 开关, 才能达到增大半导体层 3 中电流导通量的效果, 因此, 第二栅线 10 和第一栅线 1 应该保证和同一条栅线 8 电性相连, 具体地, 由于第二栅极 10 设置在钝化层 6 之上, 因此, 如图 7 所示, 第二栅极 10 一般通过过孔与对应的栅线 8 电性相连, 具体在形成钝化层 6 图形时形成该穿透钝化层 6 和栅绝缘层 2 的过孔。

[0032] 进一步地, 由于新增的第二栅极 10 位于半导体层 3 上方, 即该新增的第二栅极 10 不会占用现有的像素单元的开口区域, 因此, 新增的第二栅极 10 可以使用例如和第一栅极 1 相同的金属材料制备, 也可以使用例如和像素电极相同的透明导电材料制备, 在此不做限定。

[0033] 进一步地, 在上述 TFT 结构中新增的第二栅极 10 可以与位于钝化层 6 上的 TFT 阵列基板的像素电极 7 同层设置, 这样, 可以通过一次构图工艺形成第二栅极 10 和像素电极 7 的图形, 不会增加现有的 TFT 阵列基板的制备工艺步骤, 只需改变现有的制备钝化层和像素电极的掩膜板图案, 既可实现本发明实施例提供的上述 TFT 结构, 在整体上不会 TFT 阵列基板的制作成本。

[0034] 本发明实施例提供的上述 TFT 阵列基板结构可以应用于诸如高级超维场开关 (ADS, Advanced Super Dimension Switch)、平面转换 (IPS, In Plane Switching) 或扭曲向列 (TN, Twisted Nematic) 型的阵列基板内, 也可以应用于有机电致发光器件 (OLED) 内, 在此不做限定。

[0035] 基于同一发明构思, 本发明实施例还提供了一种显示装置, 包括本发明实施例提供的上述 TFT 阵列基板, 该显示装置的实施可以参见上述 TFT 阵列基板的实施例, 重复之处不再赘述。

[0036] 在具体实施时, 该显示装置可以为: 液晶面板、电子纸、OLED 面板、液晶电视、液晶显示器、数码相框、手机、平板电脑等具有任何显示功能的产品或部件。

[0037] 基于同一发明构思, 本发明实施例还提供了一种上述 TFT 阵列基板的制备方法, 如图 8 所示, 具体包括如下步骤:

[0038] S101、在衬底上形成栅线、以及与栅线电性相连的第一栅极;

[0039] S102、形成覆盖第一栅极和栅线的栅绝缘层;

[0040] S103、在栅绝缘层上且位于栅极上方形成半导体层;

[0041] S104、在半导体层上形成相对而置的源极和漏极;

[0042] 进一步地, 在形成源极和漏极时, 还形成与源极电性相连的数据线;

[0043] 上述步骤 S101~S104 与现有技术相同, 其具体构图工艺以及各构件的具体材料在此不在详述, 下述步骤 S105~S106 为本发明与现有技术的区别点:

[0044] S105、形成覆盖源极和漏极的钝化层; 其中, 在对钝化层构图时, 需要在钝化层形成连接漏极与像素电极的过孔; 进一步地, 还需要在钝化层和栅绝缘层形成连接第二栅极

与栅线的过孔,以保证第二栅极与栅线的电性连接关系。

[0045] S106、在钝化层上形成与漏极电性相连的像素电极、以及与栅线电性相连的第二栅极;

[0046] 具体地,该像素电极与第二栅极可以为氧化铟锡 ITO 或氧化锌锡 IZO 等透明导电材料。

[0047] 本发明实施例提供的一种 TFT 阵列基板、其制备方法及显示装置,在现有 TFT 结构的基础上,在 TFT 的钝化层上增加位于半导体层上方的第二栅极,在 TFT 工作时,新增的第二栅极通电后,在其下方的半导体层中会形成一条电流通道,而 TFT 原有的第一栅极通电后也会在半导体层中形成一条电流通道,即在半导体层中会形成两条电流通道,这样,在不增加栅线的栅扫描信号强度前提下,提升了 TFT 半导体层整体的导通电流量;并且,由于该新增的第二栅极设置在半导体层的上方,不会增加整个 TFT 结构占用像素单元的大小,因此不会降低像素单元的开口率。

[0048] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

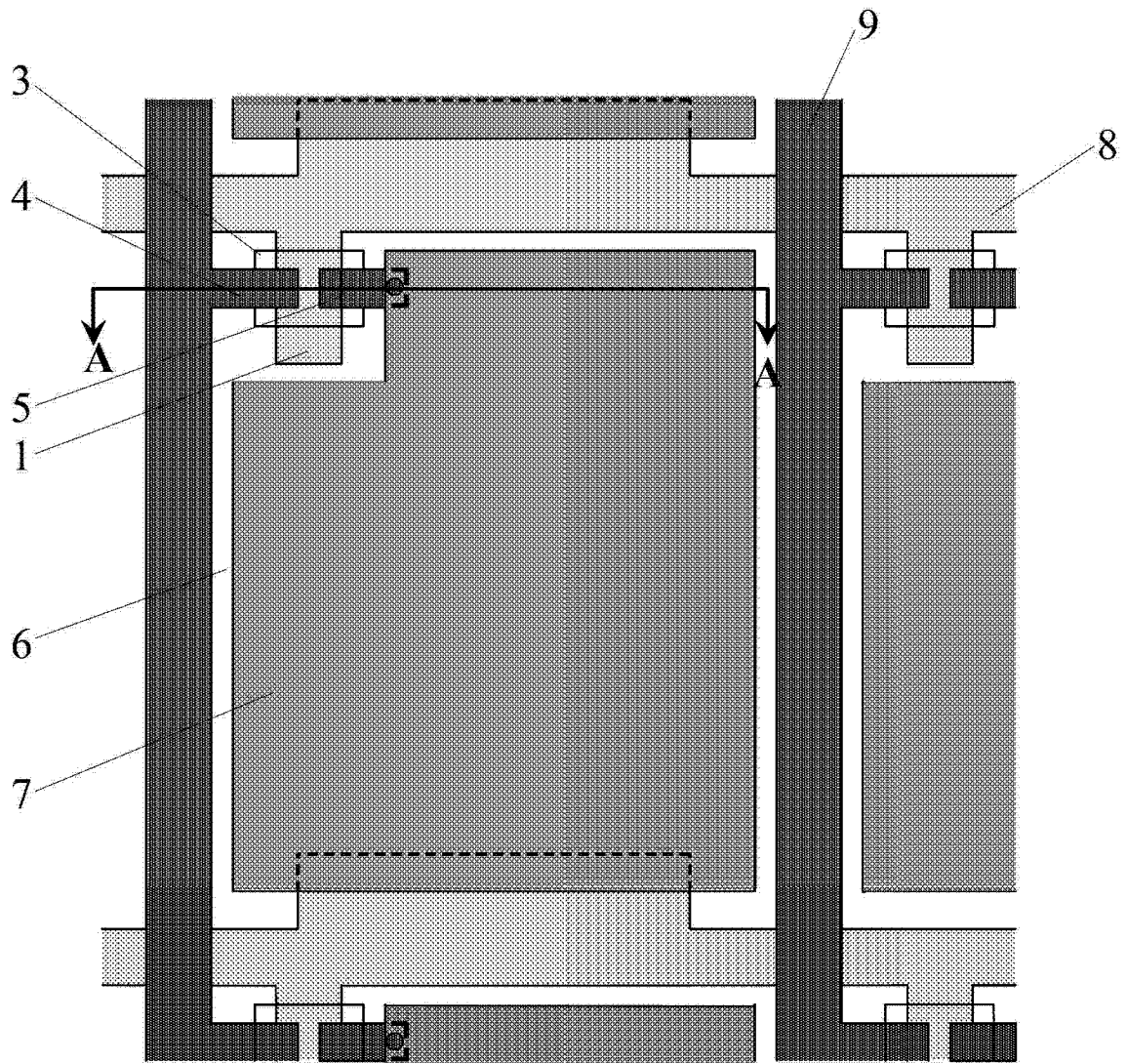


图 1

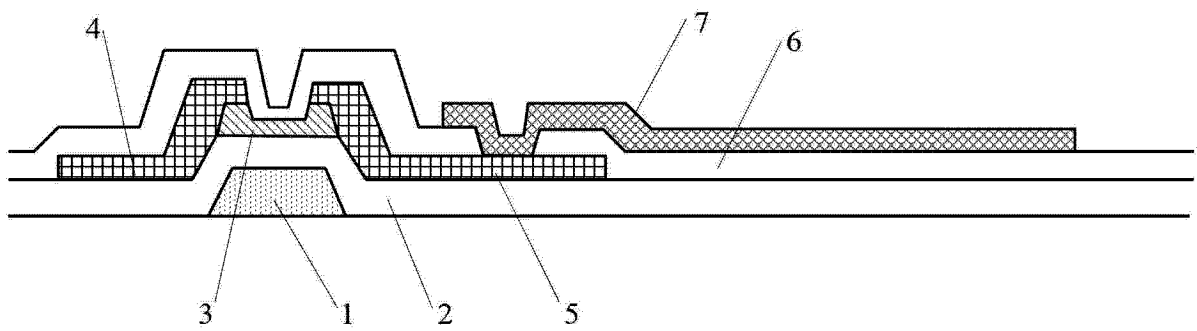


图 2

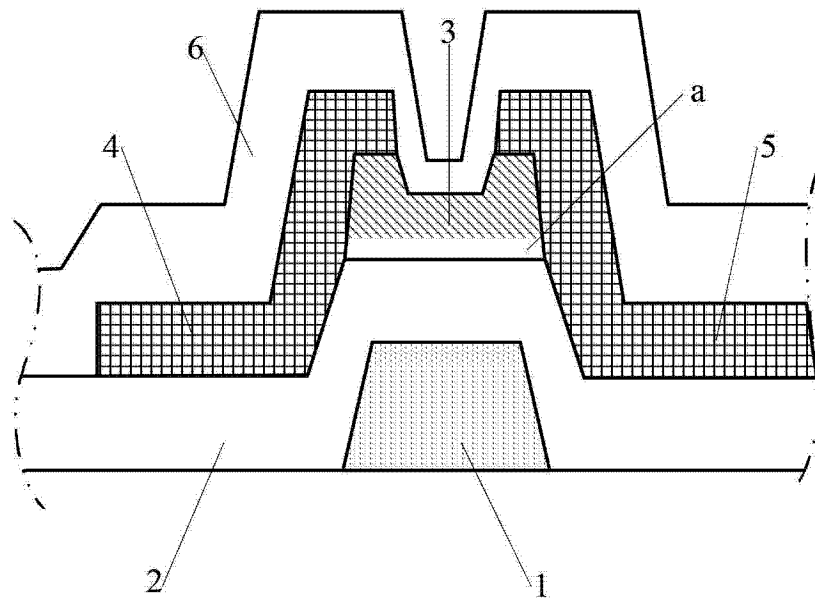


图 3a

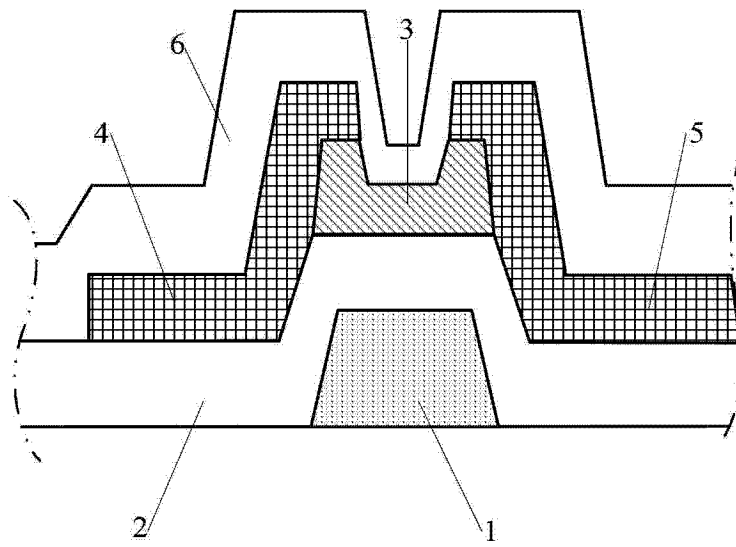


图 3b

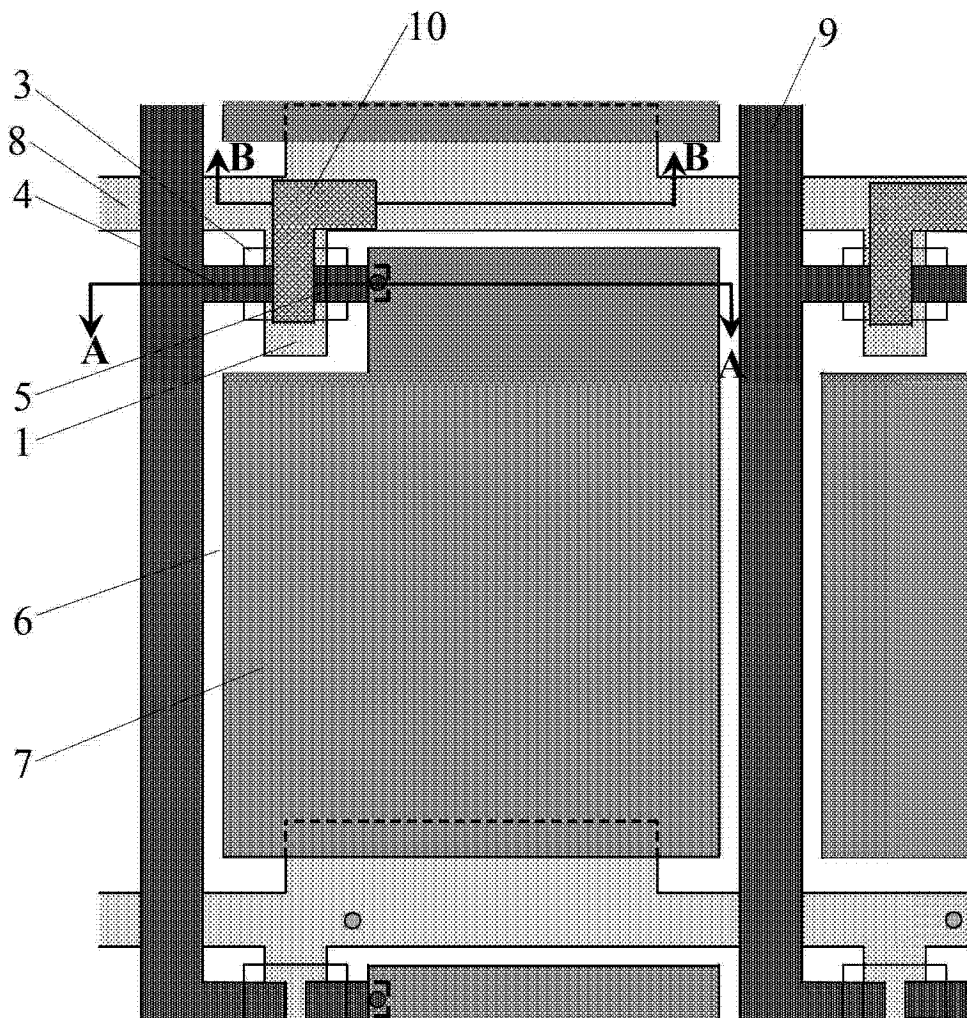


图 4

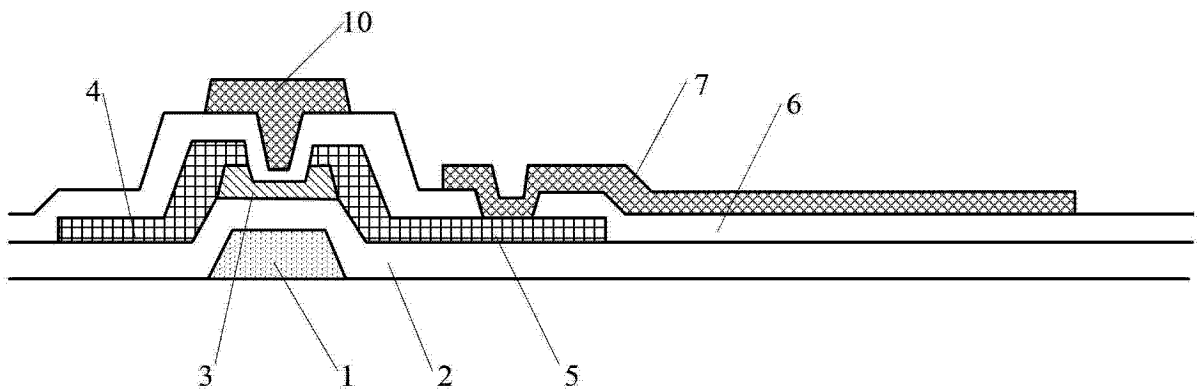


图 5

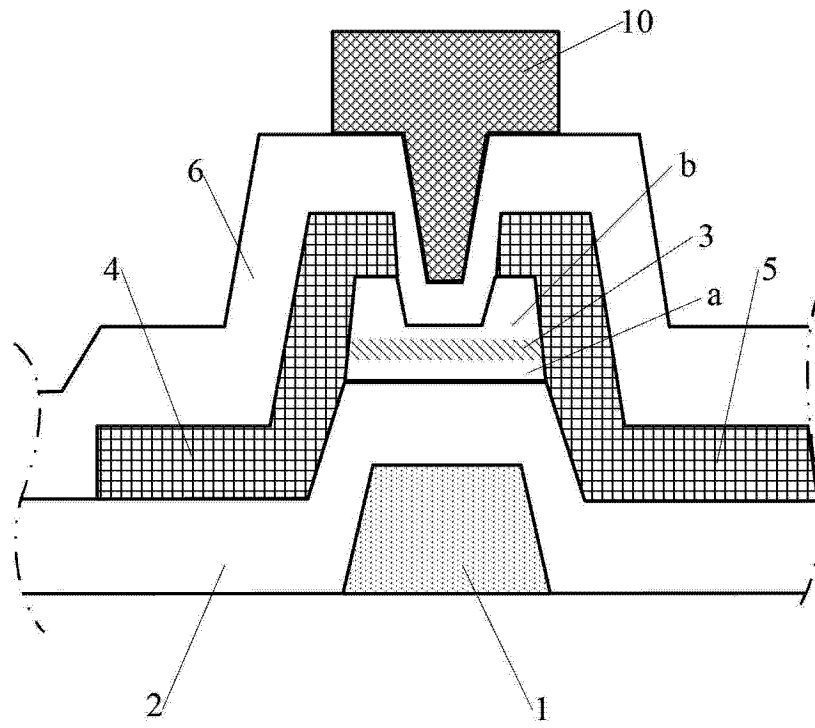


图 6a

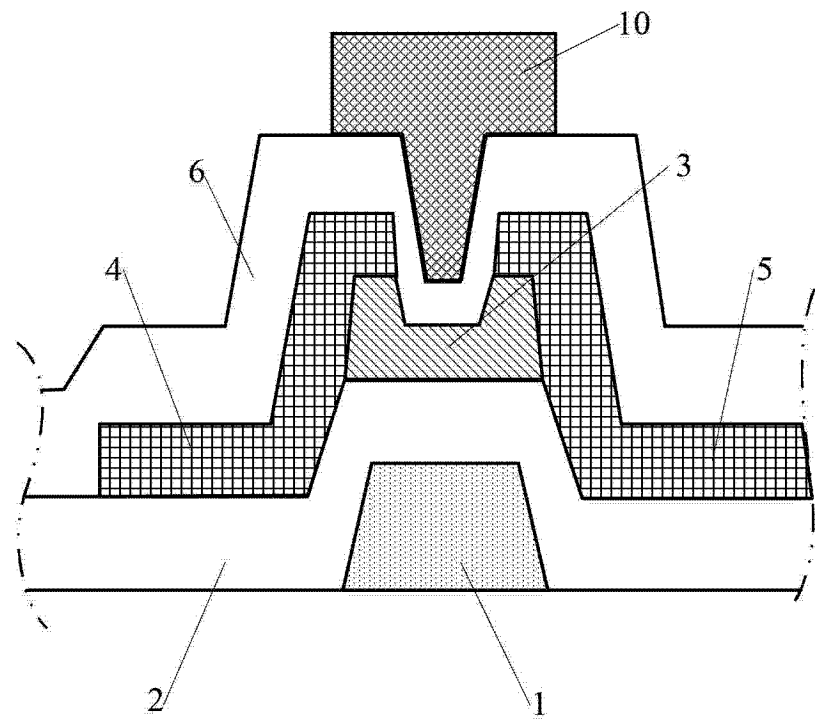


图 6b

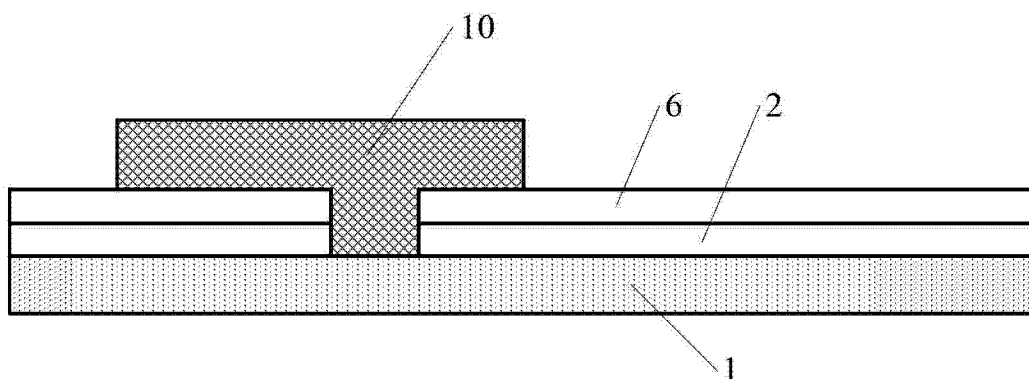


图 7

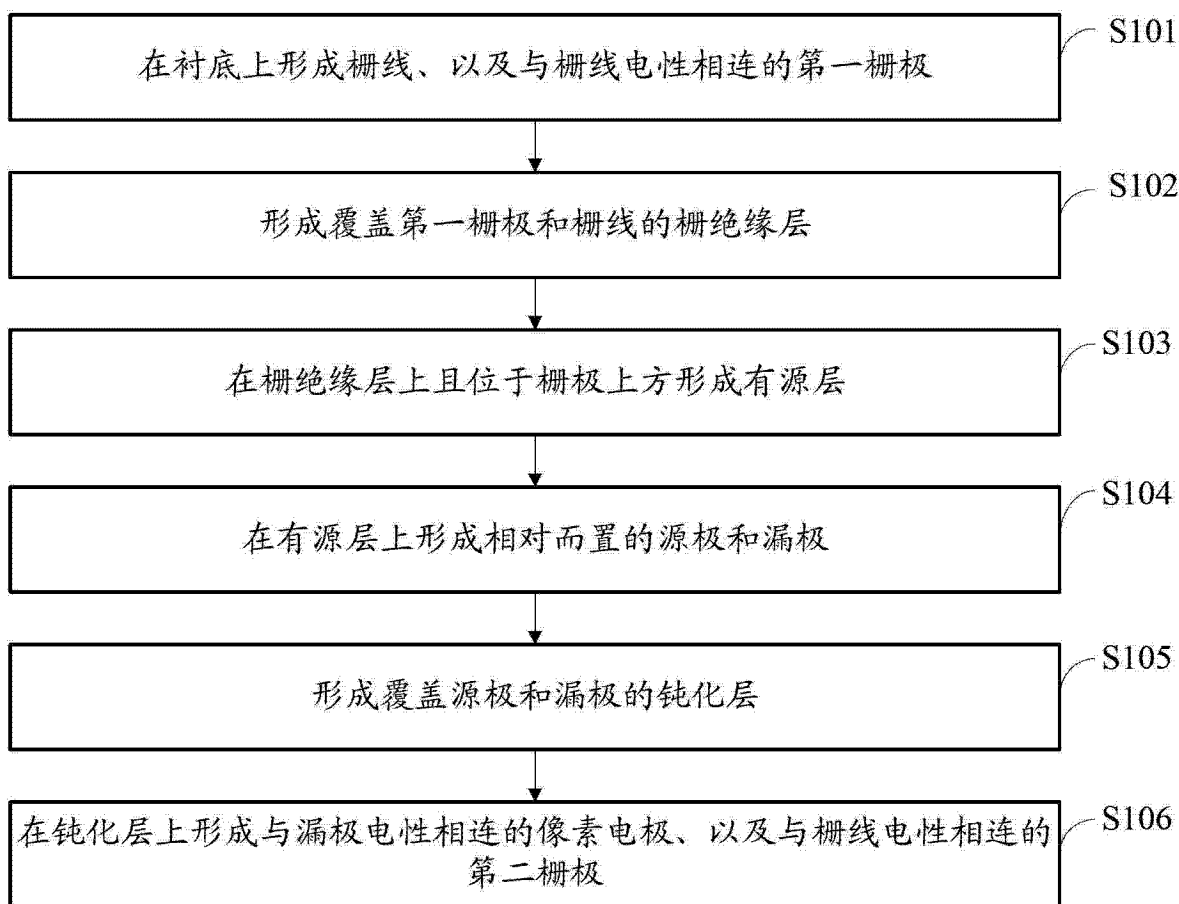


图 8