

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 95114229

※ 申請日期： 95.4.21 ※IPC 分類： G11C8/00 (2006.01)

一、發明名稱：(中文/英文)

記憶體模組及具有該模組之記憶體系統

MEMORY MODULES AND MEMORY SYSTEMS HAVING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

韓商三星電子股份有限公司
SAMSUNG ELECTRONICS CO., LTD.

代表人：(中文/英文)

尹鍾龍
YUN, JONG-YONG

住居所或營業所地址：(中文/英文)

大韓民國京畿道水原市靈通區梅灘洞 416 番地
416, MAETAN-DONG, YEONGTONG-GU, SUWON-SI,
GYEONGGI-DO, KOREA

國 籍：(中文/英文)

韓國 REPUBLIC OF KOREA

三、發明人：(共 1 人)

姓 名：(中文/英文)

崔周善
CHOI, JOO-SUN

國 籍：(中文/英文)

韓國 REPUBLIC OF KOREA

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 韓國；2005年05月21日；10-2005-0042789

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種記憶體模組，其包括一經組態為接收寫資料及指令/位址訊號之連接埠及多個記憶體裝置。該等多個記憶體裝置包括一第一組記憶體裝置，該第一組中之每一記憶體裝置均耦合至該連接埠；及一第二組記憶體裝置，該第二組中之每一記憶體裝置經組態為藉由該第一組及該第二組中之其他記憶體裝置中之至少一者為該記憶體裝置接收相關聯之寫資料及相關聯之指令/位址訊號。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第 (8A) 圖。

(二)本代表圖之元件符號簡單說明：

800a	記憶體模組
810	記憶體裝置
811	資料匯流排
813	讀時鐘匯流排
817	內部寫時鐘匯流排
819	內部寫資料/指令/位址匯流排
820	記憶體裝置
821	資料匯流排
822	寫資料/指令/位址匯流排
823	讀時鐘匯流排
824	寫時鐘匯流排
827	內部寫時鐘匯流排
829	內部寫資料/指令/位址匯流排
830	記憶體裝置
831	資料匯流排
833	讀時鐘匯流排
890	記憶體控制器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本揭示案係關於記憶體模組及具有該模組之記憶體系統，且更特定而言，係關於以高運行時鐘頻率運行之記憶體模組及具有該模組之記憶體系統。

【先前技術】

圖1係一說明習知記憶體模組之方塊圖。圖1展示具有八個x8動態隨機存取記憶體(DRAM)裝置之記憶體模組。

參考圖1，指令/位址匯流排12(CA)被分裂以耦合至八個DRAM裝置20-1至20-8中之每一者。八個讀/寫資料匯流排14(DQ)分別耦合至該等八個DRAM裝置20-1至20-8。

隨著記憶體裝置運行速度的增加，由於記憶體裝置之輸入/輸出(I/O)線路的電容性負載之緣故，記憶體裝置更難共用指令/位址匯流排CA及讀/寫資料匯流排。習知同步動態隨機存取記憶體(SDRAM)模組及雙資料速率(DDR)記憶體模組，其運行速度範圍為100 MHz至800 MHz，可具有多點配置，其中一指令/位址匯流排CA被同步耦合至八個或九個DRAM裝置。

記憶體模組10可具有大約20個指令/位址引腳、64個(8 x 8)資料引腳、大約60個電源引腳及一些用於指定功能的其他引腳。例如，具有SDRAM裝置之記憶體模組可具有168個引腳。具有DDR記憶體裝置之記憶體模組可具有184個引腳。DDR2記憶體裝置之記憶體模組可具有232個引腳。

隨著記憶體裝置不斷發展，記憶體裝置所支持之運行速

度可能增加。此外，引腳數目可能增加。例如，DDR3記憶體之最大資料傳送率大約為1600 Mbps。在DDR3記憶體後開發的下一代記憶體之資料傳送率大約為3200 Mbps。然而，若使用其中用一個資料引腳接收或傳送一個資料位元的習知單端訊號傳輸，則在雜訊環境中下一代記憶體可能不會穩定地接收或傳輸。具體而言，當記憶體裝置之運行時鐘頻率超過一GHz時，由於節點(意即耦合至記憶體裝置之節點)之電容性負載之故，因此可能無法實現所需要之訊號完整性(SI)。

下一代記憶體裝置可使用微分訊號傳輸，其中使用兩個資料引腳接收或傳輸一個資料位元。需要微分訊號傳輸來支持大於約3200 Mbps之資料傳送率。

然而，使用微分訊號傳輸之記憶體模組需要使用兩倍之單端訊號傳輸之記憶體模組的引腳，原因在於需要兩個資料引腳來傳輸或接收一個位元。舉例而言，當有64個資料線時，如圖1所示，則需要128個資料引腳來傳輸或接收64個資料位元。由於目前個人電腦(PC)之設計侷限及相關聯之機械侷限之故，目前難以設計具有多於250個引腳之記憶體模組。因此，由於引腳數目增加，難以將記憶體模組設計為使用微分訊號傳輸。

當為了避免設計侷限限制記憶體模組內之引腳數目而減少記憶體模組中所包含的記憶體裝置之數目時，記憶體模組之資料通量將降低。

此外，在習知記憶體模組配置中，記憶體模組之引腳數

目在第一記憶體模組藉由點對點連接耦合至第二記憶體模組的情況下會增加，以降低電容性負載之作用以便實現高速運行。

因此，難以在具有微分訊號傳輸且以若干GHz之時鐘頻率運行之下一代DRAM中使用具有習知指令/位址匯流排架構及習知資料匯流排架構之習知記憶體模組。

【發明內容】

實施例包括一種記憶體模組，其中包括一經組態以接收寫資料及指令/位址訊號之連接埠以及多個記憶體裝置。該等多個記憶體裝置包括第一組記憶體裝置，第一組中之每一記憶體裝置耦合至該連接埠，以及第二組記憶體裝置，第二組中之每一記憶體裝置經組態以藉由第一組及第二組的其他記憶體裝置中之至少一者為該記憶體裝置接收相關聯之寫資料及相關聯之指令/位址訊號。

另一實施例包括一記憶體模組，其包括一經組態以接收指令/位址訊號之指令/位址埠及多個記憶體裝置。該等多個記憶體裝置包括第一組記憶體裝置，第一組中之每一記憶體裝置耦合至指令/位址埠，及第二組記憶體裝置，第二組中之每一記憶體裝置經組態以藉由第一組及第二組的其他記憶體裝置中之至少一者接收相關聯之指令/位址訊號。

又一實施例包括一記憶體系統，其包括多個記憶體模組，每一記憶體模組包括：一經組態以接收指令/位址訊號之指令/位址埠；一第一組記憶體裝置，第一組中之每一記憶體裝置耦合至指令/位址埠，及一第二組記憶體裝置，第

二組中之每一記憶體裝置經組態以藉由第一組及第二組的其他記憶體裝置中之至少一者接收相關聯之指令/位址訊號。第一組及第二組之每一記憶體裝置藉由一相關聯之資料匯流排耦合至另一記憶體模組中之相應的記憶體裝置。

【實施方式】

在本文中揭示實施例。然而，本文揭示之特定結構及功能細節僅為描述該等實施例而作代表用。該等實施例將採用許多替換形式，且不應被推論為侷限於本文陳述之實施例。

因此，儘管實施例可允許各種修改及替換形式，但其特定實施例將藉由圖示中的實例展示且將在本文中具體描述。然而，應瞭解不希望將本發明侷限於所揭示之特定形式，而與此相反，本發明將涵蓋符合本發明精神及範圍之所有修改、均等物及替代物。在整個圖示說明中，相同數字始終指示相同元件。

應瞭解，儘管本文中可能用術語第一、第二等描述各種元件，但是此等元件不應該受到此等術語之限制。此等術語用於區分各個元件。舉例而言，第一元件可稱為第二元件，同樣，第二元件可稱為第一元件，而不脫離本發明之範圍。如本文所用，術語"及/或"包括一或多個相關聯列出項之任何及所有組合。

應瞭解當一元件被稱為"連接"或"耦合"至另一元件時，其可直接連接或耦合至其他元件或可以存在介入元件。與此相反，當元件"直接連接"或"直接耦合"至另一元件時，則不

存在介入元件。用於描述元件之間關係的其他詞語應該用同類方式解釋(例如，"之間"與"直接之間"，"鄰近"與"直接鄰近"，等等)。

本文中使用的術語係用於說明特定實施例，且不希望受到本發明之侷限。如本文中所示，單數形式"一"及"該"亦包括複數形式，除非上下文中另有指明。將進一步瞭解當術語"包含"、"包括"在本文中使用时，指明所述特點、整數、步驟、操作、元件及/或組件之存在，但並不排除一或多個其他特點、整數、步驟、操作、元件、組件及/或其組之存在或增加。

除非另有定義，否則本文所用之所有術語(包括技術術語及科學術語)具有與普通熟習本發明所屬技術者之一般理解相同的含義。將進一步瞭解，諸如通用詞典中定義之術語應該解釋為具有與其相關技術領域中之含義相一致的含義，並且不應以理想化或過於正式之意義予以解釋，除非本文明確定義。

在以下情況下討論實施例：即自記憶體控制器之複數個資料埠中輸出之資料訊號分別藉由點對點連接經由多個資料匯流排耦合至相應的記憶體裝置。自記憶體控制器之連接埠輸出之指令/位址訊號藉由指令/位址匯流排直接傳送至記憶體模組之至少一個記憶體裝置，然後藉由直接耦合至記憶體控制器之記憶體裝置傳送至該記憶體模組之其他記憶體裝置。

圖2A至2D係說明根據實施例之記憶體系統之方塊圖；圖

3係說明圖2A之記憶體模組之讀寫操作之時序圖，且圖4係說明圖2A至2D之記憶體模組中之記憶體裝置之方塊圖。

參考圖2A，記憶體系統包括一記憶體模組200a及一記憶體控制器290。在本實施例中，記憶體控制器290及記憶體裝置之資料埠及指令/位址埠分別具有8個引腳。然而，在本實施例及其他實施例中，資料埠及指令/位址埠可按照需要具有8個以上或8個以下之引腳。

記憶體控制器290之資料埠D1、D2及D3分別藉由點對點連接經由資料匯流排WR/RD耦合至記憶體裝置220、210及230(M1、M2及M3)。耦合至記憶體控制器290之資料埠D1的資料匯流排221直接耦合至記憶體裝置M1，耦合至記憶體控制器290之資料埠D2的資料匯流排211直接耦合至記憶體裝置M2，且耦合至記憶體控制器290之資料埠D3的資料匯流排231直接耦合至記憶體裝置M3。

雖然圖2A中並未展示，但是記憶體控制器290之寫時鐘匯流排215、225及235(WCLK)及讀時鐘匯流排213、223、233(RCLK)分別藉由點對點連接耦合至記憶體裝置M2、M1及M3。寫資料或讀資料藉由資料匯流排WR/RD傳送，因此資料匯流排WR/RD之資料傳送係雙向的。

自記憶體控制器290之指令/位址埠C/A輸出的指令/位址訊號藉由指令/位址匯流排227直接耦合至記憶體裝置M1。指令/位址訊號藉由記憶體裝置220中之轉發器450(參見圖4)進行轉發，且分別藉由內部指令/位址匯流排219及239(ICA)傳送至位於記憶體模組內之其他記憶體裝置210

及230。舉例而言，輸入至記憶體裝置M1中的指令/位址訊號藉由記憶體裝置M1中之轉發器傳送至其他記憶體裝置M2及M3。

指令/位址訊號可為封包資料，其包括位址資訊及代表指令之運算元，如讀指令及寫指令等。指令/位址訊號可作為封包資料藉由指令/位址匯流排227傳送。指令/位址訊號可藉由指令/位址匯流排227單向傳送。

指令/位址時鐘訊號CACLK藉由指令/位址時鐘匯流排229提供於記憶體裝置M1，且藉由記憶體裝置220中之轉發器450轉發，且分別藉由內部指令/位址時鐘匯流排217及237(ICACK)傳送至記憶體模組內的其他記憶體裝置210及230。

舉例而言，圖2A至2D中之記憶體裝置220、210、230、240及250可分別實施成具有圖4中之記憶體裝置的組態。

當記憶體裝置220轉發指令/位址訊號時，轉發器450被啟動，且當記憶體裝置220未轉發指令/位址訊號時，轉發器未被啟動。

舉例而言，圖2A、2B及2C中記憶體裝置210及230之轉發器未被啟動，原因在於圖2A、2B及2C的記憶體裝置210及230未對指令/位址訊號執行轉發功能。圖2D中記憶體裝置210及230之轉發器在轉發指令/位址訊號期間被啟動，原因在於圖2D中記憶體裝置210及230對指令/位址訊號執行轉發功能。

參看圖3及圖4，下文中將對記憶體模組之讀寫操作(例

如，圖 2A 之記憶體模組 200a) 進行解釋。

參看圖 3，指令/位址訊號 301 及 311 響應指令/位址時鐘訊號 CACLK 而藉由指令/位址匯流排 227 輸入至記憶體裝置 220。指令/位址訊號 301 包括資料寫指令 WR 及位址資訊。指令/位址訊號 311 包括資料讀指令 RD 及位址資訊。指令/位址訊號 301 及 311 可為封包資料。

指令/位址訊號 301 及 311 被輸入至記憶體裝置 220 中之封包解碼器 402，且藉由指令/位址旁路 454 傳送。在指令/位址旁路 454 造成之延遲後，藉由旁路 454 傳遞之指令/位址訊號 301 及 311 被輸入轉發器 450 中，且藉由記憶體裝置 220 中之轉發器 450 轉發。藉由旁路 454 傳遞之指令/位址訊號 301 及 311 可仍然具有封包格式。由轉發器 450 轉發之指令/位址訊號 303 及 313 (WRr 及 RDr) 藉由 ICA 匯流排傳送至記憶體裝置 M2 及 M3。

在寫操作中，記憶體控制器 290 響應寫時鐘 WCLK 而分別藉由資料匯流排 221、211 及 231 (WR/RD) 為記憶體裝置 M1、M2 及 M3 提供寫資料 WRD1、WRD2 及 WRD3。記憶體控制器 290 可將寫資料 WRD1、WRD2 及 WRD3 同步施加至資料匯流排 221、211 及 231。或者，記憶體控制器 290 可將寫資料 WRD1、WRD2 及 WRD3 依次施加至資料匯流排 221、211 及 231。雖然記憶體控制器 290 為寫資料 WRD1、WRD2 及 WRD3 提供圖 3 中所轉發之指令/位址訊號 303 及 313 (WRr 及 RDr) 輸入後之預定時間，但此預定時間期限可根據寫潛伏期而改變。

寫資料 305(WRD1、WRD2及WRD3)輸入至記憶體裝置 220及230之輸入緩衝器 462，並藉由資料輸入暫存器 420寫入相應的記憶體裝置之記憶體陣列 430中。

在讀操作中，包括讀指令之指令/位址訊號 313由記憶體裝置 M1之轉發器轉發，且讀資料 RDD3、RDD2及RDD1在預定時間期限(意即藉由記憶體裝置 220、210及230之行位址選通潛伏期)後響應 RCLK而藉由資料匯流排 231、211及 221輸出至記憶體控制器 290。

圖 2B表示一包括五個記憶體裝置之記憶體系統。

參看圖 2B，記憶體系統包括一記憶體模組 200b及一記憶體控制器 290。記憶體模組 200b具有記憶體裝置 M1至 M5。舉例而言，記憶體控制器 290之資料埠及指令/位址埠分別具有 8個引腳。

記憶體控制器 290之資料埠 D1、D2、D3、D4及 D5分別藉由點對點連接經由資料匯流排 221、211、231、241及 251耦合至記憶體裝置 220、210、230、240及 250(M1、M2、M3、M4及 M5)。雖然圖 2B中並未展示，但記憶體控制器 290之寫時鐘匯流排 215、225、235、245及 255(WCLK)及讀時鐘匯流排 213、223、233、243及 253(RCLK)分別藉由點對點連接耦合至記憶體裝置 M2、M1、M3、M4及 M5。

指令/位址訊號藉由位於記憶體模組 200b中間之記憶體裝置 M1中的轉發器 450(參看圖 4)轉發，並被傳送至相鄰於記憶體裝置 M1之第一側安置的記憶體裝置 M2及 M4，及相鄰於記憶體裝置 M1之第二側安置的記憶體裝置 M3及 M5。

特定言之，自記憶體控制器 290 之指令/位址埠 C/A 輸出的指令/位址訊號藉由指令/位址匯流排 227 耦合至記憶體裝置 M1。記憶體裝置 M2 及 M3 中之轉發器接收藉由指令/位址匯流排 ICA1 由記憶體裝置 M1 轉發之指令/位址訊號，且記憶體裝置 M4 及 M5 中之轉發器接收藉由指令/位址匯流排 ICA2 由記憶體裝置 M1 轉發之指令/位址訊號。

如圖 2B 所示，指令/位址匯流排 ICA1 及指令/位址匯流排 ICA2 可進行單獨管理，以便減少重新驅動指令/位址訊號所需之潛伏期。

在此，指令/位址訊號可作為封包資料藉由指令/位址匯流排 227 傳送。指令/位址訊號可藉由指令/位址匯流排 227 單向傳送。

或者，記憶體裝置 M2、M3、M4 或 M5 (而非記憶體裝置 M1) 可自記憶體控制器 290 接收指令/位址訊號，且重新驅動所接收之指令/位址訊號，以將轉發之指令/位址訊號重發至另一記憶體裝置。

指令/位址時鐘訊號 CACLK 藉由指令/位址時鐘匯流排 229 自記憶體控制器 290 提供至記憶體裝置 M1，且藉由記憶體裝置 220 中之轉發器 450 轉發，且分別藉由內部指令/位址時鐘匯流排 217 及 237 (ICACLK) 傳送至記憶體模組內 200d 的記憶體裝置 210 及 230。此外，由記憶體裝置 220 之轉發器 450 轉發之指令/位址時鐘訊號 CACLK 分別藉由內部指令/位址時鐘匯流排 242 及 252 (ICACLK) 傳送至記憶體裝置 240 及 250。

圖 2C 表示一根據另一實施例之記憶體系統。

參看圖 2C，指令/位址訊號由記憶體裝置 M1 之轉發器轉發，且藉由公用指令/位址匯流排 (ICA) 219 傳送至記憶體裝置 M2 及 M4，且藉由公用指令/位址匯流排 (ICA) 239 傳送至記憶體裝置 M3 及 M5。藉由使用公用指令/位址匯流排 (ICA)，記憶體之引腳數目可減少。

此外，指令/位址時鐘訊號由記憶體裝置 M1 中之轉發器轉發，且藉由公用指令/位址時鐘匯流排 (ICACLK) 217 傳送至記憶體裝置 M2 及 M4，且藉由公用指令/位址時鐘匯流排 (ICACLK) 237 傳送至記憶體裝置 M4 及 M5。藉由使用公用指令/位址時鐘訊號匯流排 (ICACLK)，記憶體之引腳數目可減少。換言之，記憶體裝置 M1 可藉由公用記憶體引腳將指令/位址訊號及/或指令/位址時鐘訊號傳輸至另一記憶體裝置 (諸如記憶體裝置 M2、M3、M4 或 M5)，從而減少記憶體之引腳數目。

圖 2D 表示根據另一實施例之記憶體系統。

參看圖 2D，記憶體系統包括一記憶體模組 200b 及一記憶體控制器 290。記憶體模組 200b 具有記憶體裝置 M1 至 M5。舉例而言，記憶體控制器 290 之資料埠及指令/位址埠分別具有 8 個引腳。

記憶體控制器 290 之資料埠 D1、D2、D3、D4 及 D5 分別藉由點對點連接經由資料匯流排 221、211、231、241 及 251 耦合至記憶體裝置 220、210、230、240 及 250 (M1、M2、M3、M4 及 M5)。雖然圖 2D 中並未展示，但記憶體控制器 290 之寫

時鐘匯流排 215、225、235、245 及 255(WCLK) 及讀時鐘匯流排 213、223、233、243 及 253(RCLK) 分別藉由點對點連接耦合至記憶體裝置 M2、M1、M3、M4 及 M5。

指令/位址訊號藉由記憶體模組 200d 之記憶體裝置 M1 中的轉發器 450 轉發，且被傳送至記憶體裝置 M2 及 M3。記憶體裝置 M2 及 M3 鄰近於記憶體裝置 M1 而安置。由記憶體裝置 M2 及 M3 中之轉發器 450 轉發之指令/位址訊號被分別傳送至鄰近於記憶體裝置 M2 及 M3 而安置之記憶體裝置 M4 及 M5。記憶體模組 200d 之記憶體裝置 M1、M2、M3、M4 及 M5 藉由點對點連接互相耦合。

特定言之，記憶體裝置 M2 中之轉發器接收記憶體裝置 M1 轉發之指令/位址訊號，且將所接收之指令/位址訊號傳送至鄰近於記憶體裝置 M2 之記憶體裝置 M4。記憶體裝置 M3 中之轉發器接收記憶體裝置 M1 轉發之指令/位址訊號，且將所接收之指令/位址訊號傳送至鄰近於記憶體裝置 M3 之記憶體裝置 M5。

指令/位址時鐘訊號 CACLK 藉由指令/位址時鐘匯流排 229 自記憶體控制器 290 提供至記憶體裝置 M1，且藉由記憶體裝置 M1 中之轉發器 450 轉發，且分別藉由內部指令/位址時鐘匯流排 217 及 237(ICACLK) 傳送至記憶體模組 200d 之其他記憶體裝置 M2 及/或 M3。記憶體裝置 M2 及/或 M3 將指令/位址時鐘訊號 CACLK 分別藉由內部指令/位址時鐘匯流排 247 及 257(ICACLK) 傳送至記憶體模組 200d 之記憶體裝置 M4 及 M5。

圖4展示具有 $n \times m$ 記憶單元之動態隨機存取記憶體(DRAM)之內部區塊的實例。雖然上述實施例展示DRAM裝置內部區塊之組態，但具有至少一個轉發器及旁路之記憶體裝置的組態及普通熟習此項技術者已知之任何其他組態亦可用於代替圖4中DRAM裝置內部區塊之組態。

圖5係說明根據另一實施例之記憶體系統之方塊圖，圖6A係說明圖5之第二記憶體模組MD1的寫操作之時序圖，圖6B係說明圖5之第一記憶體模組MD0的讀寫操作之時序圖，且圖7係說明圖5之記憶體模組中記憶體裝置之方塊圖。

圖5展示一具有兩個記憶體模組500(MD0)及550(MD1)之記憶體系統。

兩個記憶體模組500及550藉由菊鏈連接互相耦合。在菊鏈連接中，自記憶體控制器590輸出或被輸入其中的時鐘訊號及資料可依據定向而依次傳送至下一個記憶體模組。

參看圖5，記憶體系統包括記憶體模組500及550及一記憶體控制器590。舉例而言，記憶體控制器590及記憶體裝置之資料埠及指令/位址埠分別具有8個引腳。

記憶體控制器590之資料埠D1藉由資料匯流排512(WR/RD)直接耦合至記憶體裝置510(M12)，記憶體控制器590之資料埠D2藉由資料匯流排522(WR/RD)直接耦合至記憶體裝置520(M11)，記憶體控制器590之資料埠D3藉由資料匯流排532(WR/RD)直接耦合至記憶體裝置530(M13)。

在寫操作中，記憶體模組MD0之記憶體裝置520(M11)將自記憶體控制器590接收之資料藉由資料匯流排572傳輸至

記憶體模組 MD1 中相應的記憶體裝置 570(M21)。記憶體模組 MD0 之記憶體裝置 510(M12)將自記憶體控制器 590 接收之資料藉由資料匯流排 562 傳輸至記憶體模組 MD1 中相應的記憶體裝置 560(M22)。記憶體模組 MD0 之記憶體裝置 530(M13)將自記憶體控制器 590 接收之資料藉由資料匯流排 582 傳送至記憶體模組 MD1 中相應的記憶體裝置 580(M23)。

在讀操作中，記憶體模組 500(MD0)之記憶體裝置 520(M11)藉由資料匯流排 572 自記憶體模組 550(MD1)之記憶體裝置 570(M21)讀取資料，且記憶體控制器 590 藉由資料匯流排 522 自記憶體裝置 520(M11)讀取資料。記憶體模組 500(MD0)之記憶體裝置 510(M12)藉由資料匯流排 562 自記憶體模組 550(MD1)之記憶體裝置 560(M22)讀取資料，且記憶體控制器 590 藉由資料匯流排 512 自記憶體裝置 510(M12)讀取資料。記憶體模組 500(MD0)之記憶體裝置 530(M13)藉由資料匯流排 582 自記憶體模組 550(MD1)之記憶體裝置 580(M23)讀取資料，且記憶體控制器 590 藉由資料匯流排 532 自記憶體裝置 530(M13)讀取資料。

雖然圖 5 中並未展示，但記憶體控制器 590 之寫時鐘匯流排 516、526 及 536(WCLK)及讀時鐘匯流排 514、524、534(RCLK)分別藉由點對點連接耦合至記憶體裝置 510、520 及 530(M12、M11 及 M13)。

記憶體模組 MD0 之記憶體裝置 520、510 及 530 將自記憶體控制器 590 接收之寫時鐘 WCLK 藉由寫時鐘匯流排 576、566

及 586 傳送至記憶體模組 MD1 中的記憶體裝置 570、560 及 580。

寫資料及讀資料藉由資料匯流排 WR/RD 傳送，因此資料匯流排 WR/RD 之資料傳送係雙向的。

自指令/位址埠 C/A0 輸出之第一指令/位址訊號 CA0 藉由指令/位址匯流排 521 直接耦合至記憶體模組 MD0 中的記憶體裝置 M11，且自指令/位址埠 C/A1 輸出之第二指令/位址訊號 CA1 藉由指令/位址匯流排 571 直接耦合至記憶體模組 MD1 中的記憶體裝置 570(M21)。

記憶體裝置 M11 之轉發器 750(參看圖 7)將第一指令/位址訊號 CA0 藉由內部指令/位址匯流排 513 及 523 傳送至其他記憶體裝置 M12 及/或 M13。

記憶體裝置 M21 之轉發器 750 將第二指令/位址訊號 CA1 藉由內部指令/位址匯流排 563 及 573 傳送至其他記憶體裝置 M22 及/或 M23。

指令/位址訊號可為封包資料，其包括位址資訊及代表一種指令之運算元，如讀指令、寫指令、寫請求指令及讀請求指令等。指令/位址訊號可作為封包資料藉由指令/位址匯流排 227 傳送。指令/位址訊號可藉由指令/位址匯流排 521 及 571 單向傳送。

第一指令/位址時鐘訊號 CACLK0 藉由第一指令/位址時鐘匯流排 523 自記憶體控制器 590 提供至記憶體裝置 M11，且藉由記憶體裝置 520 中之轉發器 750 轉發，且分別藉由內部指令/位址時鐘匯流排 511 及 521(ICACLK)傳送至記憶體

模組 500(MD0)內的其他記憶體裝置 510及 530。第二指令/位址時鐘訊號 CACLK1藉由第二指令/位址時鐘匯流排 573自記憶體控制器 590提供至記憶體裝置 M21，且藉由記憶體裝置 570中之轉發器 750轉發，且分別藉由內部指令/位址時鐘匯流排 561及 571(ICACLK)傳輸至記憶體模組 550(MD1)內的其他記憶體裝置 560及 580。

舉例而言，圖 5中之記憶體裝置 510、520、530、560、570及 580可分別實施為具有圖 7中之記憶體裝置的組態。或者，CA轉發器 750可僅包括在轉發指令/位址訊號之記憶體裝置中。或者，DQ轉發器 780可僅包括在轉發資料之記憶體裝置中。

當相應的記憶體裝置轉發指令/位址訊號時，CA轉發器 750被啟動，且當相應的記憶體裝置將資料轉發至其他記憶體裝置時，DQ轉發器 780被啟動。

當記憶體模組 MD0及 MD1之記憶體裝置 M11、M12、M13、M21、M22及 M23分別轉發指令/位址訊號或資料時，CA轉發器 750或 DQ轉發器 780被啟動。

參看圖 5、6A、6B及圖 7，下文中將對記憶體模組 (MD1)550及 500之讀寫操作進行解釋。

在圖 5所示之實施例中，記憶體模組 MD0之記憶體裝置 M11執行指令/位址訊號及資料之轉發功能，而記憶體模組 MD1之記憶體裝置 M21僅執行指令/位址訊號之轉發功能，且記憶體模組 MD1之記憶體裝置 M12及 M13僅執行資料之轉發功能。記憶體模組 MD1之記憶體裝置 M22及 M23不執行轉發功能。

指令/位址訊號之轉發功能或資料之轉發功能中之任何功能。

參看圖5、6A及圖7，將對記憶體模組550之讀寫操作進行解釋。

參看圖6A，記憶體控制器590為記憶體裝置M11提供具有寫請求指令之指令/位址訊號601(WRr)，其請求將資料寫入記憶體模組MD1中，及具有讀請求指令之指令/位址訊號621(RDr)，其請求自記憶體模組MD1讀取資料，藉由第一指令/位址匯流排521響應指令/位址時鐘訊號CACLK。記憶體模組MD0之記憶體裝置響應於寫請求指令將自記憶體控制器590接收之資料轉發至記憶體模組MD1。記憶體模組MD0之記憶體裝置向記憶體模組MD1發出請求，請求記憶體模組MD1響應於讀請求指令將資料轉發至記憶體控制器590。

指令/位址訊號601及621由記憶體裝置M11之轉發器750轉發，在預定時間期限(意即由記憶體模組MD0內記憶體裝置M11之CA轉發器750產生的潛伏期)之後作為內部指令/位址訊號603及623輸出。內部指令/位址訊號603及623藉由內部指令/位址匯流排(ICA)513及523重發至記憶體裝置M12及M13。

此外，記憶體控制器590藉由第二指令/位址匯流排571為記憶體裝置M21提供具有寫指令之指令/位址訊號605，及具有讀指令之指令/位址訊號625。

寫指令/位址訊號605或讀指令/位址訊號625藉由記憶體

裝置 M21 之轉發器轉發，且在一段時間期限(意即由記憶體模組 MD1 內記憶體裝置 M21 之 CA 轉發器 750 產生的潛伏期)後作為內部指令/位址訊號 607 及 626 輸出。內部指令/位址訊號 607 及 626 藉由內部指令/位址匯流排(ICA)563 及 573 重發至記憶體裝置 M22 及 M23。

寫指令/位址訊號 605 可為具有寫指令及位址資訊之封包資料，且讀指令/位址訊號 625 可為具有讀指令及位址資訊之封包資料。

指令/位址訊號 601 及 603 之寫請求指令請求將資料寫入記憶體模組 MD1 中，且可用作 DQ 轉發器控制訊號(未圖示)以啟動記憶體裝置 M11 之 DQ 轉發器 780。

當記憶體裝置 M11 及 M12 及/或 M13 之 DQ 轉發器 780 響應於 DQ 轉發器控制訊號而被啟動時，分別輸入至記憶體模組 MD0 之記憶體裝置 M11、M12 及 M13 的寫資料 WRD1、WRD2 及 WRD3 將藉由記憶體裝置 M11、M12 及 M13 之 Y0 引腳輸出至記憶體模組 MD1 中的記憶體裝置 M21、M22 及 M23。

雖然圖 7 之轉發器 770 由兩個轉發器(意即 CA 轉發器 750 及 DQ 轉發器 780)實施，但是轉發器 770 亦可由一個轉發器實施。

在寫操作中，記憶體控制器 590 響應於寫時鐘 WCLK 而分別藉由資料匯流排 522、512 及 532 為記憶體裝置 M11、M12 及 M13 提供寫資料 611(WRD1、WRD2 及 WRD3)。寫資料 611(WRD1、WRD2 及 WRD3)可同步輸出至該等資料匯流排，或者可依序輸出至該等資料匯流排。

在記憶體裝置M21之轉發器藉由ICA輸出指令/位址訊號607之一段時間期限(意即藉由記憶體裝置M11及/或M12之寫潛伏期或藉由記憶體裝置M11及/或M13之寫潛伏期)後，可向記憶體模組MD0提供寫資料。

基於具有寫請求指令WRr(其請求將資料寫入記憶體模組MD1中)之指令/位址訊號601生成控制訊號761，該控制訊號待輸出至輸入緩衝區462。

當寫請求指令WRr(其請求將資料寫入記憶體模組MD1中)被應用至記憶體裝置M11、M12及M13時，寫資料609(WRD1、WRD2及WRD3，其藉由記憶體模組MD0之資料匯流排512、522及532被接收)將不被寫入記憶體裝置M11、M12及M13之記憶體陣列430中。但是，寫資料609(WRD1、WRD2及WRD3)藉由記憶體裝置M11、M12及M13之DQ轉發器780轉發，且作為寫資料611(WRD1、WRD2及WRD3)藉由資料旁路482輸出至記憶體裝置M11、M12及M13之DQ轉發器780的Y0引腳。寫資料609(WRD1、WRD2及WRD3)藉由資料匯流排572、562及582提供至記憶體裝置M21、M22及M23。

輸出至記憶體裝置M11、M12及M13之DQ轉發器780的Y0引腳之寫資料611(WRD1、WRD2及WRD3)響應於由記憶體裝置M21接收之或從其傳送之內部指令/位址訊號607而被儲存於記憶體裝置M21、M22及M23中相應的記憶體裝置內。

在讀操作中，記憶體模組MD1之記憶體裝置接收讀指令

626，且在CAS潛伏期後分別藉由資料匯流排572、562及582將讀資料627(RDD1、RDD2及RDD3)輸出至記憶體模組MD0之相應的記憶體裝置。讀資料627(RDD1、RDD2及RDD3)可同步輸出，或者可依次輸出。

記憶體模組MD0中之記憶體裝置M11、M12及M13之各個轉發器響應於讀請求指令RDr而被啟動。由記憶體模組MD1於資料匯流排572、562及582上輸出之讀資料RDD1、RDD2及RDD3分別藉由記憶體裝置M11、M12及M13之DQ轉發器780轉發，且藉由資料旁路482傳遞，且輸出至資料匯流排522、512及532。

參看圖5、6B及圖7，下文中將對記憶體模組(MD0)500之讀寫操作進行解釋。

參看圖6B，記憶體控制器590響應於指令/位址時鐘訊號CACLK而藉由指令/位址匯流排521向記憶體裝置M11提供具有寫指令及位址資訊之指令/位址651及具有讀指令及位址資訊之指令/位址661。

輸入至記憶體裝置M11之指令/位址訊號651及661被延遲一段時間期限(意即由圖7中旁路454產生之M11 CA轉發器潛伏期)，且由CA轉發器750轉發且作為指令/位址訊號653及663藉由記憶體裝置M11之內部指令/位址匯流排ICA傳送至記憶體裝置M12或M13。

在寫操作中，記憶體控制器590在寫潛伏期後響應於寫時鐘WCLK而分別藉由資料匯流排522、512及532為各個記憶體裝置M11、M12及M13提供寫資料655(WRD1、WRD2及

WRD3)。寫資料655(WRD1、WRD2及WRD3)可同步輸出至該等資料匯流排，或者可依次輸出至該等資料匯流排。

藉由輸入緩衝器462輸入至記憶體裝置M11、M12及M13之寫資料655(WRD1、WRD2及WRD3)藉由資料輸入暫存器420寫入記憶體裝置M11、M12及M13之個別記憶體陣列430。

在讀操作中，在具有讀指令之指令/位址訊號663被輸出後，在一段時間期限(意即經由記憶體裝置M11及/或M12之CAS潛伏期或經由記憶體裝置M11及/或M13之CAS潛伏期)後，讀資料665(RDD3、RDD2及RDD1)分別藉由資料匯流排532、512及522被讀取以輸出至記憶體控制器590。讀資料665(RDD3、RDD2及RDD1)可同步輸出，或者可依次輸出。

圖7展示具有 $n \times m$ 記憶單元之DRAM裝置之內部區塊的實例。雖然上述實施例展示DRAM裝置內部區塊之組態，但是具有一資料旁路及一指令/位址旁路之記憶體裝置之任何組態，或者普通熟習此項技術者已知之任何其他組態亦可用於代替圖7中DRAM裝置內部區塊之組態。

資料讀寫未必始終按照1比1之比率存取記憶體裝置。舉例而言，資料寫入之存取頻率可能小於資料讀取之存取頻率。因此，當讀匯流排或寫匯流排獨立作業時，DRAM之電容性負載及記憶體系統之引腳總數可能減少。當讀匯流排及寫匯流排分離時，寫資料線只能用作輸入，因此寫資料線可與指令/位址匯流排一同使用，且可為單向資料匯流排。

圖 8A 至 8D 係說明根據其他實施例之記憶體系統之方塊圖，該等記憶體系統中寫資料及指令/位址訊號藉由公用匯流排傳輸。圖 9 係說明圖 8A 之記憶體模組的讀操作及寫操作之時序圖。圖 10 係說明封包結構之示意圖，在該封包結構中，圖 8A 及 8B 之寫資料及指令/位址訊號合併。圖 11 係說明圖 8A 至 8D 之記憶體模組中記憶體裝置之方塊圖。舉例而言，記憶體裝置之資料埠及指令/位址埠分別具有 8 個引腳。

參看圖 8A，記憶體系統包括一記憶體模組 800a 及一記憶體控制器 890。圖 8A 之記憶體系統不同於圖 2A 之記憶體系統，因為讀資料匯流排及寫資料匯流排係分離的，且寫資料匯流排與指令/位址匯流排合併。

記憶體控制器 890 之資料埠 D1、D2 及 D3 分別藉由資料匯流排 821、811 及 831(RD) 直接耦合至記憶體裝置 820、810 及 830(M1、M2 及 M3)。

雖然圖 8A 中並未展示，但是記憶體控制器 890 之讀時鐘匯流排 823、813 及 833(RCLK) 分別藉由點對點連接耦合至記憶體裝置 820、810 及 830。讀資料藉由讀資料匯流排 RD 傳送，且讀資料匯流排 RD 之資料傳送係單向的。

自記憶體控制器 890 之 WR/CA 埠輸出之寫資料及指令/位址訊號藉由 WR/CA 匯流排 822 直接耦合至記憶體裝置 820。寫資料及指令/位址訊號由記憶體裝置 820 中之轉發器 1150(參看圖 11) 轉發，且分別藉由內部 WR/CA 匯流排 819 及 829(IWR/CA) 傳送至記憶體模組 800a 內部的其他記憶體裝置 810 及 830。換言之，輸入至記憶體裝置 820 之寫資料及指

令/位址訊號被轉發，且被傳送至記憶體模組800a之其他記憶體裝置。

舉例而言，指令/位址訊號包括位址資訊，一讀指令及/或一寫指令等。

寫時鐘訊號WCLK藉由寫時鐘匯流排824(WCLK)自記憶體控制器890提供至記憶體裝置820，由記憶體裝置820中之轉發器1150轉發，且分別藉由內部寫時鐘匯流排817及827(IWCLK)傳送至記憶體模組800a內部的其他記憶體裝置810及830。

參看圖10，寫資料及指令/位址訊號可藉由8個引腳傳送，且可為包括寫資料D0至D7、位址資訊及運算元OP3、OP2、OP1及OP0的封包資料，其中每一運算元代表一種指令，如讀指令及寫指令等。位址資訊可包括記憶體庫位址BA3、BA2、BA1及BA0，及位址A9至A0。保留使用(RFU)位元代表保留以備將來使用之位元。寫資料及指令/位址訊號作為封包格式藉由寫資料/指令/位址匯流排(WR/CA)822單向傳送。

寫資料之叢發長度可為八，但此叢發長度亦可不為八。

參看圖9及圖10，下文中將對記憶體模組(例如，圖8A中之記憶體模組800a)之讀寫操作進行解釋。

參看圖9，寫資料903(WRD3、WRD2及WRD1)及指令/位址訊號901響應於寫時鐘訊號WCLK而藉由WR/CA匯流排822輸入至記憶體裝置820。指令/位址訊號901包括資料寫指令WR及位址資訊。

在寫操作中，寫資料903(WRD3、WRD2及WRD1)及指令/位址訊號901被輸入至記憶體裝置820中的封包解碼器402，且旁路至鄰近的記憶體裝置。延遲之後，意即由於旁路1154造成之M1轉發器延遲，經由旁路1154之寫資料903(WRD3、WRD2及WRD1)及指令/位址訊號901被輸入至轉發器1150中，且被記憶體裝置820中之轉發器1150轉發。經由旁路1154之寫資料903(WRD3、WRD2及WRD1)及指令/位址訊號901可仍然具有封包格式。寫資料903(WRD3、WRD2及WRD1)及指令/位址訊號901藉由IWR/CA匯流排819及829傳送至記憶體裝置810及830。

舉例而言，記憶體控制器890為WR/CA匯流排提供寫資料WRD，順序為最後的寫資料WRD寫入記憶體裝置820，其自記憶體控制器890接收寫資料WRD。先前的寫資料WRD寫入記憶體裝置810及830，其接收自記憶體裝置820重發之寫資料WRD。待寫入記憶體裝置820之寫資料WRD將不會被重發至其他記憶體裝置810及830。

在讀操作中，在一段時間期限(意即經由記憶體裝置820及/或810之CAS潛伏期或經由記憶體裝置820及/或830之CAS潛伏期)後，當包含讀指令之指令/位址訊號921被輸出後，讀資料925(RDD3、RDD2及RDD1)藉由資料匯流排831、821及811輸出至記憶體控制器890。讀資料925(RDD3、RDD2及RDD1)可同步輸出，或者可依次輸出。

圖8B係說明根據另一實施例之記憶體系統之方塊圖，其中寫資料及指令/位址訊號藉由公用匯流排傳輸。

參看圖 8B，該記憶體系統包括一記憶體模組 800b 及一記憶體控制器 890。記憶體模組 800b 具有記憶體裝置 M1 至 M5。

記憶體控制器 890 之資料埠 D1、D2、D3、D4 及 D5 分別藉由點對點連接經由資料匯流排 821、811、831、841 及 851 耦合至記憶體裝置 820、810、830、840 及 850 (M1、M2、M3、M4 及 M5)。雖然圖 8B 中並未展示，但記憶體控制器 890 之讀時鐘匯流排 RCLK 823、813、833、843 及 853 (RCLK) 分別藉由點對點連接耦合至記憶體裝置 M1、M2、M3、M4 及 M5。

寫資料及指令/位址訊號由記憶體裝置 820 中之轉發器 1150 轉發，且被傳送至其他記憶體裝置 M2、M3、M4 及 M5。

特定言之，自記憶體控制器 890 之 WR/CA 引腳輸出之寫資料及指令/位址訊號藉由 WR/CA 匯流排 822 直接耦合至記憶體裝置 820，且由記憶體裝置 820 中之轉發器 1150 轉發，且藉由 IWR/CA 匯流排 819、829、844 及 854 傳送至記憶體模組 800b 中的記憶體裝置 810、830、840 及 850。寫資料及指令/位址訊號可作為封包格式藉由 IWR/CA 匯流排單向傳送。

或者，寫資料及指令/位址訊號可輸入至記憶體裝置 810、830、840 及 850 之一，且可由記憶體裝置 810、830、840 及 850 之一的轉發器轉發，且傳送至一或多個其他記憶體裝置。此外，寫資料及指令/位址訊號可被提供至記憶體裝置 810、820、830、840 及 850 之子集。任何尚未接收寫資料及指令/位址訊號之記憶體裝置可自己接收寫資料及指令/位址訊號的記憶體裝置之一接收寫資料及指令/位址訊號。

寫時鐘訊號 WCLK 藉由寫時鐘匯流排 824 自記憶體控制器 890 提供至記憶體裝置 820，由記憶體裝置 820 中之轉發器 1150 轉發，且分別藉由寫時鐘匯流排 817、827、842 及 852 (IWCLK) 傳送至記憶體模組 800c 內的其他記憶體裝置 810、830、840 及 / 或 850。

在圖 8B 中，記憶體裝置 820 藉由兩個不同的 IWR/CA 匯流排 819 及 844 將寫資料及指令 / 位址訊號傳送至記憶體裝置 810 及 840，且藉由兩個不同的 IWR/CA 匯流排 829 及 854 將寫資料及指令 / 位址訊號傳送至記憶體裝置 830 及 850。另外，記憶體裝置 820 藉由兩個不同的 IWCLK 匯流排 817 及 842 將寫時鐘訊號 WCLK 傳送至記憶體裝置 810 及 840，且記憶體裝置 820 藉由兩個不同的 IWCLK 匯流排 827 及 852 將寫時鐘訊號 WCLK 傳送至記憶體裝置 830 及 850。

圖 8C 係說明根據另一實施例之記憶體系統之方塊圖，其中寫資料及指令 / 位址訊號藉由公用匯流排傳輸。

在圖 8C 中，記憶體裝置 820 藉由一公用 IWR/CA 匯流排 819 將寫資料及指令 / 位址訊號傳送至記憶體裝置 810 及 840，且藉由一公用 IWR/CA 匯流排 829 將寫資料及指令 / 位址訊號傳送至記憶體裝置 830 及 850。因此記憶體模組之引腳數目將會減少。此外，記憶體裝置 820 藉由一公用 IWCLK 匯流排 817 將寫時鐘訊號 WCLK 傳送至記憶體裝置 810 及 840，且記憶體裝置 820 藉由一公用 IWCLK 匯流排 827 將寫時鐘訊號 WCLK 傳送至記憶體裝置 830 及 850。因此，記憶體模組之引腳數目可能會減少。

換言之，記憶體裝置820藉由一公用引腳將寫資料、指令/位址訊號及/或寫時鐘訊號傳送至其他記憶體裝置，因此記憶體模組之引腳數目可能會減少。

圖8D係說明根據本發明另一示例實施例之記憶體系統之方塊圖，其中寫資料及指令/位址訊號藉由一公用匯流排傳輸。

參看圖8D，記憶體控制器890之資料埠D1、D2、D3、D4及D5分別藉由點對點連接經由資料匯流排821、811、831、841及851耦合至記憶體裝置820、810、830、840及850(M1、M2、M3、M4及M5)。雖然圖8D中並未展示，但記憶體控制器890之讀時鐘匯流排RCLK 813、823、833、843及853(RCLK)分別藉由點對點連接耦合至記憶體裝置M2、M1、M3、M4及M5。

在圖8D中，記憶體裝置820之轉發器1150重新驅動寫資料及指令/位址訊號。所轉發之寫資料及指令/位址訊號被傳送至鄰近於記憶體裝置820之記憶體裝置810及/或830。然後，寫資料及指令/位址訊號自記憶體裝置810及/或830傳送至記憶體裝置840及/或850。

特定言之，記憶體裝置810中之轉發器自記憶體裝置820接收寫資料及指令/位址訊號，且將寫資料及指令/位址訊號傳送至鄰近於記憶體模組800d中記憶體裝置810之記憶體裝置840。記憶體裝置830中之轉發器自記憶體裝置820接收寫資料及指令/位址訊號，且將寫資料及指令/位址訊號傳送至鄰近於記憶體模組800d中記憶體裝置830之記憶體裝置

850。

寫時鐘訊號 WCLK 藉由寫時鐘匯流排 824 自記憶體控制器 890 提供至記憶體裝置 820，且由記憶體裝置 820 中之轉發器 1150 轉發，且分別藉由寫時鐘匯流排 817 及 827 傳送至記憶體裝置 810 及 / 或 830，然後分別由記憶體裝置 810 及 830 傳送至記憶體裝置 840 及 / 或 850。

圖 11 展示圖 8A 至 8D 中 DRAM 裝置內部區塊之實例。雖然上述實施例展示圖 11 中 DRAM 裝置內部區塊之組態，但包括具有一寫資料旁路或一指令 / 位址旁路之轉發器的記憶體裝置之任何組態，或者普通熟習此項技術者已知之任何其他組態亦可用於代替圖 8A 至 8D 中 DRAM 裝置內部區塊之組態。

圖 12A 係說明根據另一實施例之記憶體模組 1200a 之方塊圖，其中寫資料及指令 / 位址訊號藉由一公用匯流排傳輸。

參看圖 12A，圖 12A 之記憶體系統不同於圖 8A 之記憶體系統，因為寫資料、指令 / 位址訊號及寫時鐘訊號被輸入至並非安置於記憶體模組中間之記憶體裝置中，然後寫資料、指令 / 位址訊號及寫時鐘訊號被傳送至記憶體模組中的其他記憶體裝置。

特定言之，記憶體裝置 1210 藉由 WR/CA 匯流排 1211 自記憶體控制器 (未圖示) 接收寫資料及指令 / 位址訊號，且藉由內部 WR/CA 匯流排 1221、1231 及 1241 將寫資料及指令 / 位址訊號傳送至記憶體模組 1200a 中的記憶體裝置 1220、1230 及 1240。記憶體裝置 1210 藉由寫時鐘匯流排 WCLK 1213 自記

憶體控制器(未圖示)接收寫時鐘訊號，且藉由內部寫時鐘匯流排 1223、1233 及 1243 將寫時鐘訊號傳送至記憶體模組 1200b 中的其他記憶體裝置 1220、1230 及 1240。

換言之，圖 12A 之記憶體裝置 1210 藉由三個不同的 IWR/CA 匯流排 1221、1231 及 1241 將寫資料及指令/位址訊號傳送至記憶體裝置 1220、1230 及 1240。此外，記憶體裝置 1210 藉由三個不同的寫時鐘匯流排 1223、1233 及 1243(WCLK) 將寫時鐘訊號 WCLK 傳送至記憶體裝置 1220、1230 及 1240。

圖 12B 係說明根據另一實施例之記憶體模組 1200b 之方塊圖，其中寫資料及指令/位址訊號藉由一公用匯流排傳輸。

與圖 12A 相比，圖 12B 中之記憶體裝置 1210 藉由一公用 IWR/CA 匯流排 1221 將寫資料及指令/位址訊號傳送至記憶體裝置 1220、1230 及 1240，因此記憶體模組之引腳數目將會減少。此外，記憶體裝置 1210 藉由一公用內部時鐘匯流排 1223(IWCLK) 將寫時鐘訊號 WCLK 傳送至記憶體裝置 1220、1230 及 1240，因此記憶體模組之引腳數目可能會減少。

記憶體裝置 1210 藉由一公用引腳將寫資料、指令/位址訊號及/或寫時鐘訊號 WCLK 傳送至其他記憶體裝置，因此記憶體模組之引腳數目可能會減少。

圖 13A 係說明根據另一實施例之記憶體模組 1300a 之方塊圖，其中寫資料及指令/位址訊號藉由一公用匯流排傳輸。

參看圖 13A，圖 13A 之記憶體系統類似於圖 8A 之記憶體系

統，原因在於記憶體裝置將寫資料、指令/位址訊號及寫時鐘訊號WCLK傳送至兩個記憶體裝置。圖13A之記憶體系統不同於圖8A之記憶體系統，原因在於第一、第三、第五及第七記憶體裝置M1、M3、M5及M7之轉發器1150(參看圖11)被啟動，藉此寫資料、指令/位址訊號及寫時鐘訊號將被單向傳送。

特定言之，記憶體裝置1310藉由WR/CA匯流排1311自記憶體控制器(未圖示)接收寫資料及指令/位址訊號，且分別藉由兩個不同的IWR/CA匯流排1321及1331將寫資料及指令/位址訊號傳送至記憶體模組1300a中的記憶體裝置1320及1330。此外，記憶體裝置1330，其藉由IWR/CA匯流排1331自記憶體裝置1310接收寫資料及指令/位址訊號，且分別藉由兩個不同的IWR/CA匯流排1341及1351將寫資料及指令/位址訊號傳送至記憶體裝置1340及1350。以此方式，寫資料及指令/位址訊號最終藉由其他記憶體裝置自記憶體裝置1370傳送至兩個不同的記憶體裝置1380及1390。

圖13B係說明根據另一實施例之記憶體模組1300b之方塊圖，其中寫資料及指令/位址訊號藉由一公用匯流排傳輸。

在圖13B中，記憶體裝置1310藉由一公用IWR/CA匯流排1321將寫資料及指令/位址訊號傳送至記憶體裝置1320及1330，因此記憶體模組之引腳數目可能會減少。此外，記憶體裝置1330將自記憶體裝置1310接收之寫資料及指令/位址訊號藉由一公用IWR/CA匯流排1341傳送至記憶體裝置1340及1350，因此記憶體模組之引腳數目可能會減少。

以此方式，記憶體裝置1370最終藉由一公用IWR/CA匯流排1381將所傳送之寫資料及指令/位址訊號傳送至記憶體裝置1380及1390，因此記憶體模組之引腳數目可能會減少。

此外，在記憶體模組1300b中，寫時鐘訊號WCLK由記憶體裝置藉由公用內部時鐘匯流排1323、1343、1363及1383傳送至其他記憶體裝置，因此記憶體模組之引腳數目可能會減少。

換言之，記憶體裝置1310、1330、1350及1370藉由公用引腳將寫資料、指令/位址訊號及/或寫時鐘訊號WCLK傳送至其他記憶體裝置，因此記憶體模組之引腳數目可能會減少。

圖14係說明根據另一實施例之記憶體模組1500之方塊圖，其中寫資料及指令/位址訊號藉由一公用匯流排傳輸。

參看圖14，具有四個記憶體裝置之記憶體模組1500之第一記憶體裝置1510(M1)藉由寫時鐘匯流排1613(WCLK)及WR/CA匯流排1611自記憶體控制器(未圖示)接收寫時鐘WCLK、寫資料及指令/位址訊號，且將所接收之寫時鐘WCLK、寫資料及指令/位址訊號傳送至鄰近於第一記憶體裝置1510之記憶體裝置1520。以此方式，自記憶體控制器(未圖示)接收至第一記憶體裝置1510之寫時鐘WCLK、寫資料及指令/位址訊號將被連續傳送至第二、第三及第四記憶體裝置1520、1530及1540。

圖15係說明根據另一實施例之記憶體模組1400之方塊圖，其中寫資料及指令/位址訊號藉由一公用匯流排傳輸。

參看圖 15，記憶體模組 1400 之八個記憶體裝置的第一及第五記憶體裝置 1410(M1)及 1450(M5)藉由寫時鐘匯流排 1413(WCLK)及 WR/CA 匯流排 1411 自記憶體控制器(未圖示)接收寫時鐘 WCLK、寫資料及指令/位址訊號，且將所接收之寫時鐘 WCLK、寫資料及指令/位址訊號傳送至分別鄰近於第一及第五記憶體裝置 1410 及 1450 之記憶體裝置 1420(M2)及 1460(M6)。

以此方式，自記憶體控制器(未圖示)輸出之寫時鐘 WCLK、寫資料及指令/位址訊號被連續傳送至第一、第二、第三及第四記憶體裝置 1410、1420、1430 及 1440，且被連續傳送至第五、第六、第七及第八記憶體裝置 1450、1460、1470 及 1480。

圖 16 係說明根據另一實施例之具有堆疊結構之記憶體裝置的記憶體模組 1650 之示意圖。在圖 16a 之記憶體系統中，讀資料匯流排及寫資料匯流排被互相分離。寫資料匯流排將與指令/位址匯流排合併。圖 16 之記憶體模組可應用於晶粒堆疊或封裝堆疊。

參看圖 16，第一堆疊之第一記憶體裝置 1620 藉由 WR/CA 匯流排 1611 自記憶體控制器(未圖示)接收指令/位址訊號及寫資料，且將所接收之指令/位址訊號及寫資料傳送至安置於第一記憶體裝置 1620 上之第二記憶體裝置 1610。此外，第一記憶體裝置 1620 將指令/位址訊號及寫資料藉由內部 WR/CA 匯流排(未圖示)傳送至第二堆疊之第三記憶體裝置 1640。第三記憶體裝置 1640 將指令/位址訊號及寫資料傳送

至安置於第三記憶體裝置1640上之第四記憶體裝置1630。

類似地，寫時鐘訊號WCLK被傳送至第一、第二、第三及第四記憶體裝置1620、1610、1640及1630。具體而言，第一記憶體裝置1620藉由寫時鐘匯流排1613(WCLK)自記憶體控制器(未圖示)接收寫時鐘訊號WCLK，且將寫時鐘訊號WCLK傳送至安置於第一記憶體裝置1620上之第二記憶體裝置1610。此外，第一記憶體裝置1620將寫時鐘訊號WCLK藉由內部寫時鐘匯流排IWCLK(未圖示)傳送至第二堆疊之第三記憶體裝置1640。第三記憶體裝置1640將寫時鐘訊號WCLK傳送至安置於第三記憶體裝置1640上之第四記憶體裝置1630。

自分別安置於第一及第三記憶體裝置1620及1640上之第二及第四記憶體裝置1610及1630讀取之資料將響應於讀時鐘訊號1614(RCLK)而分別傳送至第一及第三記憶體裝置1620及1640，且藉由資料匯流排1612及1632(RD)輸出至記憶體控制器(未圖示)。

圖16之記憶體裝置可具有圖11中記憶體裝置之內部區塊。

根據上述記憶體模組及記憶體系統，記憶體控制器可藉由點對點連接耦合至多個記憶體裝置。轉發器在至少一個記憶體裝置內實施。記憶體控制器將指令/位址訊號提供於至少一個特定記憶體裝置，而非記憶體模組中之所有記憶體裝置，且該特定記憶體裝置將指令/位址訊號傳送至記憶體模組中之其他記憶體裝置。結果，可減少由於連接至指

令/位址匯流排而產生之電容性負載效應。因此，當上述記憶體模組及記憶體系統被應用於作業時鐘頻率超過1 GHz之記憶體系統時，可實現所需要之訊號完整性(SI)。

此外，指令/位址匯流排可與寫匯流排合併，藉此記憶體模組之引腳數目將會減少。

儘管已經具體說明實施例及其優勢，但應瞭解可在不背離以下申請專利範圍之精神及範疇的情況下對本文作出各種改變、替代及變更。

【圖式簡單說明】

圖1係說明習知記憶體模組之方塊圖；

圖2A到2D係說明根據一實施例之記憶體系統之方塊圖；

圖3係說明圖2A之記憶體模組之讀寫操作之時序圖；

圖4係說明圖2A至2D之記憶體模組中之記憶體裝置之方塊圖；

圖5係說明根據另一實施例之記憶體系統之方塊圖；

圖6A係說明圖5之第二記憶體模組MD1的寫操作之時序圖；

圖6B係說明圖5之第一記憶體模組MD0的讀寫操作之時序圖；

圖7係說明圖5之記憶體模組中之記憶體裝置之方塊圖；

圖8A至8D係說明根據其他實施例之記憶體系統之方塊圖，其中寫資料及指令/位址訊號藉由公用匯流排傳輸；

圖9係說明圖8A之記憶體模組的讀操作及寫操作之時序圖；

圖 10 係說明記憶體系統中所用封包結構之示意圖，記憶體系統中寫資料及指令/位址訊號藉由公用匯流排傳輸；

圖 11 係說明圖 8A 至 8D 之記憶體模組中之記憶體裝置之方塊圖；

圖 12A 及 12B 係說明根據其他實施例之記憶體模組之方塊圖，其中寫資料及指令/位址訊號藉由公用匯流排傳輸；

圖 13A 及 13B 係說明根據其他實施例之記憶體模組之方塊圖，其中寫資料及指令/位址訊號藉由公用匯流排傳輸；

圖 14 係說明根據其他實施例之記憶體模組之方塊圖，其中寫資料及指令/位址訊號藉由公用匯流排傳輸；

圖 15 係說明根據其他實施例之記憶體模組之方塊圖，其中寫資料及指令/位址訊號藉由公用匯流排傳輸；及

圖 16 係說明根據其他實施例之具有堆疊結構之記憶體裝置的記憶體模組之示意圖。

【主要元件符號說明】

10	記憶體模組
12	指令/位址匯流排
14	讀/寫資料匯流排
20-1、20-2、20-3、20-4、 20-5、20-6、20-7、20-8	動態隨機存取記憶體
200a、200b、200c、200d	記憶體模組
210、220、230、240、250	記憶體裝置
211、221、231、241、251	資料匯流排
213、223、233、243、253	讀時鐘匯流排

215、225、235、245、255	寫時鐘匯流排
217、237、247、257、 242、252	內部指令/位址時鐘匯流排
219、239、249、259、 244、254	內部指令/位址匯流排
227	指令/位址匯流排
229	指令/位址時鐘匯流排
290	記憶體控制器
301、311、303、313	指令/位址訊號
305	寫資料
315	讀資料
402	封包解碼器
410	指令解碼器
412	位址暫存器
414	列解碼器
416	行緩衝器
418	行解碼器
420	資料輸入暫存器
430	記憶體陣列
432	感應放大器
440	預取單元
442	資料緩衝器
450	轉發器
454	指令/位址旁路

460	輸出緩衝器
462	輸入緩衝器
464	潛伏期及叢發長度
470	模式暫存器
482	資料旁路
500、550	記憶體模組
510、520、530、560、 570、580	記憶體裝置
511、521、561、571	內部指令/位址時鐘匯流排
512、522、532、562、 572、582	資料匯流排
513、523、563、573	內部指令/位址匯流排
514、524、534、564、 574、584	讀時鐘匯流排
516、526、536、566、 576、586	寫時鐘匯流排
590	記憶體控制器
601、621、605、625、 653、663	指令/位址訊號
603、623、607、626	內部指令/位址訊號
609、611、655	寫資料
627、629、665	讀資料
651、661	指令/位址
750	CA轉發器

761	控制訊號
770	轉發器
780	DQ轉發器
800a、800b、800c、800d	記憶體模組
810、820、830、840、850	記憶體裝置
811、821、831、841、851	資料匯流排
813、823、833、843、853	讀時鐘匯流排
817、827、847、857、 842、852	內部寫時鐘匯流排
819、829、849、859、 844、854	內部寫資料/指令/位址匯流排
822	寫資料/指令/位址匯流排
824	寫時鐘匯流排
890	記憶體控制器
901	指令/位址訊號
903、907	寫資料
925	讀資料
1100	指令解碼器
1154	旁路
1150	轉發器
1200a、1200b	記憶體模組
1210、1220、1230、1240	記憶體裝置
1211	WR/CA匯流排
1213	寫時鐘匯流排

1221、1231、1241	IWR/CA匯流排
1223、1233、1243	內部寫時鐘匯流排
1300a、1300b	記憶體模組
1310、1320、1330、	記憶體裝置
1340、1350、1360、	
1370、1380、1390	
1321、1331、1341、1351、	IWR/CA匯流排
1361、1371、1381、1391	
1323、1343、1363、1383	公用內部時鐘匯流排
1400	記憶體模組
1410、1420、1430、1440、	記憶體裝置
1450、1460、1470、1480	
1411、1451	WR/CA匯流排
1412、1452	RD
1413、1453	寫時鐘匯流排
1414、1454	RCLK
1500	記憶體模組
1510、1520、1530、1540	記憶體裝置
1610、1620、1630、1640	記憶體裝置
1611	WR/CA匯流排
1612、1632	RD
1613	寫時鐘匯流排
1614	讀時鐘訊號
1650	記憶體模組

十、申請專利範圍：

102
年3月15日修正本

1. 一種記憶體模組，其包含：

一連接埠，其經組態為接收寫資料及指令/位址訊號；及

複數個記憶體裝置，其包括：

一第一組記憶體裝置，該第一組中之每一記憶體裝置均耦合至該連接埠；及

一第二組記憶體裝置，該第二組中之每一記憶體裝置均經組態為藉由該第一組及該第二組中之其他記憶體裝置中之至少一者為該記憶體裝置接收相關聯之寫資料及相關聯之指令/位址訊號。

2. 如請求項1之記憶體模組，其中：

該第一組包括一第一記憶體裝置；及

該第二組包括複數個第二記憶體裝置，每一第二記憶體裝置均藉由一相關聯之匯流排耦合至該第一記憶體裝置且經組態為藉由該相關聯之匯流排接收該等相關聯之寫資料及該等相關聯之指令/位址訊號。

3. 如請求項1之記憶體模組，其中：

該第一組包括一耦合至一公用匯流排之第一記憶體裝置；及

該第二組包括複數個第二記憶體裝置，每一第二記憶體裝置均耦合至該公用匯流排且經組態為藉由該公用匯流排接收該等相關聯之寫資料及該等相關聯之指令/位址訊號。

4. 如請求項1之記憶體模組，其中：

該第一組包括一耦合至複數個公用匯流排之第一記憶體裝置；及

該第二組包括複數個第二記憶體裝置，每一第二記憶體裝置耦合至該等公用匯流排中之相關聯一者，且經組態為藉由該等相關聯之公用匯流排接收該等相關聯之寫資料及該等相關聯之指令/位址訊號，藉此該等第二記憶體裝置中之至少一者耦合至每一公用匯流排。

5. 如請求項1之記憶體模組，其中：

該第一組包括一耦合至一第一匯流排之第一記憶體裝置；及

該第二組包括複數個第二記憶體裝置，一個第二記憶體裝置藉由該第一匯流排耦合至該第一記憶體裝置，且經組態為藉由該第一匯流排接收該等相關聯之寫資料及該等相關聯之指令/位址訊號，其他第二記憶體裝置中之每一者藉由一後續匯流排耦合至該等第二記憶體裝置中之一者，且經組態為藉由該相關聯之後續匯流排接收該等相關聯之寫資料及該等相關聯之指令/位址訊號，藉此該第一記憶體裝置及該等第二記憶體裝置將連續耦合。

6. 如請求項5之記憶體模組，其中：

該第一記憶體裝置進一步耦合至一第二匯流排；及

該第二組進一步包括複數個第三記憶體裝置，一第三記憶體裝置藉由該第二匯流排耦合至該第一記憶體裝置，且經組態為藉由該第二匯流排接收該等相關聯之寫資料及該等相關聯之指令/位址訊號，其他第三記憶體裝

置中之每一者藉由一後續匯流排耦合至該等第三記憶體裝置中之一者，且經組態為藉由該相關聯之後續匯流排接收該等相關聯之寫資料及該等相關聯之指令/位址訊號，藉此該第一記憶體裝置及該等第三記憶體裝置將連續耦合。

7. 如請求項1之記憶體模組，其中：

該第一組包括一耦合至複數個第一匯流排之第一記憶體裝置；

該第二組包括複數個第二記憶體裝置及複數個第三記憶體裝置，每一第二記憶體裝置藉由該相關聯之第一匯流排耦合至該第一記憶體裝置，且經組態為藉由該相關聯之第一匯流排接收該等相關聯之寫資料及該等相關聯之指令/位址訊號，每一第三記憶體裝置藉由一相關聯之匯流排耦合至該等第二記憶體裝置中之一者，且經組態為藉由該相關聯之匯流排接收該等相關聯之寫資料及該等相關聯之指令/位址訊號。

8. 如請求項1之記憶體模組，其中：

該第一組包括一耦合至複數個公用匯流排之第一記憶體裝置；

該第二組包括複數個記憶體裝置子集，每一子集藉由該相關聯之公用匯流排耦合至該第一記憶體裝置，該子集中之每一記憶體裝置耦合至該相關聯之公用匯流排，且經組態為藉由該公用匯流排接收該等相關聯之寫資料及該等相關聯之指令/位址訊號。

9. 如請求項1之記憶體模組，其中對於該第二組中之該等記憶體裝置中之每一者，該等相關聯之寫資料及該等相關聯之指令/位址訊號包括所有該等寫資料及該等指令/位址訊號。
10. 如請求項1之記憶體模組，其中對於該第二組中之該等記憶體裝置中之每一者，該等相關聯之寫資料及該等相關聯之指令/位址訊號僅包括待儲存於該記憶體裝置或任何藉由該記憶體裝置接收其相關聯之寫資料及其相關聯之指令/位址訊號之記憶體裝置中的指令/位址訊號及寫資料。
11. 如請求項1之記憶體模組，其中該等寫資料依時間定序，該順序與該等寫資料及該等指令/位址訊號及該等相關聯之寫資料及該等相關聯之指令/位址訊號將分別由該第一及第二組中之該等記憶體裝置接收之時間順序相反。
12. 如請求項1之記憶體模組，其中該第一組中之至少一個記憶體裝置包含一轉發器，其經組態為將該等相關聯之寫資料及該等相關聯之指令/位址訊號傳送至該第二組中之該等記憶體裝置中的至少一者。
13. 如請求項1之記憶體模組，其中該等指令/位址訊號包括封包資料，該封包資料包括一讀指令、一寫指令及一位址中之至少一者。
14. 如請求項1之記憶體模組，其中該第一及第二組之該等記憶體裝置中之每一者包括一資料埠，且藉由該資料埠將讀資料傳輸至一記憶體控制器。

15. 一種記憶體模組，其包含：

一指令/位址埠，經組態為接收指令/位址訊號；及

複數個記憶體裝置，其包括；

一第一組記憶體裝置，該第一組中之每一記憶體裝置耦合至該指令/位址埠；及

一第二組記憶體裝置，該第二組中之每一記憶體裝置經組態為至少該第一組及該第二組中之其他記憶體裝置中之至少一者接收該等相關聯之指令/位址訊號。

16. 如請求項15之記憶體模組，其中：

該第一組包括一第一記憶體裝置；及

該第二組包括複數個第二記憶體裝置，每一第二記憶體裝置藉由一相關聯之匯流排耦合至該第一記憶體裝置，且經組態為藉由該相關聯之匯流排接收該等相關聯之指令/位址訊號。

17. 如請求項15之記憶體模組，其中：

該第一組包括一耦合至一公用匯流排之第一記憶體裝置；及

該第二組包括複數個第二記憶體裝置，每一第二記憶體裝置耦合至該公用匯流排，且經組態為藉由該公用匯流排接收該等相關聯之指令/位址訊號。

18. 如請求項15之記憶體模組，其中：

該第一組包括一耦合至複數個公用匯流排之第一記憶體裝置；及

該第二組包括複數個第二記憶體裝置，每一第二記憶

體裝置耦合至該等公用匯流排中之一相關聯者，且經組態為藉由該相關聯之公用匯流排接收該等相關聯之指令/位址訊號，藉此該等第二記憶體裝置中之至少一者耦合至每一公用匯流排。

19. 如請求項15之記憶體模組，其中：

該第一組包括一耦合至一第一匯流排之第一記憶體裝置；及

該第二組包括複數個第二記憶體裝置，一個第二記憶體裝置藉由該第一匯流排耦合至該第一記憶體裝置，且經組態為藉由該第一匯流排接收該等相關聯之寫資料及該等相關聯之指令/位址訊號，其他第二記憶體裝置中之每一者藉由一後續匯流排耦合至該等第二記憶體裝置中之一者，且經組態為藉由該相關聯之後續匯流排接收該等相關聯之寫資料及該等相關聯之指令/位址訊號，藉此該第一記憶體裝置及該等第二記憶體裝置將連續耦合。

20. 如請求項19之記憶體模組，其中：

該第一記憶體裝置進一步耦合至一第二匯流排；及

該第二組進一步包括複數個第三記憶體裝置，一個第三記憶體裝置藉由該第二匯流排耦合至該第一記憶體裝置，且經組態為藉由該第二匯流排接收該等相關聯之寫資料及該等相關聯之指令/位址訊號，其他第三記憶體裝置中之每一者藉由一後續匯流排耦合至該等第三記憶體裝置中之一者，且經組態為藉由該相關聯之後續匯流排接收該等相關聯之寫資料及該等相關聯之指令/位址訊

號，藉此該第一記憶體裝置及該等第三記憶體裝置將連續耦合。

21. 如請求項15之記憶體模組，其中：

該第一組包括一耦合至複數個第一匯流排之第一記憶體裝置；

該第二組包括複數個第二記憶體裝置及複數個第三記憶體裝置，每一第二記憶體裝置藉由相關聯之第一匯流排耦合至該第一記憶體裝置，且經組態為藉由相關聯之第一匯流排接收該等相關聯之寫資料及該等相關聯之指令/位址訊號，每一第三記憶體裝置藉由一相關聯之匯流排耦合至該等第二記憶體裝置中之一者，且經組態為藉由該相關聯之匯流排接收該等相關聯之指令/位址訊號。

22. 如請求項15之記憶體模組，其中：

該第一組包括一耦合至複數個公用匯流排之第一記憶體裝置；

該第二組包括複數個記憶體裝置子集，每一子集藉由該相關聯之公用匯流排耦合至該第一記憶體裝置，該子集中之每一記憶體裝置耦合至該相關聯之公用匯流排，且經組態為藉由該公用匯流排接收該等相關聯之指令/位址訊號。

23. 如請求項15之記憶體模組，其中該第一組中之至少一個記憶體裝置包含一轉發器，其經組態為將該等相關聯之指令/位址訊號傳送至該第二組中之該等記憶體裝置中的至少一者。

24. 如請求項 15 之記憶體模組，其中該等指令/位址訊號包括封包資料，該封包資料包括一讀指令、一寫指令及一位址中之至少一者。
25. 如請求項 15 之記憶體模組，其中該第一及第二組中之該等記憶體裝置中之每一者包括一資料埠，且將讀資料傳輸至一記憶體控制器，且藉由該資料埠自該記憶體控制器接收寫資料。
26. 一種記憶體系統，其包含：
- 複數個記憶體模組，每一記憶體模組包括：
 - 一指令/位址埠，其經組態為接收指令/位址訊號；
 - 一第一組記憶體裝置，該第一組中之每一記憶體裝置耦合至該指令/位址埠；及
 - 一第二組記憶體裝置，該第二組中之每一記憶體裝置經組態為藉由該第一組及該第二組之其他記憶體裝置中之至少一者接收相關聯之指令/位址訊號；
- 其中該第一及第二組之該等記憶體裝置中之每一者藉由一相關聯之資料匯流排耦合至另一記憶體模組中之一相應的記憶體裝置。
27. 如請求項 26 之記憶體系統，其進一步包括一記憶體控制器，
- 其中每一記憶體模組之該第一組中之至少一個記憶體裝置藉由該相關聯之指令/位址埠自該記憶體控制器接收該等相關聯之指令/位址訊號。
28. 如請求項 27 之記憶體系統，其中對於每一記憶體模組，該

- 第一組中之該至少一個記憶體裝置包括一轉發器，其經組態為將該等相關聯之指令/位址訊號傳送至包括該記憶體裝置之該記憶體模組內的至少一個其他記憶體裝置。
29. 如請求項27之記憶體系統，其中該等記憶體模組包括一第一記憶體模組及一第二記憶體模組，該第一及第二記憶體模組中之每一記憶體裝置包括一資料埠、該第一記憶體模組中之每一記憶體裝置藉由一點對點連接與該記憶體控制器直接交換資料，且該第二記憶體模組中之每一記憶體裝置藉由一菊鏈連接經由該第一模組中之相應的記憶體裝置與該記憶體控制器間接交換資料。
30. 如請求項27之記憶體系統，其中該記憶體模組之該等指令/位址訊號包括封包資料，該封包資料包括一讀指令、一寫指令及一位址中之至少一者。
31. 如請求項26之記憶體系統，其中該等記憶體模組藉由該等資料匯流排互相連續耦合。
32. 如請求項26之記憶體系統，其中對於耦合至複數個資料匯流排之每一記憶體裝置，該記憶體裝置包括一經組態為將一個匯流排上之資料轉發為另一匯流排上之資料的轉發器。
33. 如請求項26之記憶體系統，其中該指令/位址埠經組態為進一步接收寫資料。

十一、圖式：

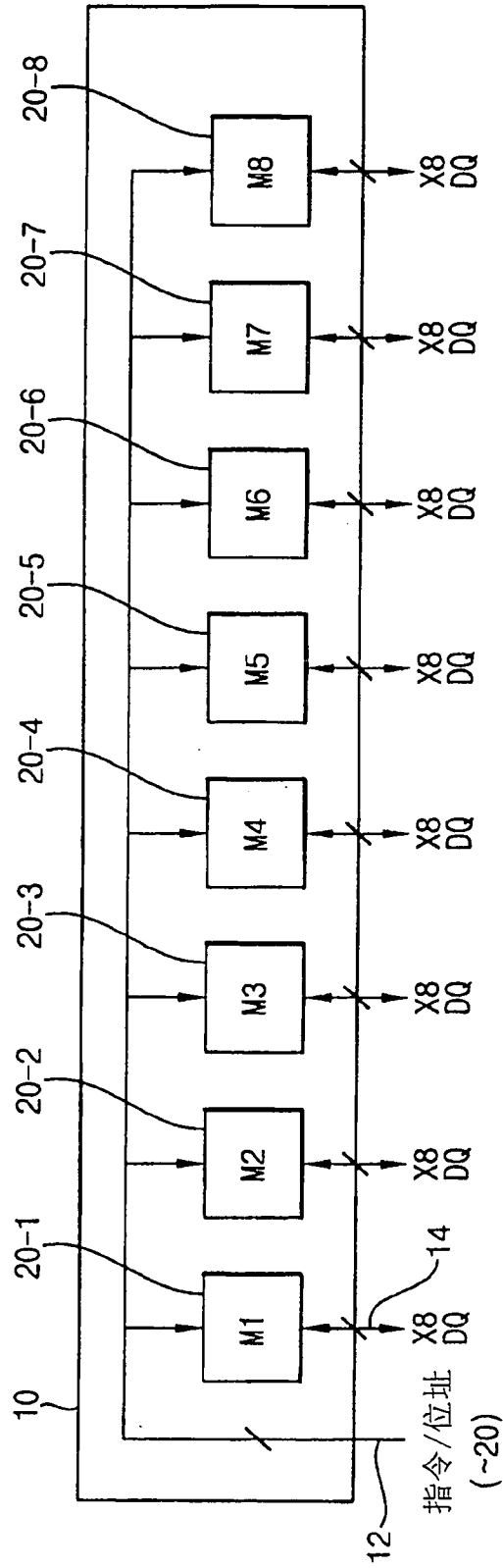


圖1

先前技術

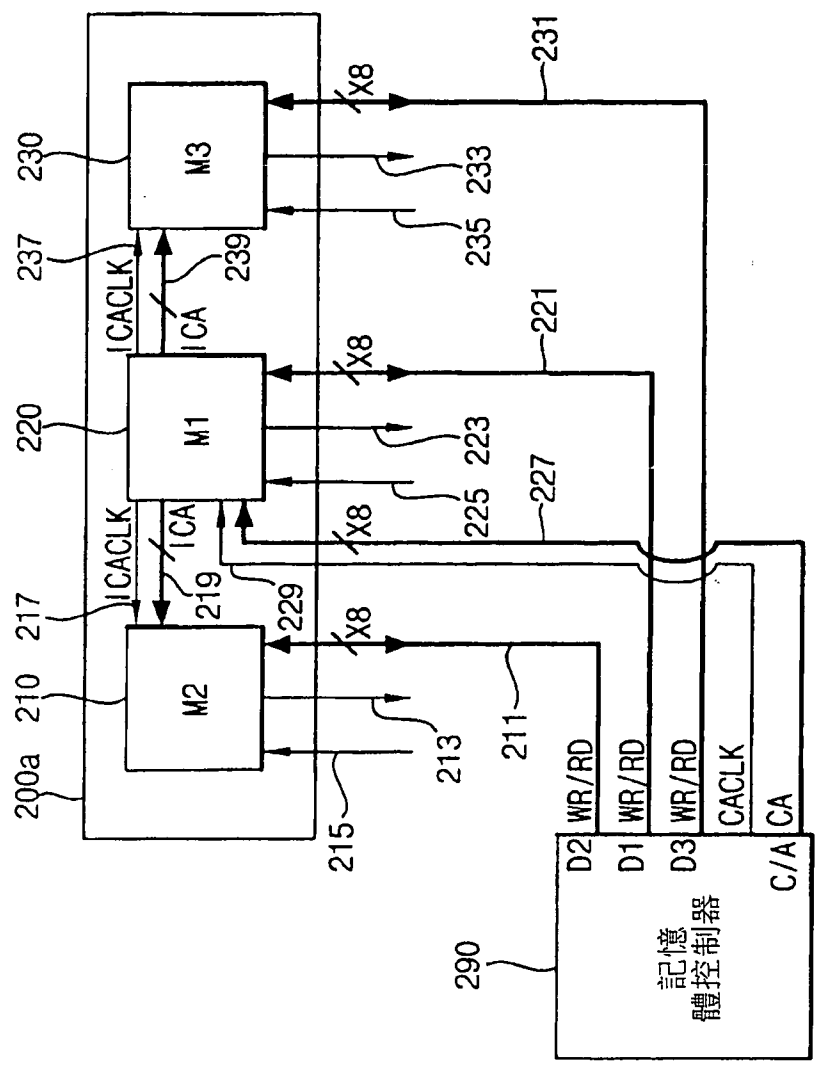


圖2A

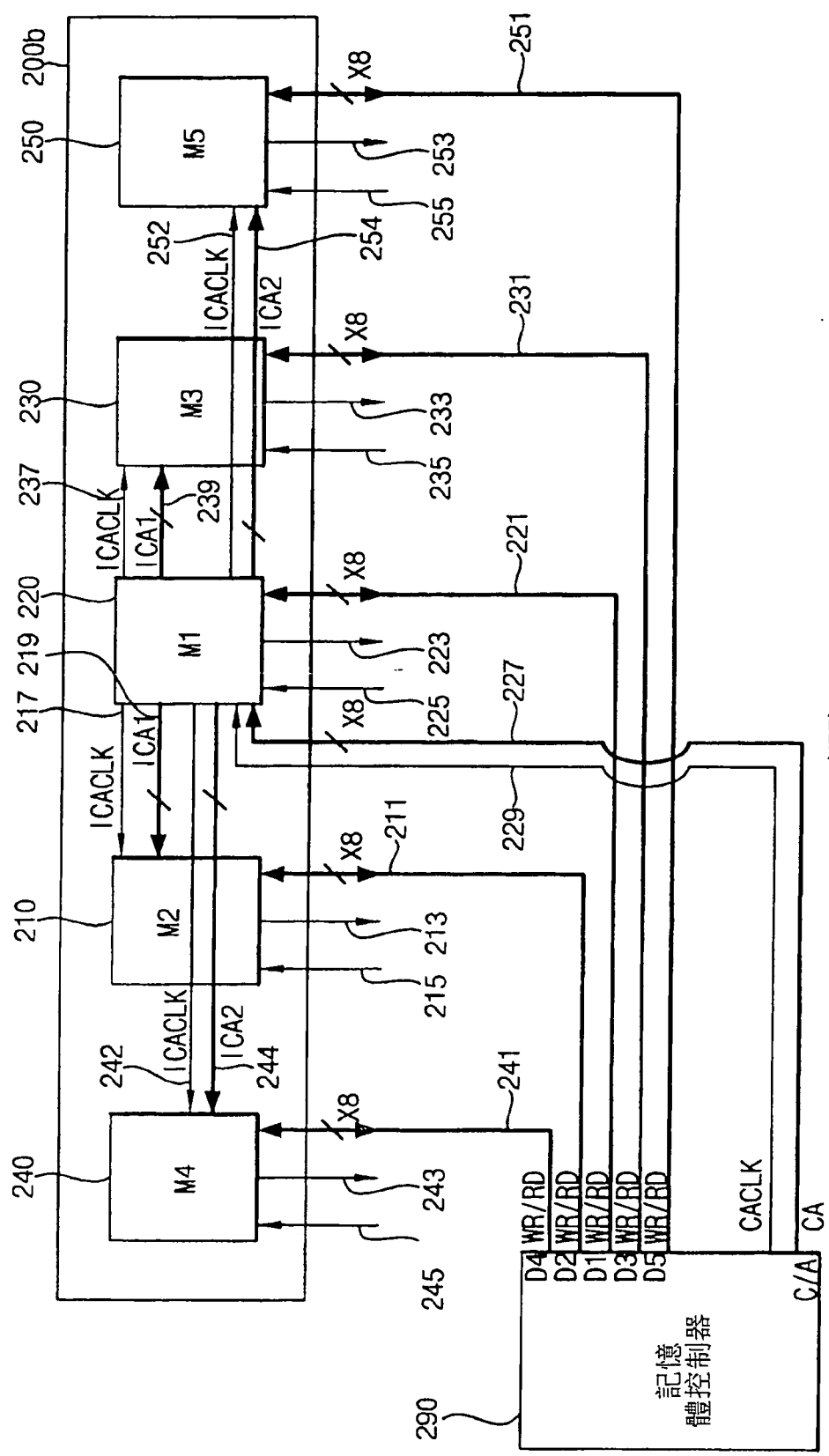


圖2B

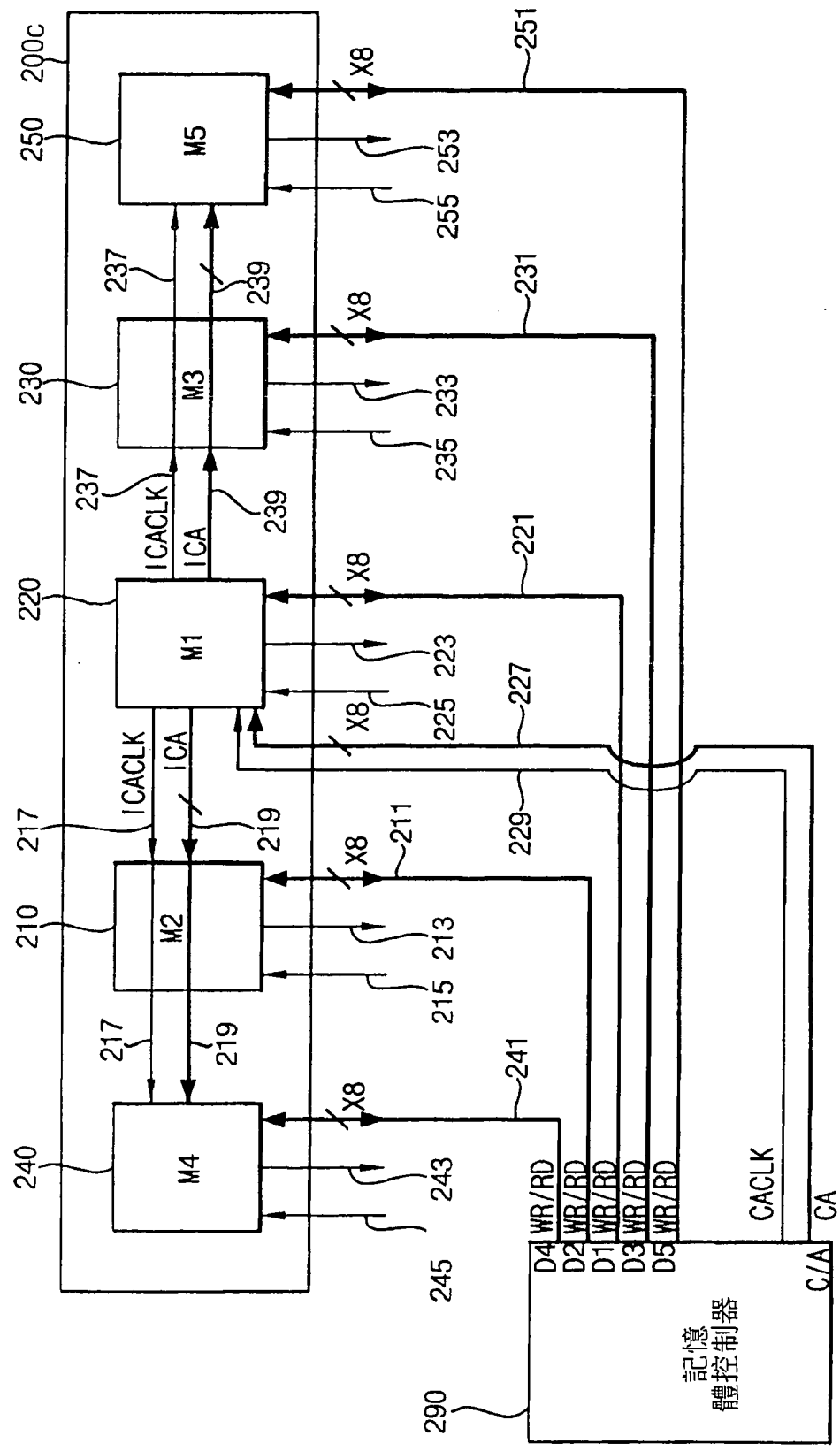


圖2C

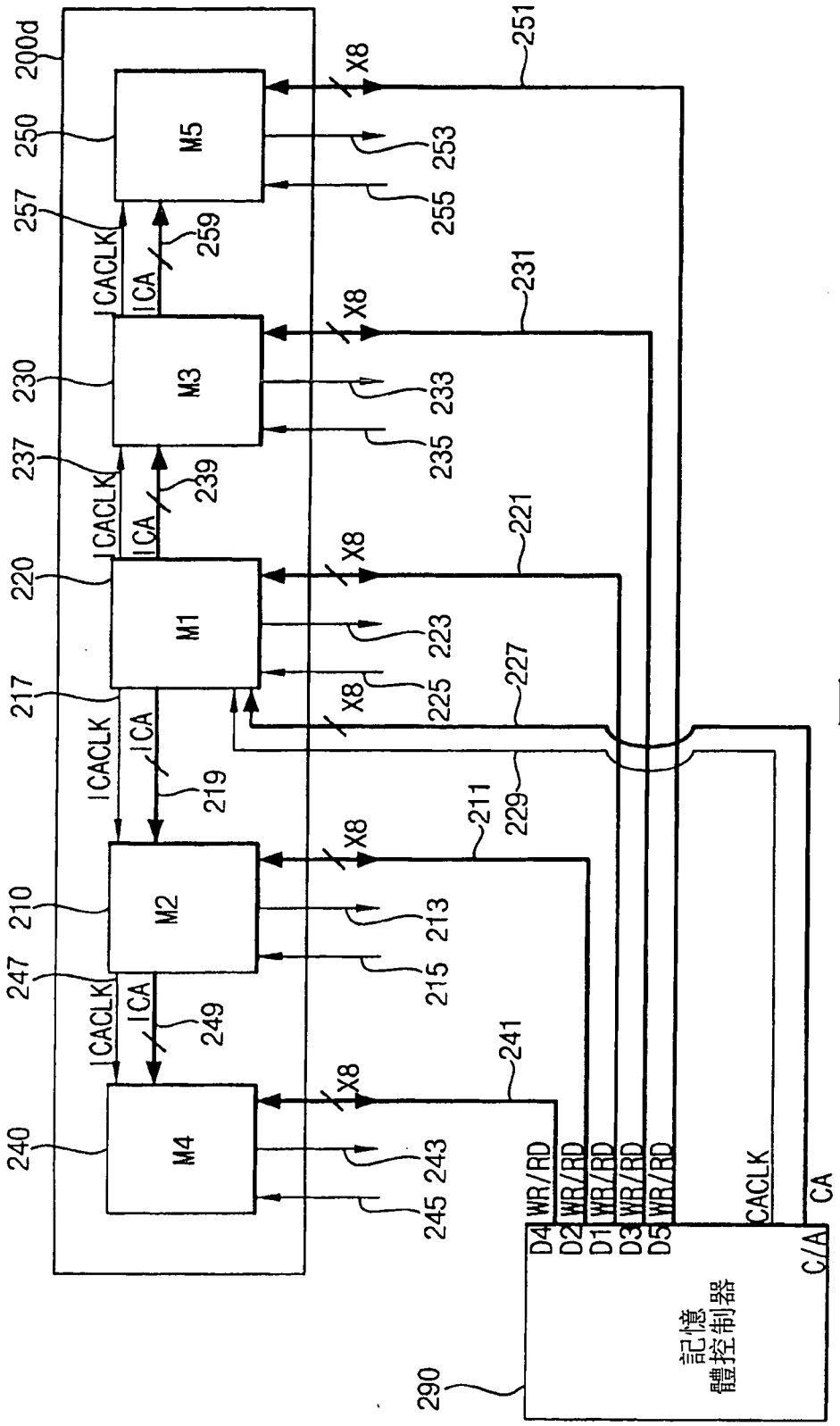


圖2D

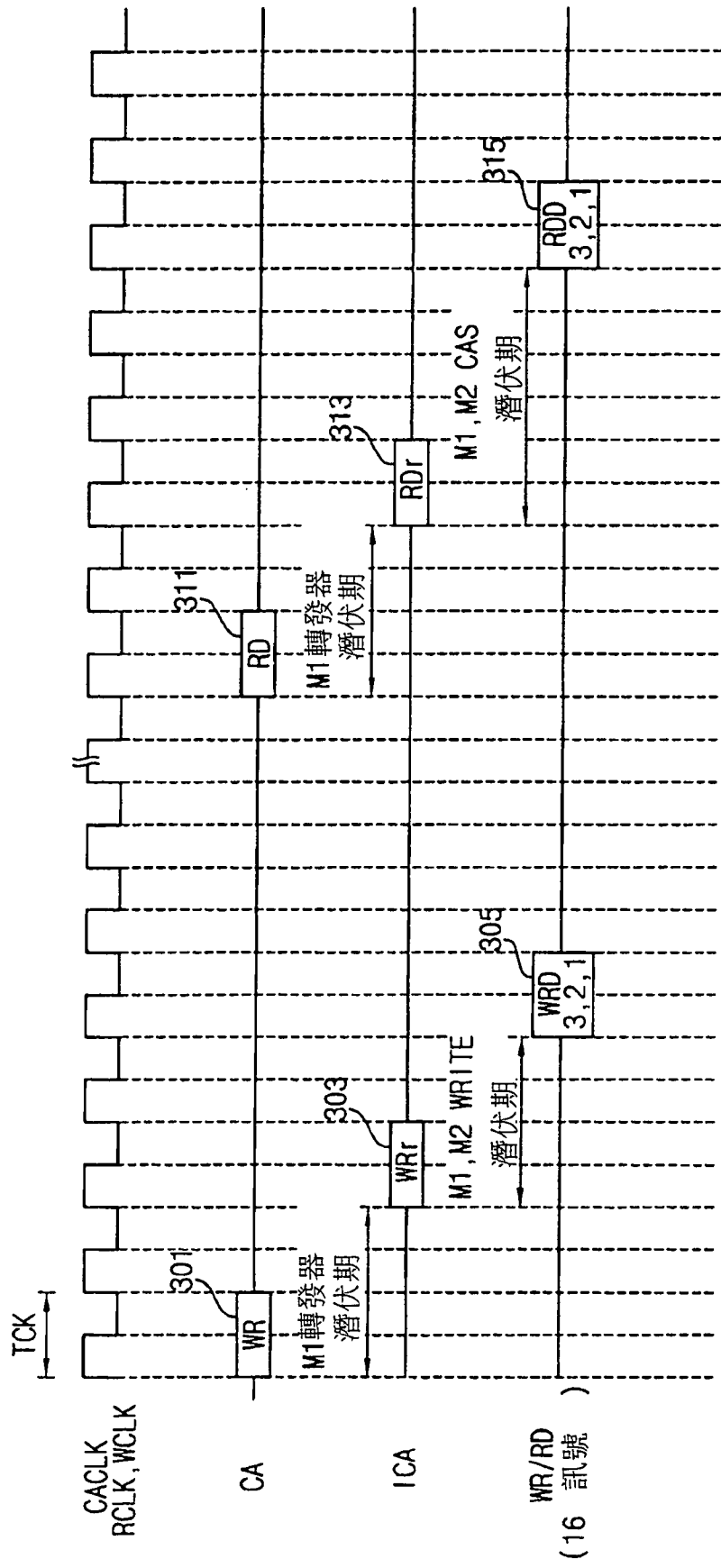


圖3

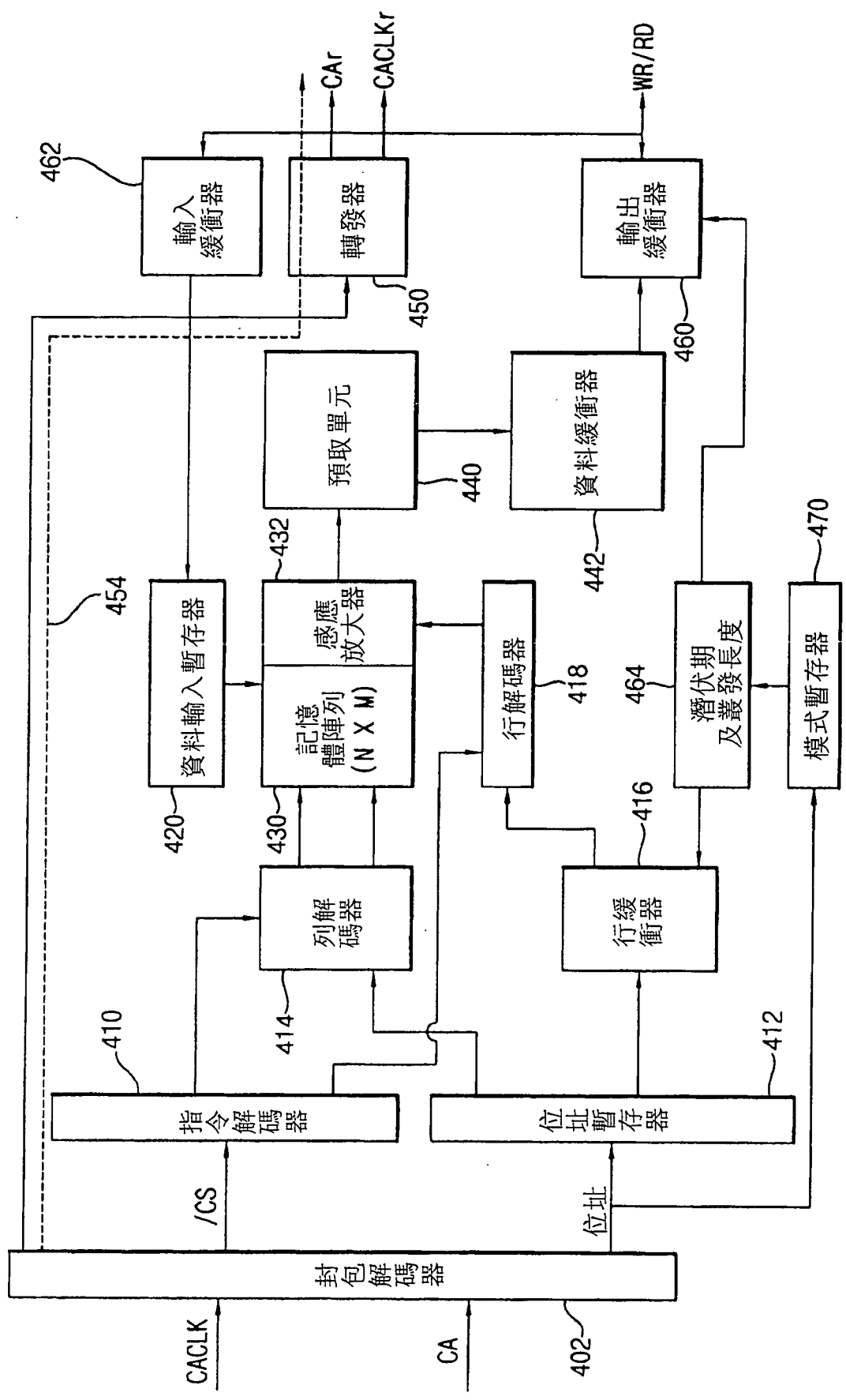


圖4

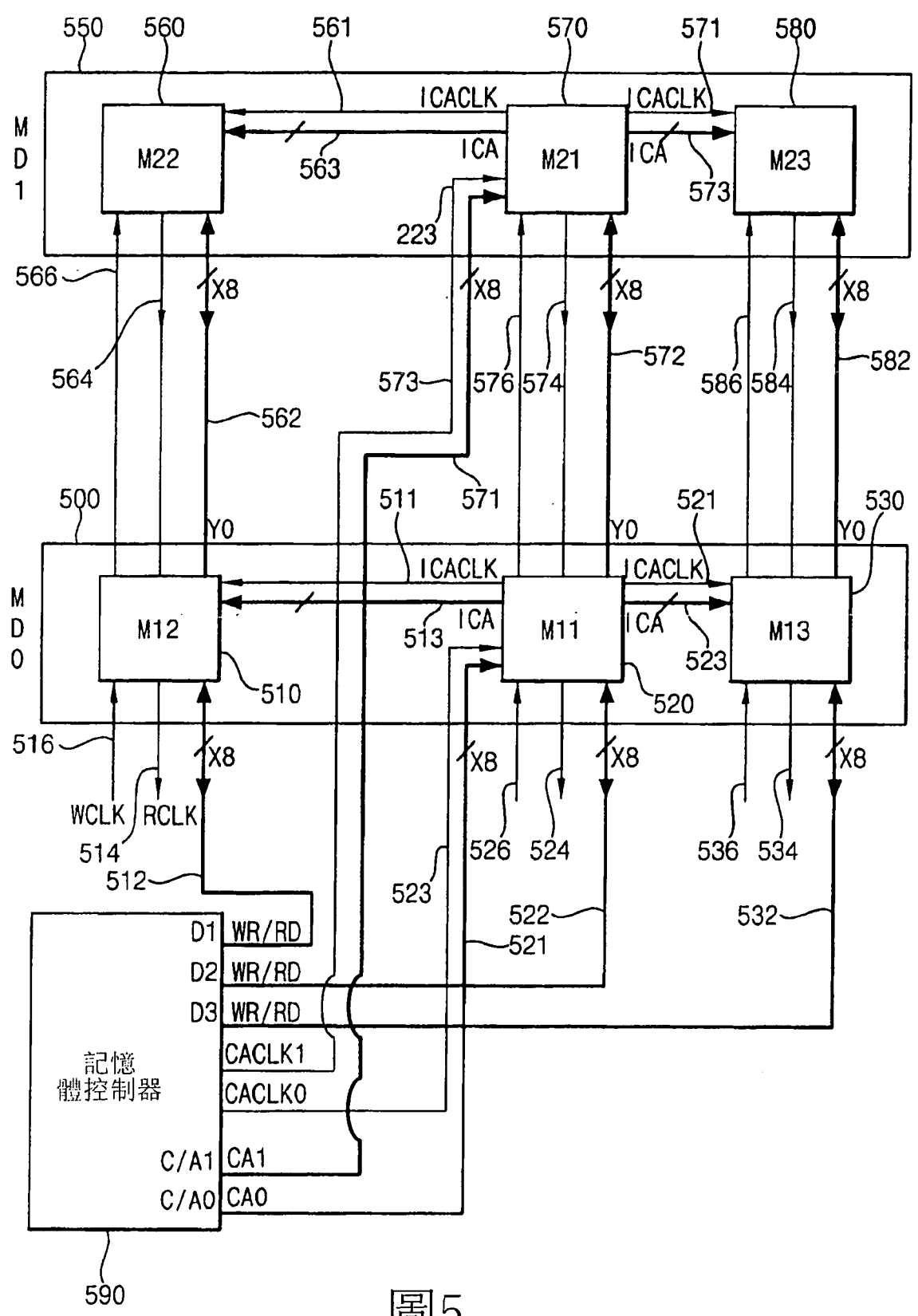


圖5

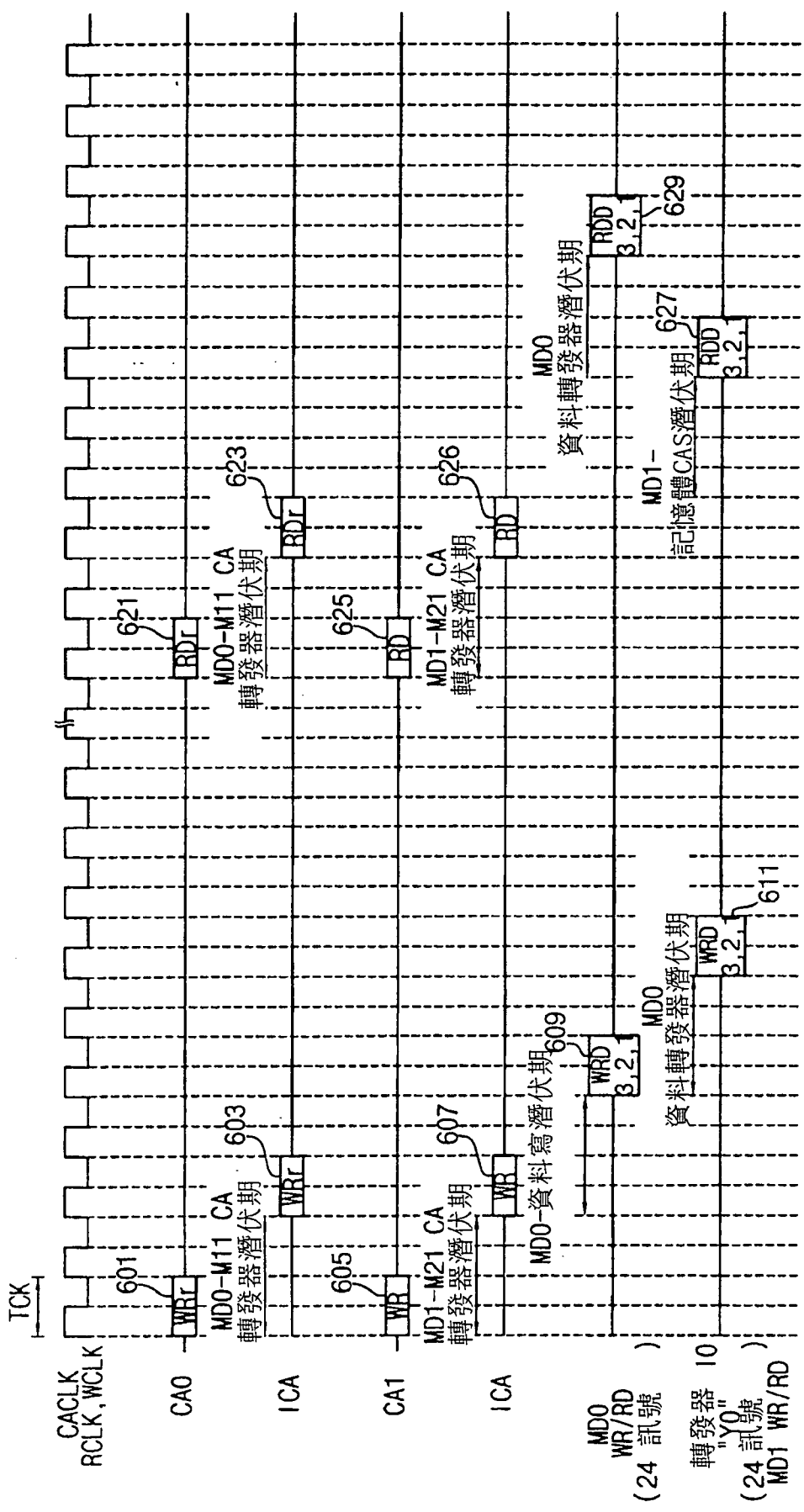


圖 6A

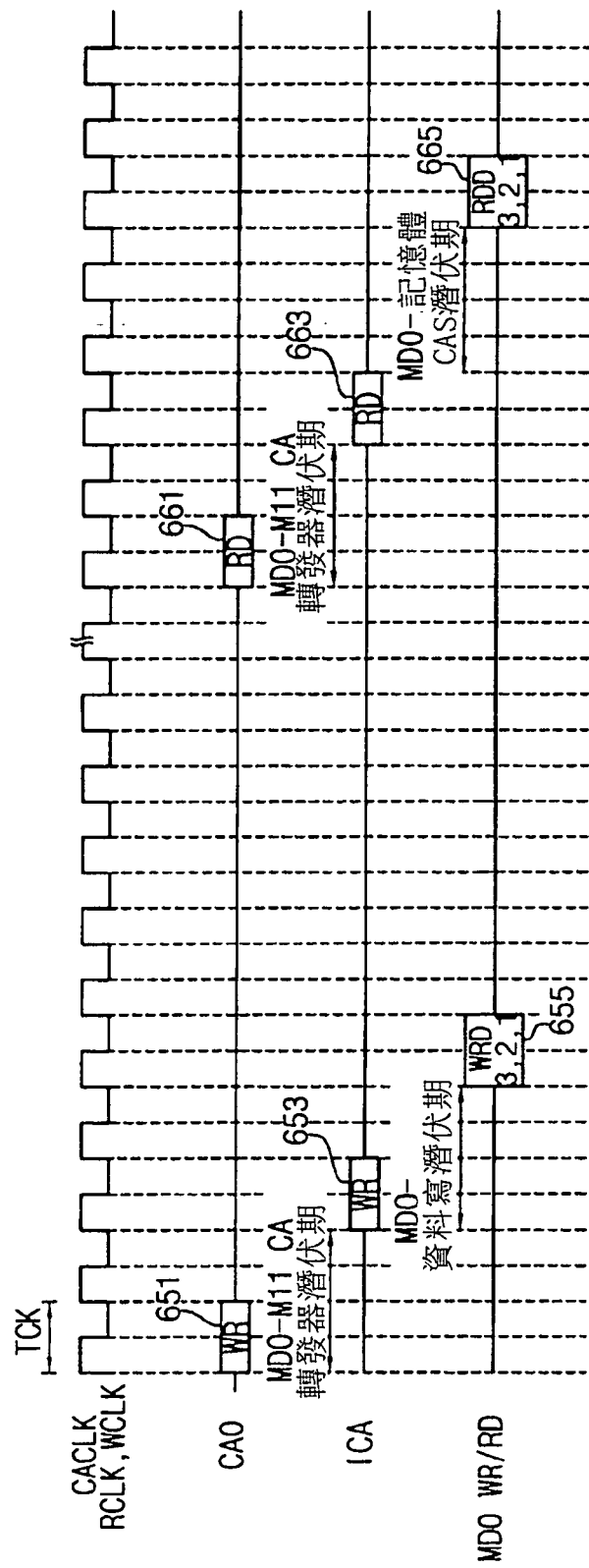


圖6B

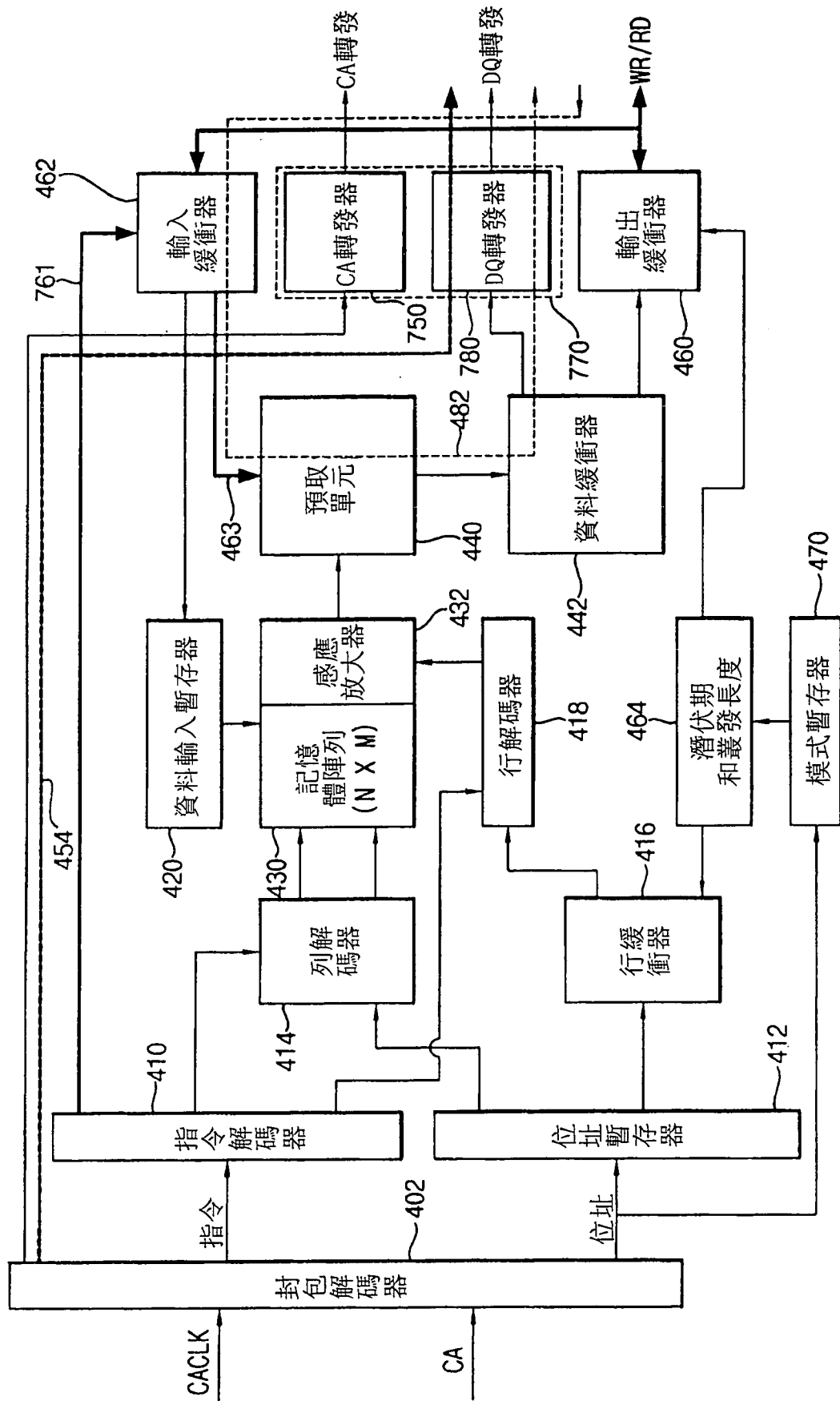


圖7

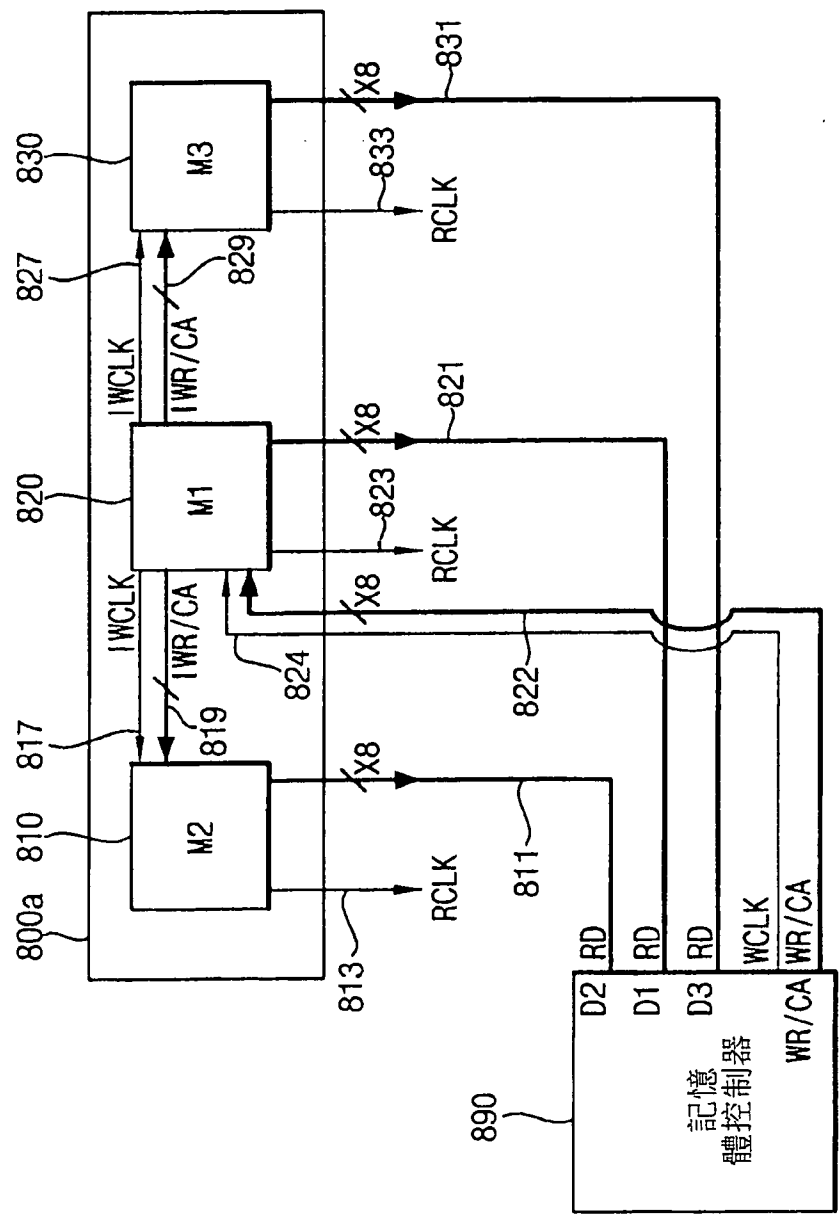


圖8A

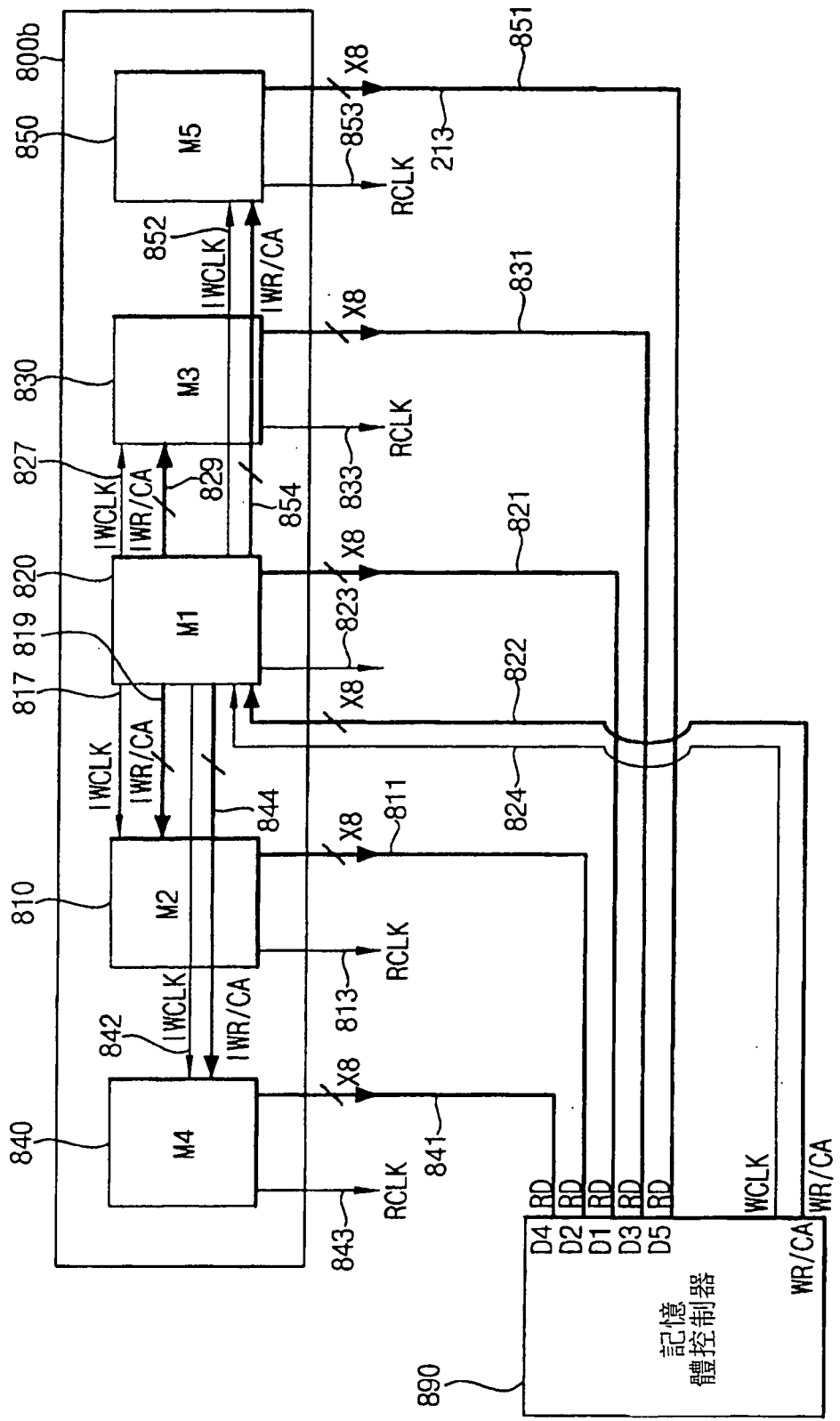


圖8B

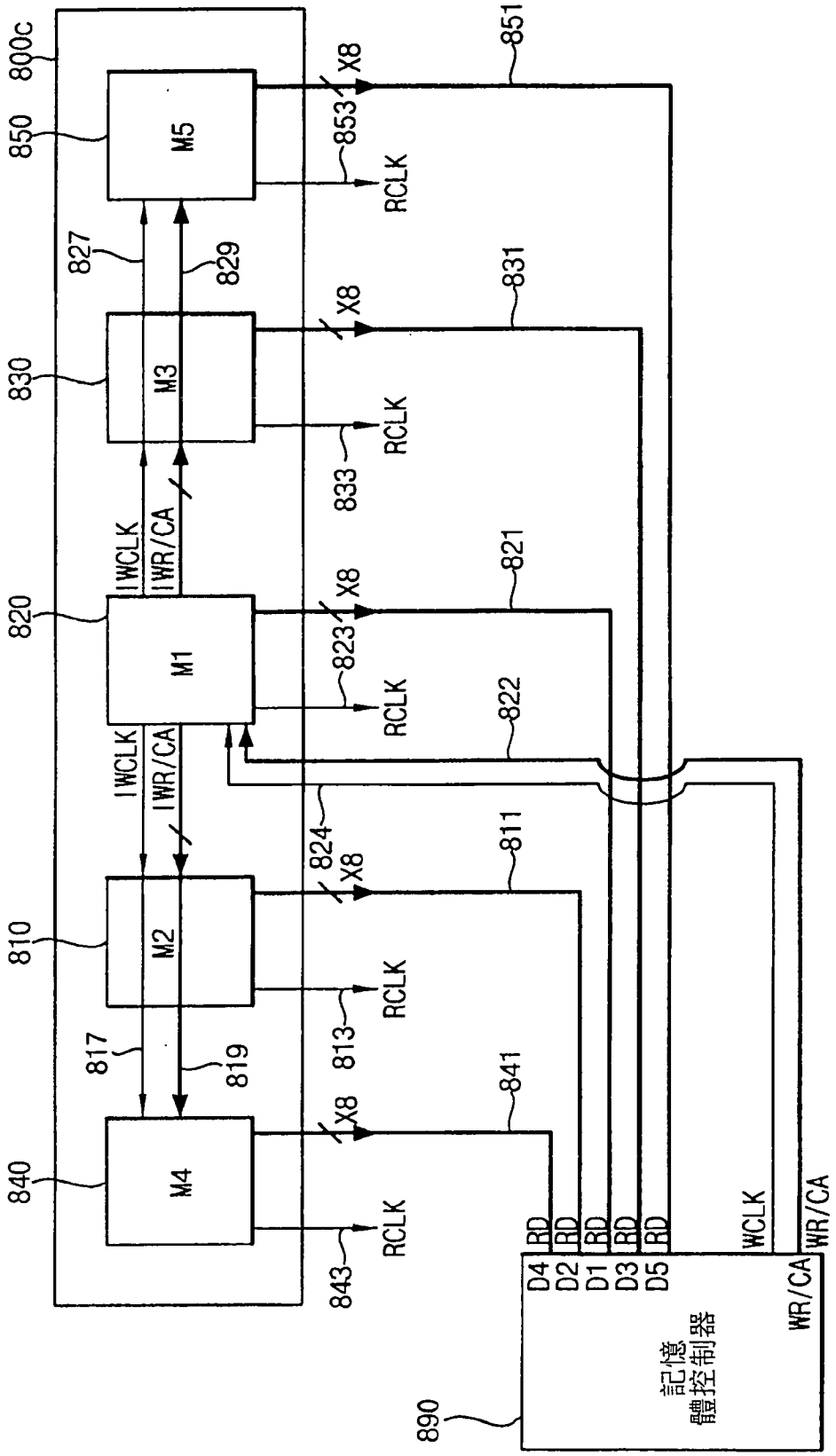


圖 8C

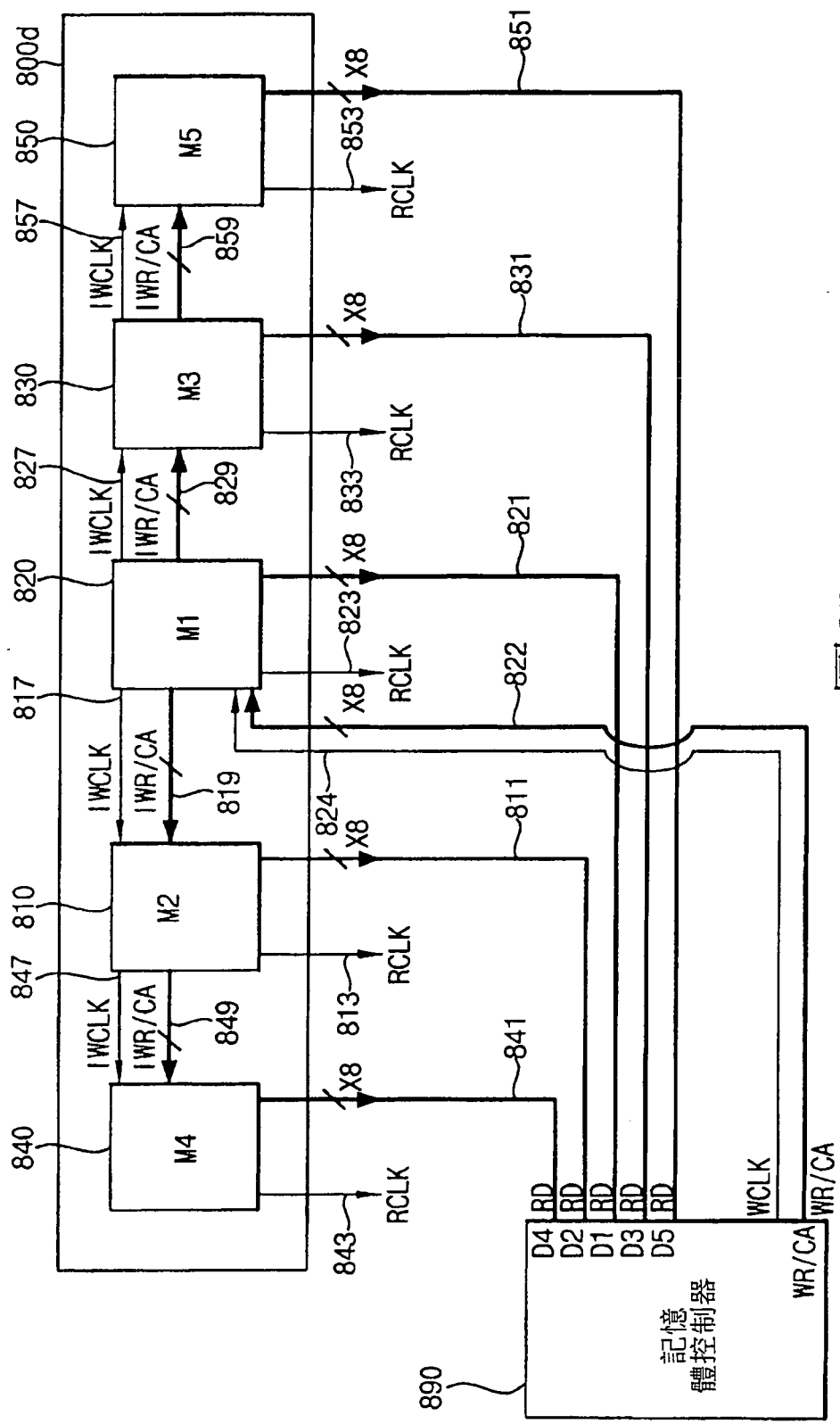


圖8D

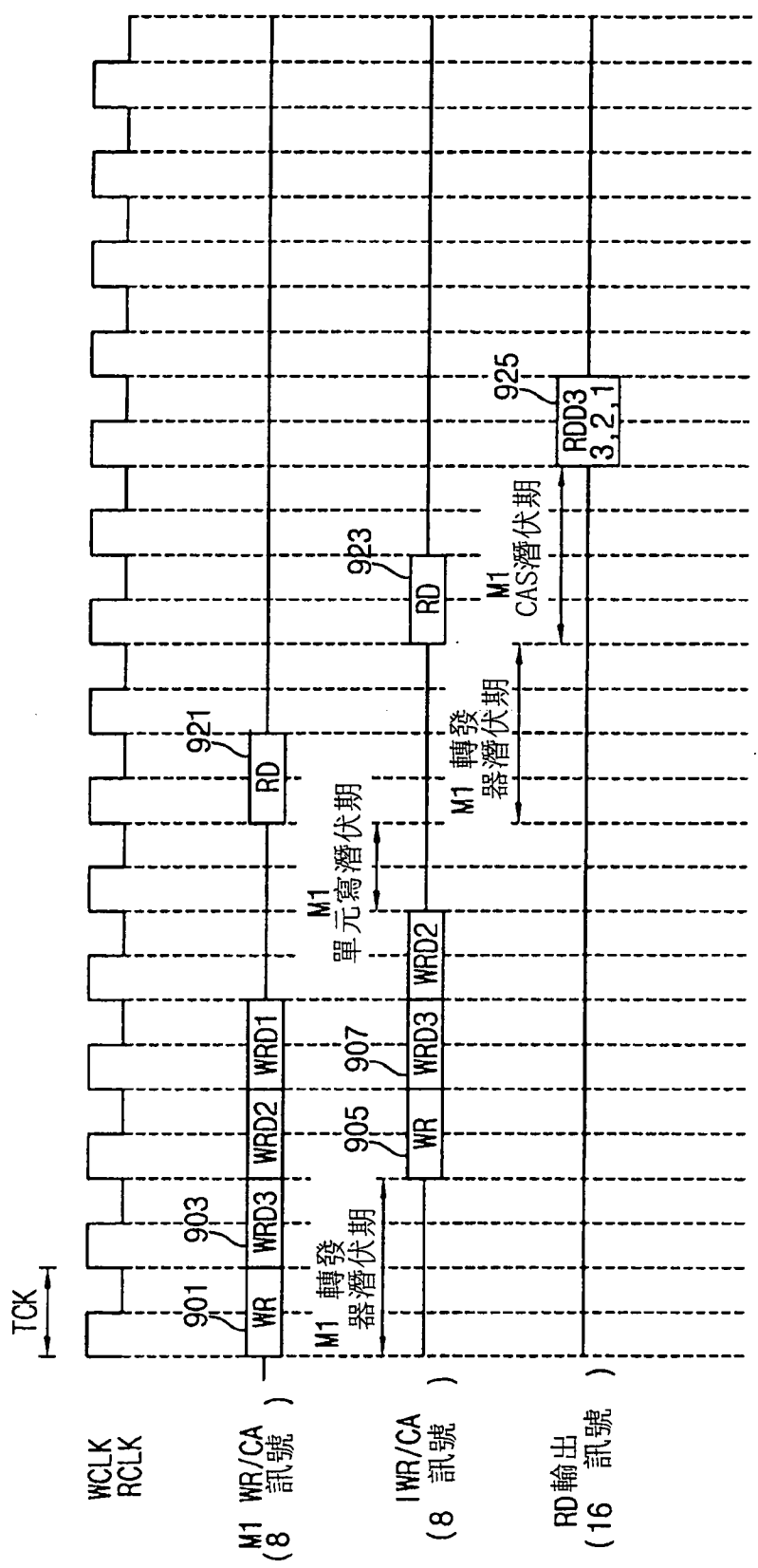


圖9

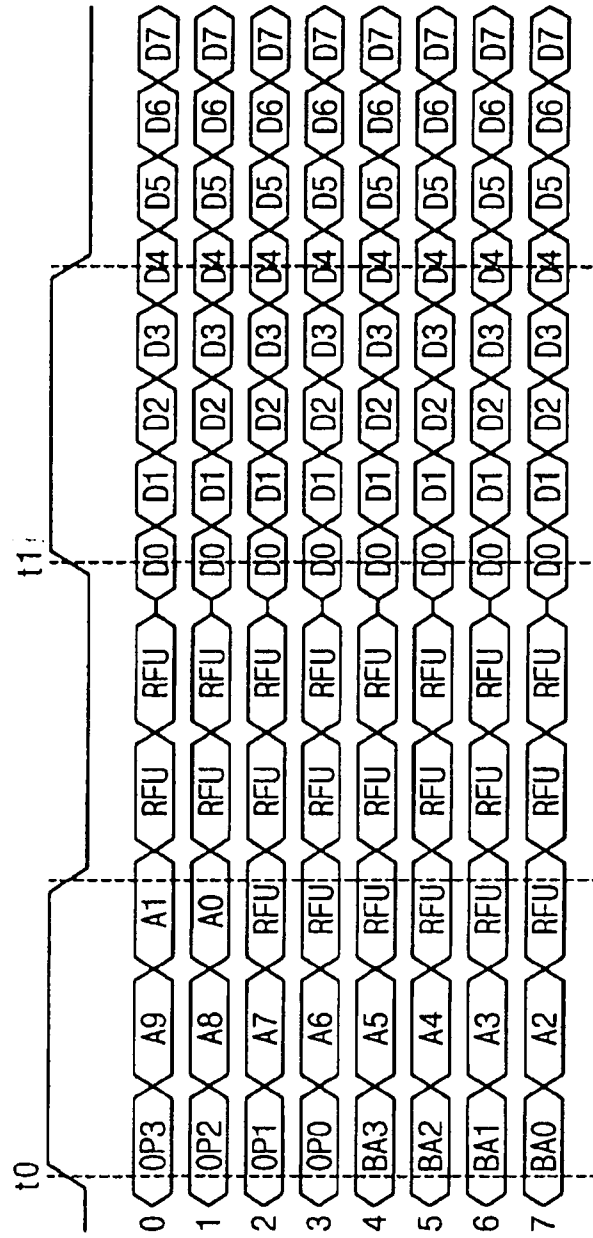


圖10

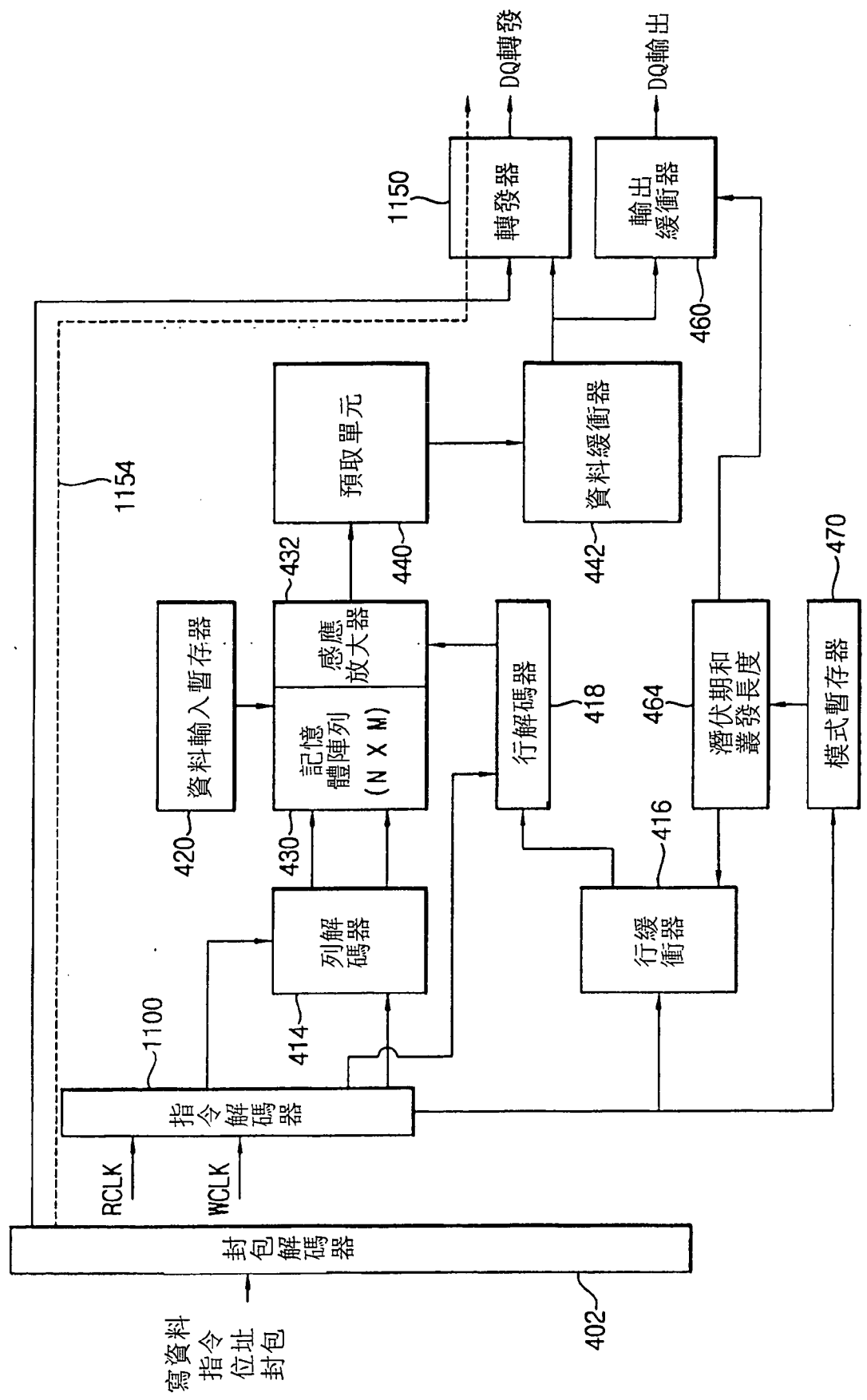


圖11

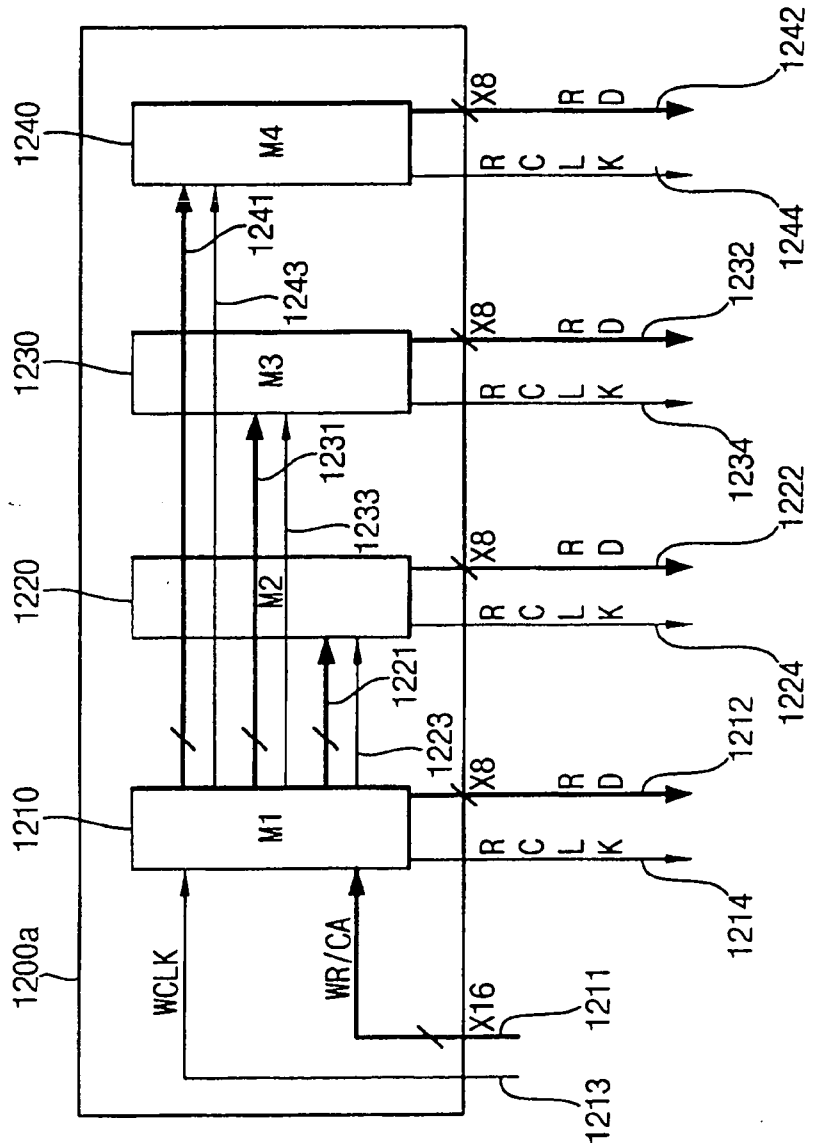


圖12A

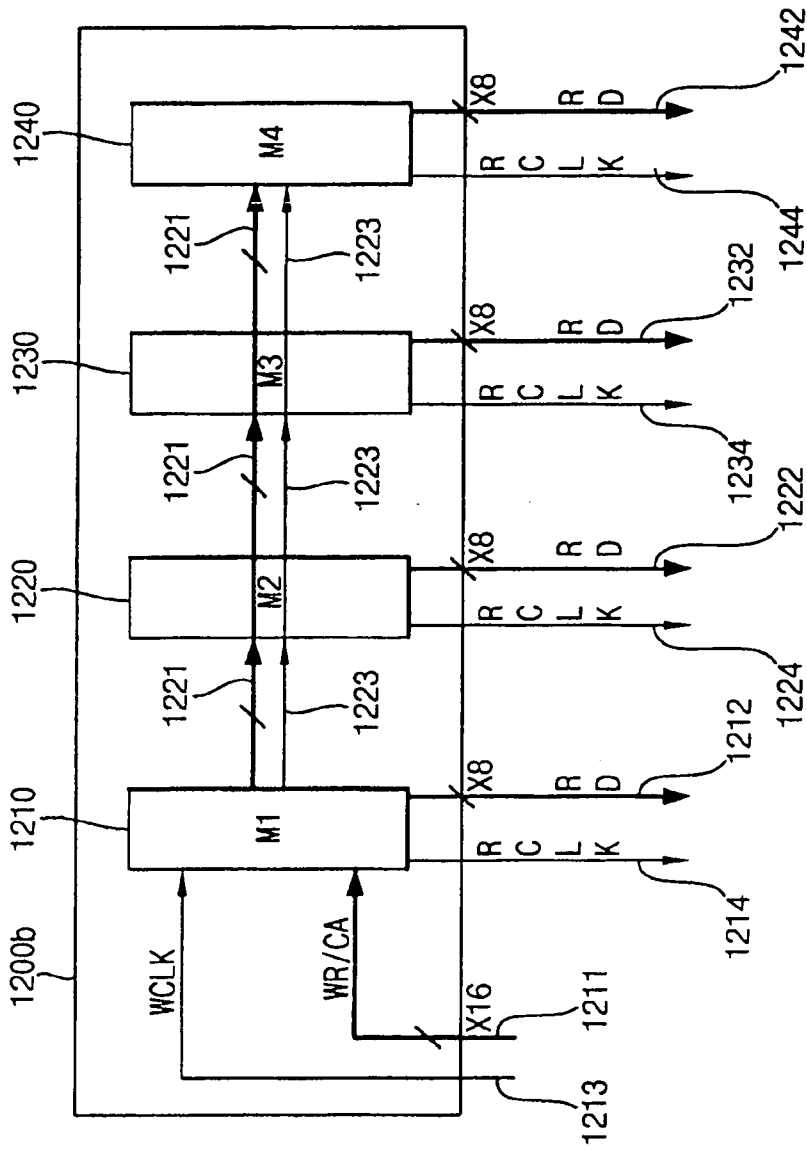


圖12B

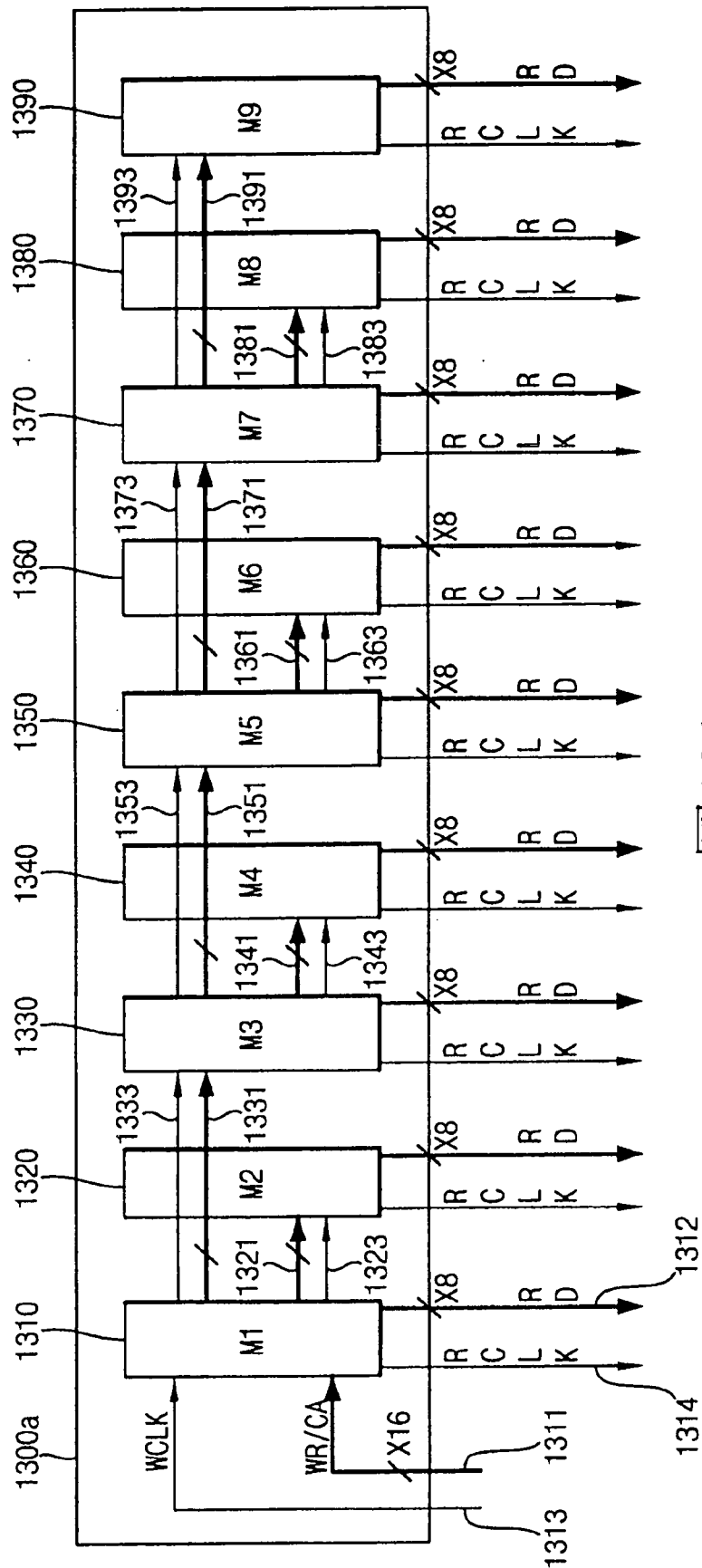


圖13A

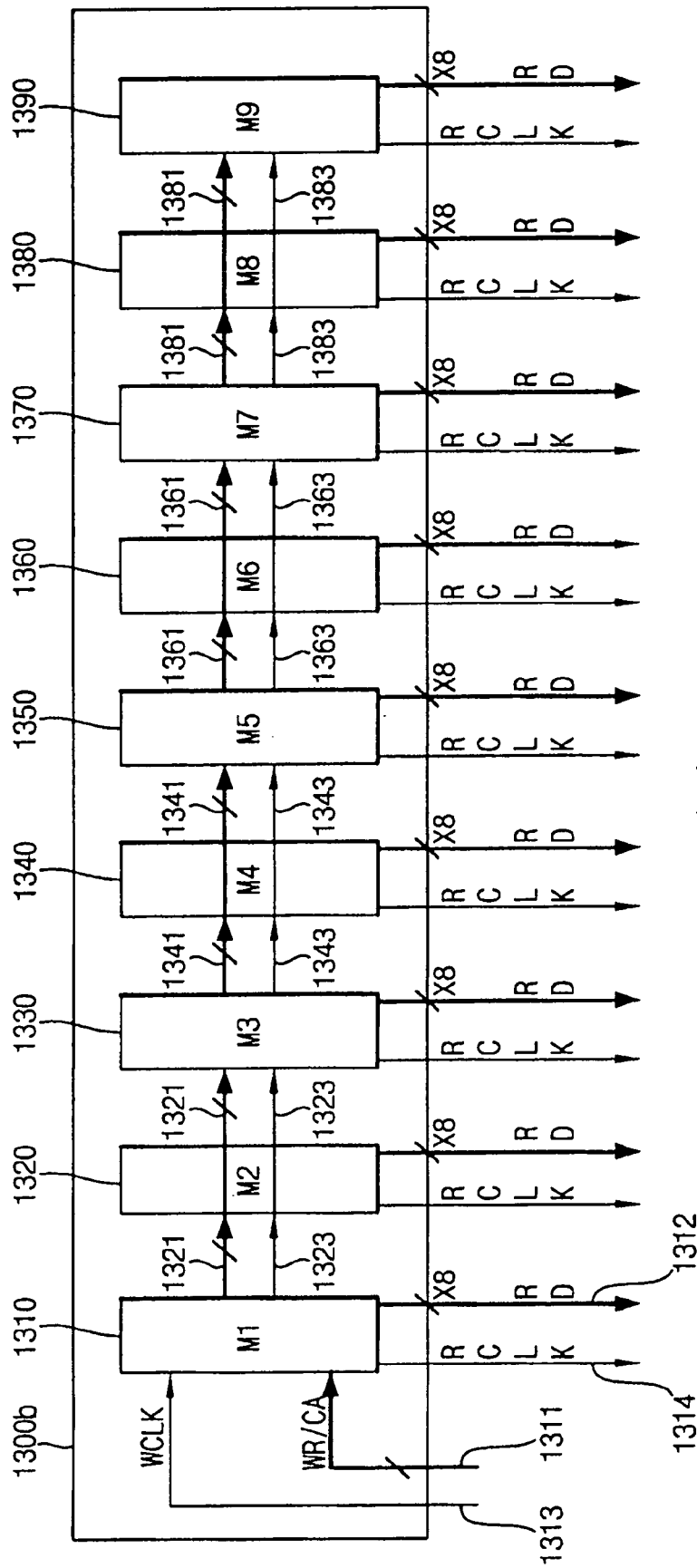


圖13B

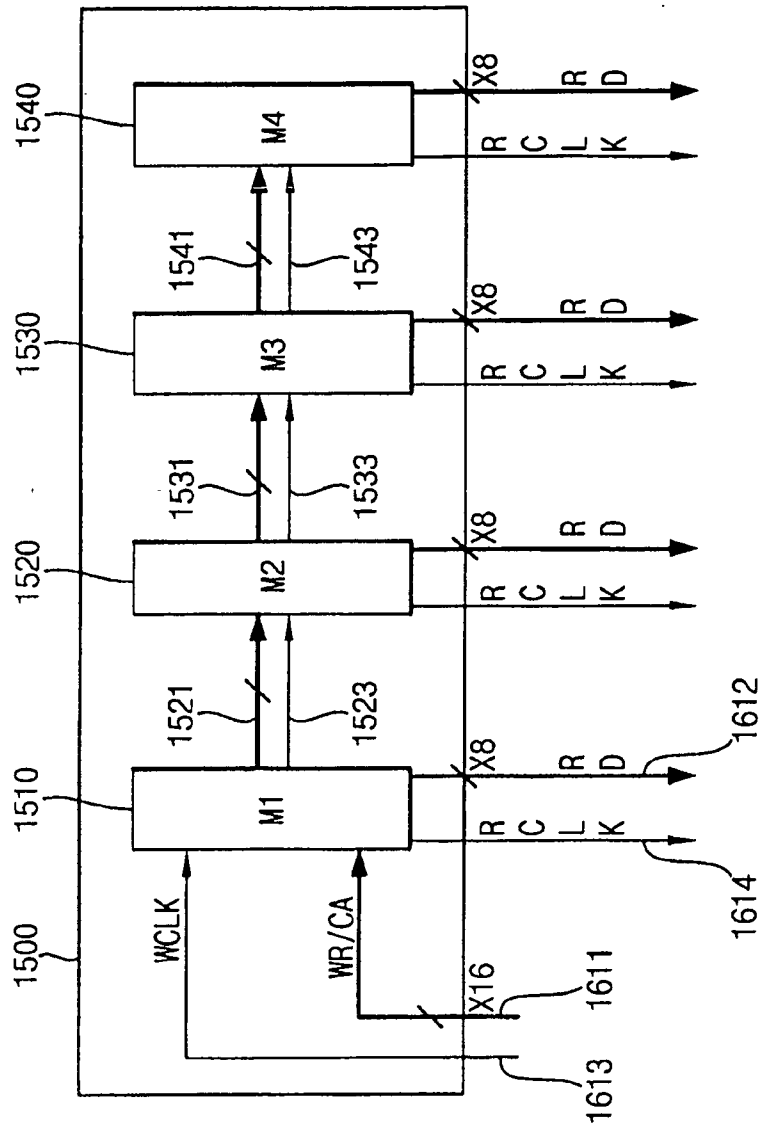


圖14

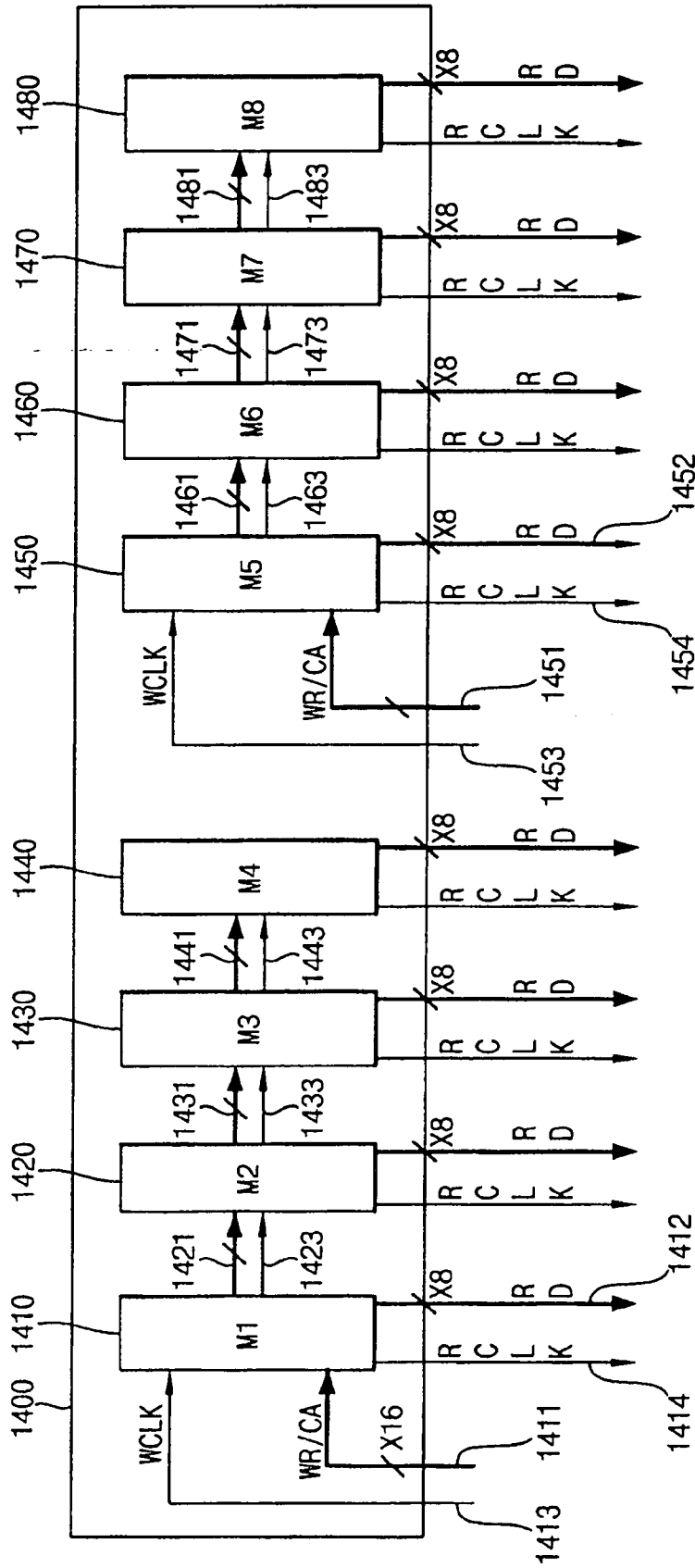


圖15

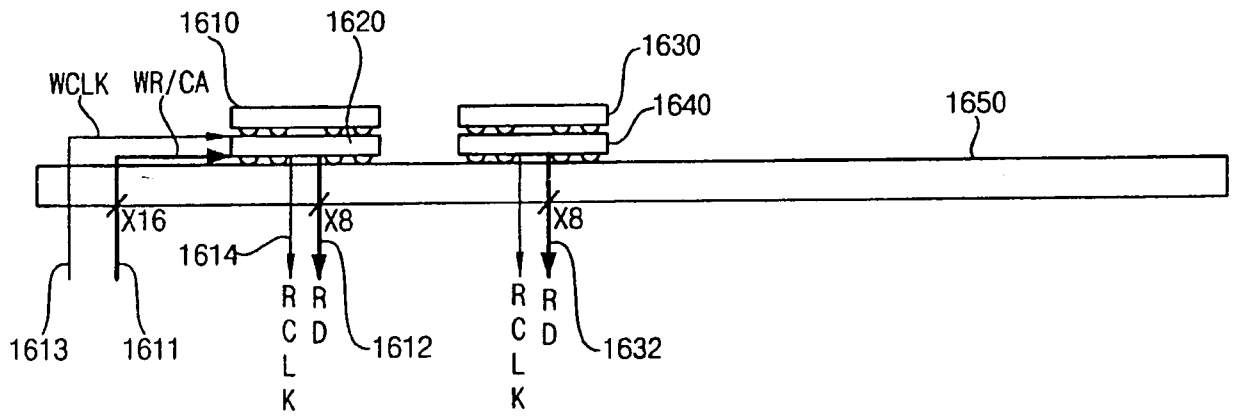


圖 16