



(12)发明专利

(10)授权公告号 CN 107220193 B

(45)授权公告日 2019.06.11

(21)申请号 201610160111.8

(22)申请日 2016.03.21

(65)同一申请的已公布的文献号
申请公布号 CN 107220193 A

(43)申请公布日 2017.09.29

(73)专利权人 综合器件技术公司
地址 美国加利福尼亚

(72)发明人 谢毅 刘海齐

(74)专利代理机构 中国国际贸易促进委员会专
利商标事务所 11038

代理人 郭思宇

(51)Int.Cl.

G06F 13/16(2006.01)

(56)对比文件

CN 205680087 U,2016.11.09,

CN 102301665 A,2011.12.28,

CN 103891227 A,2014.06.25,

审查员 王阜东

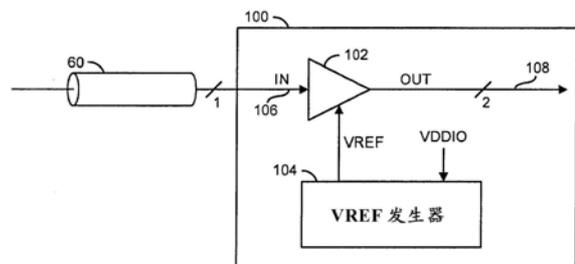
权利要求书2页 说明书10页 附图6页

(54)发明名称

用于单端信号均衡的装置和方法

(57)摘要

本发明涉及利用可编程的1-抽头决定反馈均衡器的单端信号均衡。一种装置包括第一电路和第二电路。第一电路可被配置为(i)接收在耦合到存储器通道的数据总线的单端线路上携带的输入值的序列,(ii)将输入值的所述序列的前一输入值限幅,以生成前一输出值,(iii)将输入值的所述序列的当前输入值限幅,以生成当前输出值,及(iv)在差分线路上呈现所述当前输出值。在输入值的所述序列中前一输入值一般在所述当前输入值前面。第二电路可被配置为基于抽头系数值解码所述前一输入值,以生成适于减小在所述当前输入值中由所述前一输入值引起的符号间干扰的多个反馈值。



1. 一种用于单端信号均衡的装置,包括:

求和电路,被配置为(i)接收在耦合到存储器通道的数据总线的单端线路上携带的输入值的序列,及(ii)通过从输入值的所述序列的当前输入值中减去均衡值来修改所述输入值;

限幅器电路,被配置为(i)从所述求和电路接收所述输入值,(ii)将输入值的所述序列的前一输入值限幅,以生成前一输出值,(iii)将所述当前输入值限幅,以生成当前输出值,及(iv)在差分线路上呈现所述当前输出值,其中在输入值的所述序列中所述前一输入值在所述当前输入值的前面;

解码器电路,被配置为(i)接收多个可编程权重系数,所述多个可编程权重系数由所述数据总线的所述单端线路的通道特性确定,及(ii)通过所述前一输入值和所述可编程权重系数的组合的解码生成多个反馈值,其中所述解码器电路还包括乘法电路,该乘法电路被配置为用所述可编程权重系数的值乘以所述前一输出值,以生成所述反馈值中的电压值;以及

放大器电路,被配置为响应于所述反馈值中的所述电压值生成所述均衡值作为生成的电流值,其中所述均衡值适于减小在所述当前输入值中由所述前一输入值造成的符号间干扰。

2. 如权利要求1所述的装置,其中所述解码器电路包括单抽头决定反馈均衡器电路。

3. 如权利要求1所述的装置,其中所述限幅器电路包括差分放大器,该差分放大器接收在第一晶体管的第一栅极处的输入值的所述序列和在第二晶体管的第二栅极处的参考电压。

4. 如权利要求1所述的装置,其中(i)所述反馈值当中每一个由具有正分量和负分量的相应差分信号携带并且(ii)所述放大器电路包括(a)并联连接到所述限幅器电路的第一晶体管并且由所述反馈值的所述正分量控制的第一多个晶体管和(b)并联连接到所述限幅器电路的第二晶体管并且由所述反馈值的所述负分量控制的第二多个晶体管。

5. 如权利要求1所述的装置,其中通过所述放大器电路、所述求和电路和所述限幅器电路的延迟是至多100微微秒。

6. 如权利要求1所述的装置,还包括延迟电路,该延迟电路被配置为将所述前一输出值延迟一个时钟周期。

7. 如权利要求1所述的装置,其中所述数据总线是双数据率存储器模块的地址/命令总线。

8. 如权利要求7所述的装置,其中所述双数据率存储器模块包括双数据率第四代双列直插存储器模块。

9. 如权利要求1所述的装置,其中所述装置实现寄存时钟驱动器电路。

10. 如权利要求9所述的装置,其中所述寄存时钟驱动器电路是至少与双数据率第四代兼容的。

11. 如权利要求1所述的装置,其中所述存储器通道包括多个动态随机存取存储器芯片。

12. 一种用于单端信号均衡的方法,包括步骤:

在电路上接收在连接到存储器通道和存储器控制器之间的数据总线的单端线路上携

带的输入值的序列；

 通过从输入值的所述序列的当前输入值中减去均衡值来修改所述输入值；

 将输入值的所述序列的前一输入值限幅，以生成前一输出值；

 将所述当前输入值限幅，以生成当前输出值，其中在输入值的所述序列中所述前一输入值在所述当前输入值前面；

 在差分线路上呈现所述当前输出值；

 接收多个可编程权重系数，所述多个可编程权重系数由所述数据总线的所述单端线路的通道特性确定；

 通过用所述可编程权重系数的值乘以所述前一输出值来对所述前一输入值和所述可编程权重系数的组合解码而生成多个反馈值中的电压值；以及

 响应于所述反馈值中的所述电压值生成所述均衡值作为生成的电流值，其中所述均衡值适于减小在所述当前输入值中由所述前一输入值引起的符号间干扰。

13. 如权利要求12所述的方法，其中所述前一输入值是利用单抽头决定反馈均衡器 (DFE) 电路来解码的。

14. 如权利要求12所述的方法，还包括步骤：将所述前一输出值延迟一个时钟周期。

用于单端信号均衡的装置和方法

技术领域

[0001] 本申请一般涉及信号均衡,并且更具体地,涉及用于实现利用可编程的1-抽头决定反馈均衡器的单端信号均衡的方法和/或装置。

背景技术

[0002] DDR4 SDRAM(第四代双倍数据率同步动态随机存取存储器)的常规接口以高达3.2千兆位每秒的数据率操作。通道降级会在接口的接收器侧造成可以被闭合的数据眼。印刷电路板迹线的介电和电阻损耗促成通道降级。迹线呈现依赖频率的衰减,这会造成脉冲频散和符号间干扰(ISI)。来自连接器并经由信号路径中的柱脚的阻抗不连续引起反射,这会生成更多ISI并进一步降低信噪比。随着DDR4 SDRAM的数据率提高,通道损耗和反射变得显著。

[0003] 期望实现利用可编程的1-抽头决定反馈均衡器的单端信号均衡。

发明内容

[0004] 本发明涉及包括第一电路和第二电路的装置。第一电路被配置为(i)接收在耦合到存储器通道的数据总线的单端线路上携带的输入值的序列,(ii)将输入值的序列的前一输入值限幅,以生成前一输出值,(iii)将输入值的序列的当前输入值限幅,以生成当前输出值,及(iv)在差分线路上呈现当前输出值。前一输入值在输入值的序列中在当前输入值前面。第二电路被配置为基于抽头系数值解码前一输入值,以生成适于减小在当前输入值中由前一输入值引起的符号间干扰的多个反馈值。

[0005] 在上述装置方面的一些实施例中,(i)第二电路包括单抽头决定反馈均衡器(DFE)电路并且(ii)抽头系数值是可编程的。

[0006] 在一些实施例中,上述装置方面还包括第三电路,该第三电路被配置为在输入值被第一电路接收之前从当前输入值减去均衡值。

[0007] 在上述装置方面的一些实施例中,第三电路包括差分放大器,该差分放大器接收在第一晶体管的第一栅极处的输入值的序列和在第二晶体管的第二栅极处的参考电压。

[0008] 在一些实施例中,上述装置方面还包括第四电路,该第四电路被配置为通过放大反馈值生成均衡值。

[0009] 在上述装置方面的一些实施例中,(i)每个反馈值由具有正分量和负分量的各自差分信号携带并且(ii)第四电路包括(a)并联连接到第三电路的第一晶体管并且由反馈值的正分量控制的第一多个晶体管和(b)并联连接到第三电路的第二晶体管并且由反馈值的负分量控制的第二多个晶体管。

[0010] 在上述装置方面的一些实施例中,通过第四电路和第一电路的延迟是至多100微微秒。

[0011] 在上述装置方面的一些实施例中,第二电路包括延迟电路,该延迟电路被配置为延迟前一输出值一个时钟周期。

[0012] 在上述装置方面的一些实施例中,第二电路还包括乘法电路,其被配置为用抽头系数值乘以前一输出值,以生成反馈值。

[0013] 在上述装置方面的一些实施例中,数据总线是双数据率(DDR)存储器模块的地址/命令总线。

[0014] 在上述装置方面的一些实施例中,DDR存储器模块包括双数据率第四代(DDR4)双列直插存储器模块(DIMM)。

[0015] 在上述装置方面的一些实施例中,该装置实现寄存时钟驱动器(RCD)电路。

[0016] 在上述装置方面的一些实施例中,RCD电路是至少与双数据率第四代(DDR4)兼容的。

[0017] 在上述装置方面的一些实施例中,存储器通道包括多个动态随机存取存储器(DRAM)芯片。

[0018] 本发明还包括关于用于单端信号均衡的方法的一方面,包括以下步骤(i)在电路接收在连接到存储器通道和存储器控制器之间的数据总线的单端线路上携带的输入值的序列,(ii)将输入值的序列的前一输入值限幅,以生成前一输出值,(iii)将输入值的序列的当前输入值限幅,以生成当前输出值,其中前一输入值在输入值的序列中在当前输入值前面,(iv)在差分线路上呈现当前输出值,以及(v)基于抽头系数值解码前一输入值,以生成适于减小在当前输入值中由前一输入值引起的符号间干扰的多个反馈值。

[0019] 在以上的方法方面的一些实施例中,(i)前一输入值是利用单抽头决定反馈均衡器(DFE)电路解码的并且(ii)抽头系数值是可编程的。

[0020] 在一些实施例中,以上的方法方面还包括通过放大反馈值生成均衡值的步骤。

[0021] 在一些实施例中,以上的方法方面还包括在被电路接收之前从当前输入值减去均衡值的步骤。

[0022] 在以上的方法方面的一些实施例中,前一输入值通过延迟前一输出值一个时钟周期被解码。

[0023] 在以上的方法方面的一些实施例中,前一输入值还通过用抽头系数值乘以前一输出值以生成反馈值被解码。

附图说明

[0024] 从以下详细的描述和所附的权利要求以及附图,本发明的实施例将变得是清楚的,其中:

[0025] 图1是示出多个存储器模块的图示;

[0026] 图2是示出存储器模块的框图;

[0027] 图3是寄存器缓冲器接收器电路的接收器部分的框图;

[0028] 图4是决定反馈均衡器电路的框图;

[0029] 图5是决定反馈均衡器电路的示意图;

[0030] 图6是K-抽头电路的示意图;及

[0031] 图7是两个数据眼图模拟的图表。

具体实施方式

[0032] 本发明的实施例包括提供利用可编程1-抽头决定反馈均衡器的单端信号均衡,其可以 (i) 有小的传播延迟, (ii) 有小到无的静态电力成本, (iii) 减少或消除符号间干扰, (iv) 补偿通道损耗和反射, (v) 对单端信号操作, (vi) 可编程为覆盖不同长度的通道, (vii) 在存储器接口中实现和/或 (viii) 在集成电路中实现。

[0033] 本发明的各种实施例一般提供可编程的1-抽头决定反馈均衡器 (DFE) 电路。该1-抽头DFE电路可以在DDR4模块的寄存器时钟驱动电路中实现。该1-抽头DFE电路可以集成在用于通道均衡的数据采样阶段中,以补偿通道损耗和反射,而不会引入额外的传播延迟。1-抽头DFE电路的可编程性可以帮助覆盖不同长度的通道。

[0034] 参考图1,显示了示出多个示例电路50a-50n的图示。在示例中,电路50a-50n可以实现为存储器模块(或板)。例如,存储器模块 50a-50n可以实现为第四代双倍数据率 (DDR4) 同步动态随机存取存储器 (SDRAM) 模块。存储器模块50a-50n可以包括多个块(或电路) 90a-90n、块(或电路) 100和/或各种其它块、电路、引脚、连接器和/或迹线。电路90a-90n可以被配置为数据缓冲器。电路100 可以被实现为寄存式时钟驱动器 (RCD)。在示例中,RCD 电路 100可以被实现为DDR4 RCD电路。存储器模块50a-50n的组件的类型、布置和/或数量可以变化以满足特定实现方式的设计标准。

[0035] 存储器模块50a-50n被示出为连接到块(或电路) 20。电路20 可以是存储器控制器。电路20可以位于诸如计算引擎的其它设备中。不同连接器/引脚/迹线60可以实现为将存储器模块50a-50n连接到存储器控制器20。在一些实施例中,连接器/引脚/迹线60可以是288 引脚配置。在示例中,存储器控制器20可以是计算机主板的组件。在另一个示例中,存储器控制器20可以是微处理器的组件。在又一个示例中,存储器控制器20可以是中央处理单元 (CPU) 的组件。

[0036] 在示例中,连接器/引脚/迹线60中的一些可以是存储器模块 50a-50n的部分并且连接器/引脚/迹线60中的一些可以是主板和/或存储器控制器20的部分。存储器模块50a-50n可以被连接到计算机主板(例如,通过引脚、迹线和/或连接器60) 以在计算设备的组件和存储器模块50a-50n之间传输数据。在示例中,存储器控制器20可以被实现在主板的北桥 (northbridge) 上和/或被实现为微处理器 (例如,Intel CPU、AMD CPU、ARM CPU等) 的组件。可以根据特定实现方式的设计标准来变化存储器控制器20的实现方式。

[0037] 在各种实施例中,存储器模块50a-50n可以是DDR4 SDRAM存储器模块。DDR4 SDRAM 模块50a-50n可以具有每模块512千兆字节 (GB)、太字节或更高的存储器模块密度(例如,与DDR3中的每双列直插式存储模块 (DIMM) 128GB相比)。DDR4 SDRAM 存储器模块50a-50n可以在1.2-1.35伏 (V) 的电压以800-2133兆赫 (MHz) 之间的频率操作(例如,与在DDR3中1.5-1.65伏以400- 1067MHz之间的频率相比较)。在一些实施例中,存储器模块50a- 50n可以实现为低电压DDR4并且在1.05V操作。例如,与DDR3存储器相比,DDR4 SDRAM存储器模块50a-50n可以实现节省35%的功率节省。DDR4 SDRAM存储器模块50a-50n可以以2.13-4.26千兆传输每秒 (GT/s) 以及更高的速度(例如,相比于DDR3中0.8- 2.13GT/s) 来传输数据。可以根据特定实现的设计标准来变化存储器模块50a-50n的操作参数。

[0038] 在示例中,存储器模块50a-50n可以兼容联合电子设备工程会议 (JEDEC) 固态技术协会于2013年11月在弗吉尼亚阿灵顿发布的规范JESD79-4A中标题为“DDR4 SDRAM”的

DDR4规范。通过引用其全部内容将DDR4规范的合适部分并入此处。

[0039] 存储器模块50a-50n可以实现为DDR4低负载DIMM (LRDIMM) 或DDR4寄存式DIMM (RDIMM)。数据缓冲器 90a-90n可以允许存储器模块50a-50n以DDR4 LRDIMM配置比便相比于DDR4 RDIMM以较高带宽和/或较高容量操作(例如,在 384GB容量,对于DDR4 LRDIMM为1333MT/s,相比于第一 DDR4 RDIMM为1067MT/s)。例如,相比于DDR4 RDIMM配置,存储器模块50a-50n的DDR4 LRDIMM配置可以允许数据信号的提高的信号完整性、通过数据缓冲器90a-90n的更低的组件延迟和/或存储器控制器20的更好的智能和/或后缓冲觉察。

[0040] 参考图2,显示了示出存储器模块50a的框图。存储器模块50a 可以是存储器模块50b-50n的代表。示出了存储器模块50a与存储器控制器20进行通信。存储器控制器20被示为是块(或电路)10的部分。电路10可以是与存储器模块50a通信的主板或其它电子组件或计算引擎。

[0041] 存储器模块50a可以包括一个或多个块(或电路)80a-80n和/或 RCD电路100。电路80a-80n可以实现存储器模块50a的数据路径。例如,数据路径80a可以包括块82a和/或数据缓冲器90a。数据路径80b-80n可以具有相似的实现方式。电路82a-82n每个可以实现为存储器信道。存储器信道82a-82n中的每个信道可以包括多个块(或电路)84a-84n。电路84a-84n可以实现为随机存取存储器(RAM)芯片。例如,RAM芯片84a-84n可以实现易失性存储器,诸如动态 RAM(DRAM)。在一些实施例中,RAM芯片84a-84n可以物理地位于存储器模块50a-50n的电路板的两侧(例如,前和后)。可以根据特定实现方式的设计标准来变化存储器模块50a上的存储器的容量。

[0042] 存储器控制器20可以生成信号(例如,CLK)以及多个控制信号(例如,ADDR/CMD)。信号CLK和/或信号ADDR/CMD可以被呈现给RCD电路100。数据总线30可以连接在存储器控制器20 和数据路径80a-80n之间。存储器控制器20可以生成和/或接收从数据总线30呈现/接收的数据信号(例如,DQa-DQn)。信号DQa- DQn可以被呈现给数据路径80a-80n中的每个数据路径。

[0043] RCD电路100可以被配置为与存储器控制器20、存储器信道 82a-82n和/或数据缓冲器90a-90n进行通信。RCD电路100可以解码从存储器控制器20接收到的指令。例如,RCD电路100可以接收寄存器命令字(RCW)。在另一示例中,RCD电路可以接收缓冲器控制字(BCW)。RCD电路100可以被配置为训练(train) DRAM芯片84a-84n、数据缓冲器90a-90n和/或存储器控制器20之间的命令和地址线。例如,RCW可以从存储器控制器20流向RCD 电路100。RCW可以用于配置RCD电路100。

[0044] 可以在LRDIMM和RDIMM配置中均使用RCD电路100。RCD电路100可以实现32位1:2命令/地址寄存器。RCD电路100 可以支持高速总线(例如,RCD电路100和数据缓冲器90a-90n之间的BCOM总线)。RCD电路100可以实现自动阻抗校准。RCD 电路100可以实现命令/地址奇偶校验。RCD电路100可以控制寄存器RCW回读。RCD电路100可以实现1MHz内部集成电路(I²C) 总线(例如,串行总线)。到RCD电路100的输入可以是使用外部和/或内部电压的伪差分。RCD电路100的时钟输出、命令/地址输出、控制输出和/或数据缓冲控制输出可以以组来启用并且以不同强度被独立地驱动。

[0045] RCD电路100可以从存储器控制器20接收信号CLK和/或信号 ADDR/CMD。可以使用RCD电路100的各种数字逻辑组件来生成基于信号CLK和/或信号ADDR/CMD和/或其它信号

(例如,RCW) 的信号。RCD电路100也可以被配置为生成一个信号(例如,CLK') 以及多个信号(例如,ADDR' /CMD')。例如,信号CLK' 可以是 DDR4规范中的信号Y_CLK。信号CLK' 和/或信号ADDR' /CMD' 可以被呈现给存储器信道82a-82n中的每个存储器信道。例如,信号 CLK' 和/或信号ADDR' /CMD' 可以在公共总线54上传输。RCD电路 100可以生成一个或多个信号(例如,DBC)。信号DBC可以被呈现给数据缓冲器90a-90n。信号DBC可以在公共总线56(例如,数据缓冲控制总线)上传输。

[0046] 数据缓冲器90a-90n可以被配置为从总线56接收数据。数据缓冲器90a-90n可以被配置为向总线30生成数据或从其接收数据。总线30可以包括迹线、引脚和/或存储器控制器20和数据缓冲器90a- 90n之间的连接。总线58可以承载数据缓冲器90a-90n和存储器信道82a-82n之间的数据。数据缓冲器90a-90n可以被配置为缓存总线 30和58上用于写操作的数据(例如,从存储器控制器20到相应的存储器信道82a-82n传输的数据)。数据缓冲器90a-90n可以被配置为缓存总线30和58上用于读操作的数据(例如,从相应的存储器信道82a-82n到存储器控制器20传输的数据)。

[0047] 数据缓存区90a-90n可以以小单元(例如,4位半字节)与 DRAM芯片84a-84n交换数据。在各种实施例中,DRAM芯片84a- 84n可以布置在多组中(例如,两组)。对于两组/两个DRAM芯片 84a-84b的实现方式,每组可以包含单个DRAM芯片84a-84n。每个 DRAM芯片84A-84b可以通过高半字节和低半字节连接到相应的数据缓冲器90a-90n。对于两组/四个DRAM芯片84a-84d的实现方式,每组可以包含两个DRAM芯片84a-84d。一组可以通过高半字节连接到相应的数据缓冲器90a-90n。另一组可以通过低半字节连接到相应的数据缓冲器90a-90n。对于两组/八个DRAM芯片84a-84h的实现方式,每组可以包含DRAM芯片84a-84h中的四个。一组四个 DRAM芯片84a-84d可以通过高半字节连接到相应的数据缓冲器 90a-90n。另一组四个DRAM芯片84e-84h可以通过低半字节连接到相应的数据缓冲器90a-90n。可以实现其它数量的组、其它数量的 DRAM芯片以及其它数据单元大小来满足特定实现方式的设计标准。

[0048] DDR4 LRDIMM配置可以降低大量的数据负载来提高从最大几个(例如,四个)数据负载下降到单个数据负载的存储器模块的数据总线(例如,总线30)上的信号完整性。分布式数据缓冲器90a-90n 可以允许DDR4 LRDIMM设计与使用集中式存储器缓冲器的 DDR3 LRDIMM设计相比实现更短的I/O迹线长度。例如,连接到存储器信道82a-82n的更短的短截线(stub)会导致不太明显的信号反射(例如,提高的信号完整性)。在另一示例中,更短的迹线会导致延迟减小(例如,接近1.2纳秒(ns),比DDR3缓冲存储器小 50%的延迟)。在又一示例中,更短的迹线可以降低I/O总线的周转时间。例如,在没有分布式数据缓冲器90a-90n的情况下(例如,在 DDR3存储器应用中),迹线将被敷设到集中定位的存储器缓冲器,从而与图2中示出的DDR4 LRDIMM的实现方式相比,增加了高达六英寸的迹线长度。

[0049] 在一些实施例中,DDR4 LRDIMM配置可以实现数据缓冲器 90a-90n中的九个。存储器模块50a-50n可以实现2毫米(mm)前侧总线迹线和后侧迹线(例如,连接器/引脚/迹线60)。通过数据缓冲器90a-90n的传播延迟可以比通过DDR3存储器缓冲器的延迟快 33%(例如,导致延迟减小)。在一些实施例中,数据缓冲器90a- 90n可以比用于DDR3应用中的数据缓冲器更小(例如,减小的面积参数)。

[0050] 参考图3,示出了根据本发明实施例的RCD电路100的接收器部分的框图。接收器部

分一般包括均衡块(或电路)102和参考电压发生器块(或电路)104。

[0051] 输入信号(例如,IN)可以由电路102从连接器/引脚/迹线60接收。在各种实施例中,信号IN可以代表信号CMD中的任何命令,信号ADDR中的地址和/或从存储器控制器20传送到RCD电路100的其它信息。输入/输出电压(或功率)域(例如,VDDIO)可以由电路104接收。电路104可以生成呈现给电路102的参考信号(例如,VREF)。信号VREF可以输送固定的参考电压。输出信号(例如,OUT)可以由电路102生成。信号OUT可以携带在信号IN中接收到的信息位(或脉冲)的均衡版本。信号OUT可以被实现为差分信号。

[0052] 电路102可以实现决定反馈均衡(DFE)电路。DFE电路102可以可操作地将单端信号IN转换成差分信号OUT。在DFE电路102中,先前位决定一般在反馈回路中被使用并被减去。DFE电路102可以减去后标记(post-cursor)或前标记符号间干扰,而不放大高频噪声或串扰并且因此可以达到比其它均衡技术更好的信噪比。为了最小化功耗,DFE电路102可以实现1-抽头直接反馈DFE操作。

[0053] 1-抽头DFE电路102一般按如下的公式1实现传递函数:

$$[0054] \quad D(i) = D(N) + K_{\text{tap}} \times D(N-1) \quad (1)$$

[0055] 其中,D(N)可以是在采样时间N的模拟输入,D(i)可以是在采样时间N的数字化输入,D(N-1)可以是前一数字化数据位,并且 K_{tap} 可以是抽头系数。抽头系数 K_{tap} 一般由连接器/引脚/迹线60的具体通道特性来确定。结果得到的符号间干扰可以从当前模拟输入D(N)中减去。

[0056] DFE电路102可以在多点单端应用中用于通道均衡。1-抽头直接反馈DFE操作可以适于DDR4存储器接口应用,其中短传播延迟(例如,小于40皮秒)会有助于维持严格的时序预算。DFE电路102可以利用核心晶体管(例如,NMOS晶体管)作为输入设备来实现,以实现小的建立时间和ck-q延迟。由DFE电路102生成的差分信号OUT中的电压电平一般不超过由核心晶体管使用的核心电压域VDDC的最大工作电压(例如,0.9伏)。

[0057] DFE电路102一般消除了在前连续时间线性均衡器(CTLE)和/或限幅放大器(LA)对输入信号的使用。与常见的设计相比,CTLE和LA电路的缺乏减少了引入到时序路径的传播延迟。DFE电路102可被配置以为信号IN中的信息提高数据眼高度并提高宽度shmoos结果。因为信号IN和参考电压信号VREF中的信息来自输入/输出电压域VDDIO(例如,1.2伏),所以DFE电路102一般被放在输入/输出电压域VDDIO之下。DFE电路102一般被配置为在差分信号OUT中产生合适的电压摆动。

[0058] 电路104可以实现参考电压(VREF)发生电路。VREF电路104可以操作为向DFE电路102的多个(例如,高达33)拷贝提供信号VREF中的固定参考电压。在一些实施例中,信号VREF可以被生成为输入/输出电压域VDDIO的一部分(例如,一半)。其它的参考电压可以被生成以满足特定实现的设计标准。在各种实施例中,参考电压发生器电路104的多个实例可以基于消耗信号VREF的DFE电路102的数量来实现。

[0059] 参考图4,示出了DFE电路102的示例实现的框图。DFE电路102一般包括块(或电路)110、块(或电路)112、块(或电路)114和块(或电路)116。电路114一般包括块(或电路)120和块(或电路)122。

[0060] 信号IN可以由电路110接收。电路110可以从电路116接收信号(例如,A1)。信号A1可以传送被用来调整信号IN中的数据的均衡值(或校正数据)。信号(例如,A2)可以由电路

110生成并传送到电路112。信号A2可以携带信号IN与信号A1之差。电路112可以生成信号OUT。信号OUT可以由电路120接收。电路120可以生成信号OUT(N)的延迟版本(例如,OUT(N-1))。信号OUT(N-1)可以由电路122接收。信号(例如,TAP)可以由电路122接收。信号TAP可以携带乘积值。电路122可以生成信号(例如,PN)。信号PN可以为信号IN中的数据提供校正信息。信号PN可以由电路116接收。

[0061] 电路110可以实现求和电路。电路110一般操作为将信号A1中的数据的逆求和到信号IN,以生成信号A2。信号A1中逆数据的相加(数据的相减)一般从信号IN中的数据减去后标记或前标记符号间干扰(ISI)。

[0062] 电路112可以实现限幅器电路。限幅器电路112可以操作为基于在信号VREF中接收到的参考电压将单端信号A2转换成差分信号OUT。信号OUT可以携带在信号A2中接收到的信息的整形版本。整形一般保留信息的电平部分,该部分代表在连续过渡之间的间隔中的信息的额定值。

[0063] 电路114可以实现DFE解码器电路。DFE解码器电路114一般操作为延迟在信号OUT中接收到的样本并且用乘法因子乘以该延迟的样本。结果得到的乘积可以被用来生成信号PN中的多个控制值。

[0064] 电路116可以实现放大器电路。放大器电路116一般操作为基于在信号PN中接收到的控制值生成信号A1。在各种实施例中,信号PN中的控制值可以被用来控制信号A1中的一对当前值。

[0065] 电路120可以实现延迟电路。延迟电路120一般操作为延迟(或缓冲)信号OUT的周期性样本。在采样时间N期间,延迟电路120可以存储并呈现在前一时间N-1取得的信号OUT的前一样本。在限幅器电路112在采样时间N期间呈现信号OUT(N)时,延迟电路120一般在采样时间N期间呈现信号OUT(N-1)。

[0066] 电路122可以实现K-抽头电路。K-抽头电路122一般操作为用在信号TAP中接收到的乘积值乘以信号OUT(N-1)中的样本。在各种实施例中,K-抽头电路122可以实现单抽头电路(例如,K=1)。乘积值和延迟样本的乘积可以控制信号PN中控制值的生成。

[0067] 参考图5,示出了DFE电路102的示例实现的示意图。DFE电路102一般将求和电路110集成到采样限幅器电路112中。前一数据位可以由限幅器电路112进行采样并传送到DFE解码器电路114。DFE解码器电路114一般利用信号TAP中的可编程权重系数实现DFE功能。信号A1中的一系列像输入的分支可以与限幅器电路112的主抽头输入对并联连接,以实现在信号IN/VREF和反馈信号A1中接收的电流的负求和。

[0068] 对于DFE电路102的从低到高过渡的建立时间可以是大约24至25皮秒(ps)。从高到低过渡的建立时间可以是大约26至27ps。建立时间是利用在1.2伏的输入/输出电压域VDDIO、在0.875伏和在摄氏25度的核心电压域的VDDC估计的。

[0069] 限幅器电路112一般接收信号IN中的模拟输入值和信号VREF中的参考输入值。信号A1可以被实现为信号的差分对(例如,A1N和A1P)。信号A1N和A1P一般将限幅器电路112连接到放大器电路116。信号A2可以被实现为输出信号的差分对(例如,A2N和A2P)。信号A2N和A2P可以在内部被路由到限幅器电路112。限幅器电路112可以生成在内部使用的差分信号(例如,A3N和A3P)。信号OUT可以由限幅器电路112作为信号的差分对(例如,OUTN和OUTP)生成。

[0070] 信号OUTN和OUTP可以由DFE解码器电路114接收。信号 TAP可以由DFE解码器电路114接收。信号PN可以被实现为多个控制信号(例如,N0、N1、N2、P0、P1和P2)。控制信号N0、N1、N2、P0、P1和P2可以将DFE解码器电路114连接到放大器电路116。时钟信号CLK可以由求和电路110和放大器电路116接收。信号CLK可以被用来区分采样周期(例如,N-2、N-1、N、N+1、N+2,等等)。

[0071] 限幅器电路112一般包括多个晶体管Q1至Q11和多个反相器 U1-U4。在各种实施例中,晶体管Q1至Q4、Q7、Q9和Q11可以被实现为NMOS晶体管。晶体管Q5、Q6、Q8和Q10可以被实现为 PMOS晶体管。其它晶体管类型可以被实现,以满足特定应用的设计标准。其中两个反相器(U1和U2)可以分别将信号A2N和A2P 反相,以生成信号A3P和A3N。其它两个反相器(U3和U4)可以被布置为锁存器。

[0072] 晶体管Q1至Q6可以被布置为差分放大器。信号IN可以由晶体管Q1的栅极接收。信号A1N可以连接到一个节点,该节点将晶体管Q1的漏极连接到晶体管Q3的源极。信号A2N可以连接到一个节点,该节点将晶体管Q3的漏极连接到晶体管Q5的源极。

[0073] 信号VREF可以由晶体管Q2的栅极接收。信号A1P可以连接到一个节点,该节点将晶体管Q2的漏极连接到晶体管Q4的源极。信号A2P可以连接到一个节点,该节点将晶体管Q4的漏极连接到晶体管Q6的源极。

[0074] 晶体管Q1和Q2的源极可以连接到晶体管Q7的漏极。晶体管 Q7的栅极可以接收信号CLK。晶体管Q7的源极可以连接到信号地。

[0075] 晶体管Q3和Q4的栅极可以交叉耦合到相对的源极。晶体管Q5和Q6的栅极可以交叉耦合到相对的源极。晶体管Q3和Q4的漏极可以连接到晶体管Q5和Q6的各自的源极。晶体管Q5和Q6的漏极可以连接到核心电压域VDDC。

[0076] 晶体管Q8的栅极可以接收信号A2P。晶体管Q9的栅极可以接收信号A3P。晶体管Q8和Q9可被配置为分别拉高和拉低锁存器的生成信号OUTN的一端。晶体管Q10的栅极可以接收信号A2N。晶体管Q11的栅极可以接收信号A3N。晶体管Q10和Q11可被配置为分别拉高和拉低锁存器的生成信号OUTP的另一端。

[0077] 放大器电路116一般包括多个晶体管Q12至Q23。在各种实施例中,晶体管Q12至Q23可以被实现为NMOS晶体管。其它晶体管类型可以被实现,以满足特定应用的设计标准。

[0078] 晶体管Q12和Q14可被配置为分别由信号P0和N0控制的拉低晶体管的差分对。晶体管Q16和Q18可被配置为分别由信号P1和 N1控制的拉低晶体管的差分对。晶体管Q20和Q22可被配置为分别由信号P2和N2控制的拉低晶体管的差分对。晶体管Q12、Q16和 Q20的漏极可被连接在一起,以生成信号A1N。晶体管Q14、Q18 和Q22的漏极可被连接在一起,以生成信号A1P。晶体管Q13至 Q23的栅极可以接收信号CLK。

[0079] 晶体管Q13和15可以基于信号CLK选择性地将晶体管Q12和 Q14耦合到信号地。晶体管Q17和19可以基于信号CLK选择性地将晶体管Q16和Q18耦合到信号地。晶体管Q21和23可以基于信号CLK选择性地将晶体管Q20和Q22耦合到信号地。晶体管Q12 至Q23的尺寸可以被设计成具有不同的权重,从而实现DFE可编程性。

[0080] 参考图6,示出了K-抽头电路122的示例实现的示意图。K-抽头电路122一般包括多个逻辑门U5至U22。在各种实施例中,逻辑门U5至U22可以实现布尔NAND门。

[0081] 门可以被布置为三个门的集合,U5至U7、U8至U10、U11至 U13、U14至U16、U17至

U19,以及U20至U22。每个三门集合中的两个输入门(例如,输入门U5和U6、U8和U9、U11和U12,等等)可以被实现为三输入NAND门。每个输入门可以接收来自信号 TAP和或者信号 OUTP或者信号OUTN的两个分量(例如,TAP0、TAP1、TAP2和TAP3)。每个三门集合中的输出门(例如,输出门 U7、U10,等等)可以被实现为两输入NAND门。每个输出门可以从两个对应的输入门当中每一个接收输出信号。每个输出门可以生成各自的信号P0、P1、P2、N0、N1和N2。K-抽头电路122的其它设计可以被实现,以满足特定应用的设计标准。

[0082] 参考图7,示出了两个数据眼图142和144的图表。数据眼图142和144是基于晶体管级模拟来评估1-抽头DFE性能。x轴可以表示时间。y轴可以表示信号电压。

[0083] 数据眼图142一般示出没有DFE能力的接收器性能。数据眼图144一般示出具有DFE能力的接收器性能。与图142相比,图144一般在x轴(时间)和y轴(电压)都示出了显著的改进(例如,更宽的数据眼)。

[0084] 在各种实施例中,DFE电路102可以适用于在DDR4应用中常常会出现的许多问题。例如,用于寄存器缓冲器的信号通道中的传输特性会在不同的客户之间变化。DFE电路102中均衡器操作的可编程特征一般使数据能够从各种传输特性和通道损耗得到恢复。接收器传播延迟会受同步数字设计中时序预算的限制。通过DFE电路102的短延迟一般对时序预算有小的影响。此外,DFE电路102在正常操作可以执行之前不利用来自主机发送器的训练程序。因而,在接收器开启时不正确地采样初始数据位的潜在危险可以被消除。

[0085] 虽然图3一般在接收信息的同时在RCD电路100的情境中示出了DFE电路102,但DFE电路102的拷贝可以在其它位置、其它数据路径和/或其它控制路径实现。在一些实施例中,DFE电路102的拷贝可以位于数据缓冲器电路90a-90n中,以改善在写周期期间从存储器控制器20接收的信号。在各种实施例中,DFE电路102的拷贝可以位于数据总线30的另一端,以改善由存储器模块50a-50n生成并由存储器控制器20接收的各种信号。例如,存储器控制器20可以包括DFE电路102的拷贝,以均衡在读周期期间在来自存储器模块 50a-50n的信号DQa-DQn中所发送的读出数据。DFE电路102的实例也可以在存储器模块50a-50n中的其它电路中实现。

[0086] 虽然本发明的实施例已在DDR4应用的情境中进行了描述,但本发明并不限于DDR4应用,而是也可以在其它高数据率数字通信应用中应用,其中不同的传输线效应、交叉耦合效应、行波失真、相位变化、阻抗失配和/或线路不平衡可能存在。本发明解决了与高速通信、灵活时钟结构、指定的命令集和有损传输线相关的问题。DDR的后代可以被预期提供增加的速度、更大的灵活性、附加的命令和不同的传播特性。本发明还可以适用于与或者现有的(传统)存储器规范或将来的存储器规范兼容地实现的存储器系统。

[0087] 图1至6的图示中示出的功能和结构可以使用传统的通用处理器、数字计算机、微处理器、微控制器、分布式计算机资源和/或类似的计算机中的一个或多个来设计、建模、模拟和/或仿真,根据本说明书的教导来程序化,这对本领域技术人员是清楚的。熟练的程序员基于本公开的教导可以容易的准备适合的软件、固件、代码、例程、指令、操作码、微码和/或编程模块,这对本领域技术人员是清楚的。软件一般嵌入一个介质或几个介质中(例如,非暂态存储介质),并且可以由处理器中的一个或多个顺序地或并行执行。

[0088] 本发明的实施例可以以如下中的一个或多个来实现:ASIC(专用集成电路)、FPGA(现场可编程门阵列)、PLD(可编程逻辑器件)、CPLD(复杂可编程逻辑器件)、门海、ASSP(专

用标准产品)和集成电路。可以基于一种或多种硬件描述语言实现电路。可以联系闪存存储器、非易失性存储器、随机存取存储器、只读存储器、磁盘、软盘,光盘(诸如DVD和DVD RAM)、磁光盘和/或分布式存储系统来使用本发明的实施例。

[0089] 当在本文中结合“是”和动词使用时,术语“可以”和“一般”是要传达描述是示例性的并且被相信广泛到足以既涵盖在本公开内容中给出的具体例子又涵盖可以基于该公开内容得出的备选例子的意图。如在本文所使用的,术语“可以”和“一般”不应当被认为是必然暗示忽略对应元素的期望或可能性。如本文中使用的,术语“同时地”意在描述共享一些公共时段的事件,但是术语并不意在将事件限制为在同样的时间点开始、在同样的时间点结束或具有相同的持续时间。

[0090] 虽然参考其实施例具体地示出和描述了本发明,但是本领域技术人员应当理解,在不脱离本发明的范围的情况下,可以对本发明的形式和细节做出各种改变。

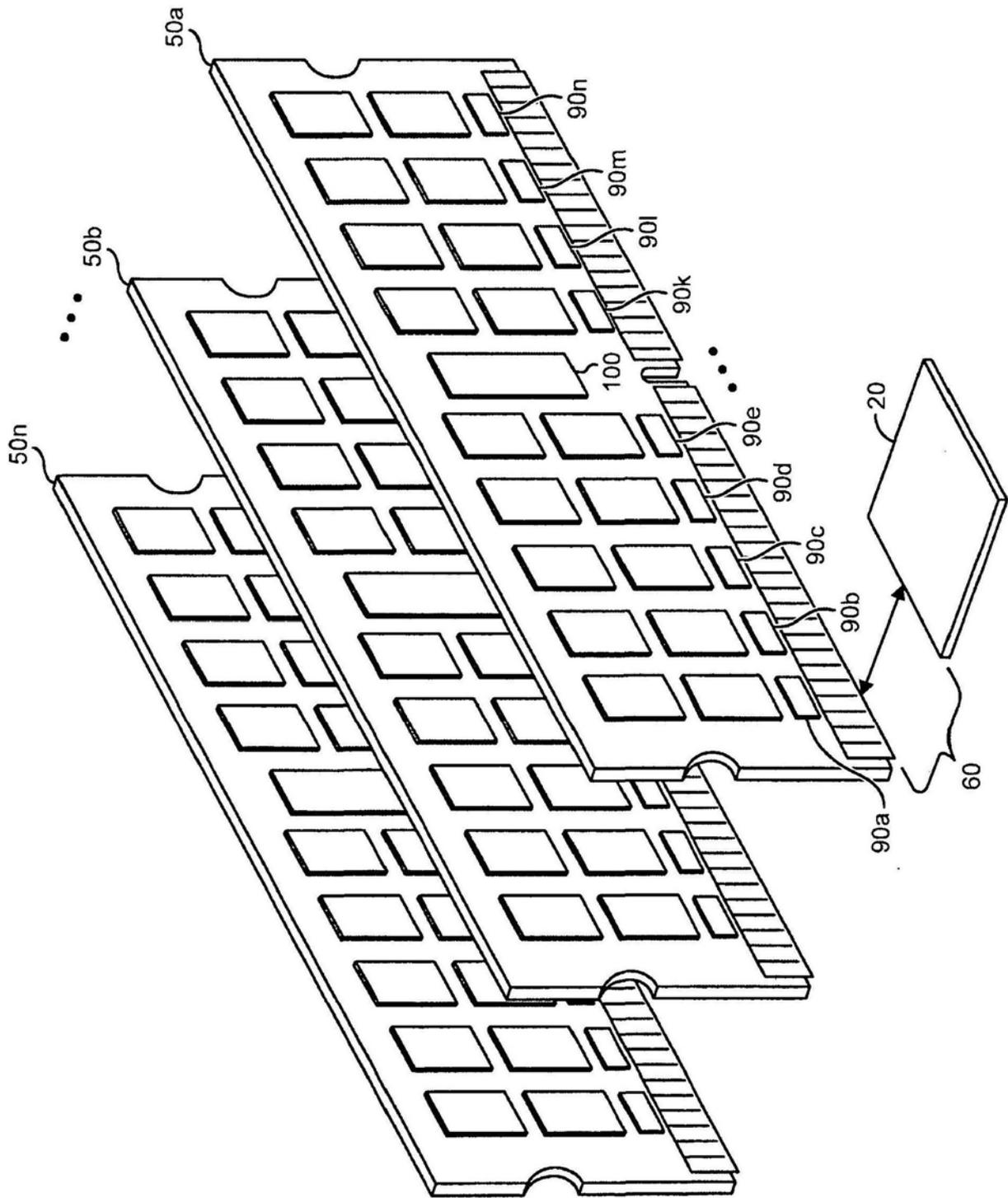


图1

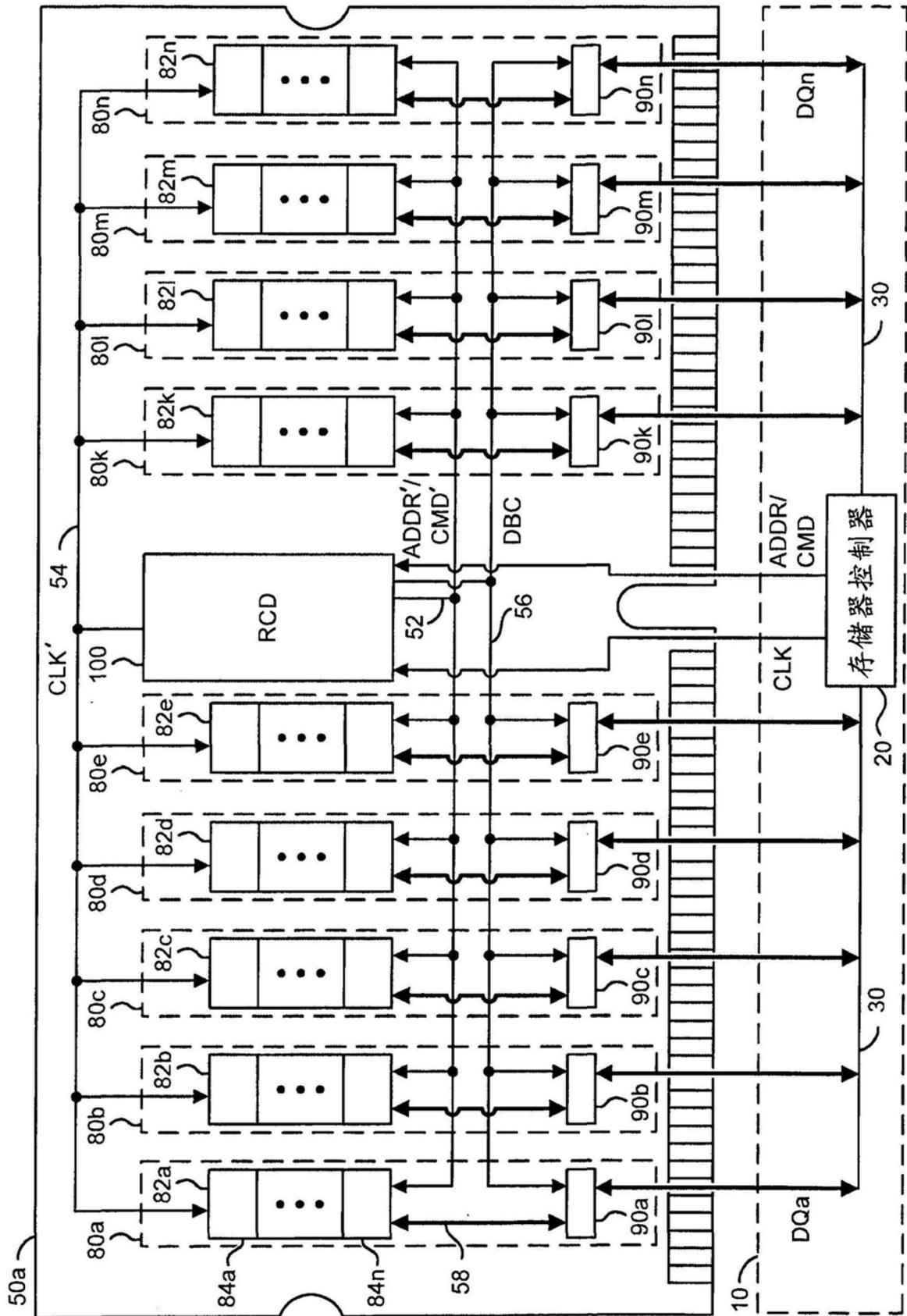


图2

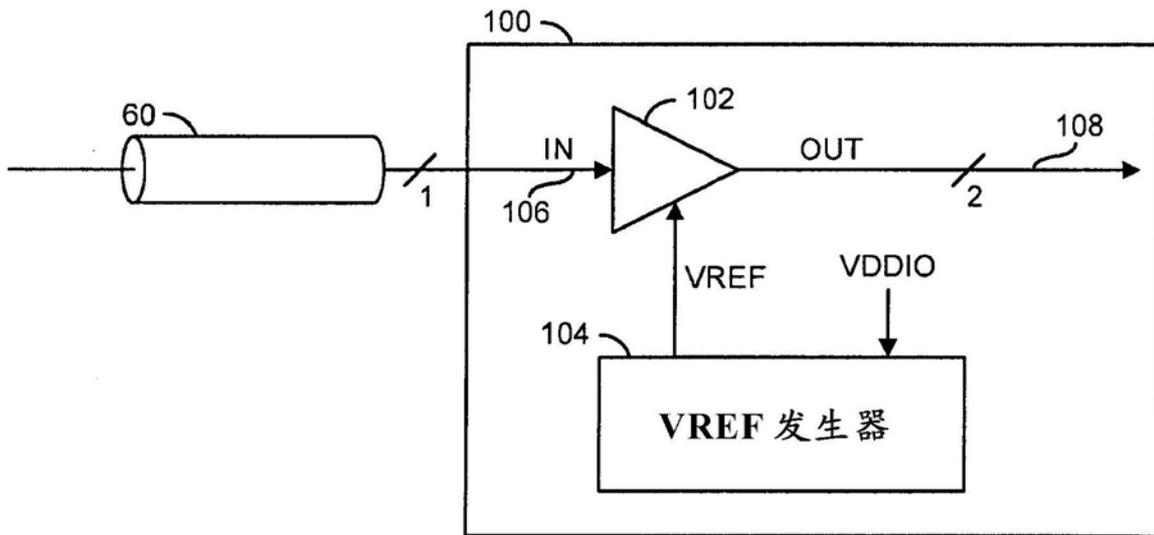


图3

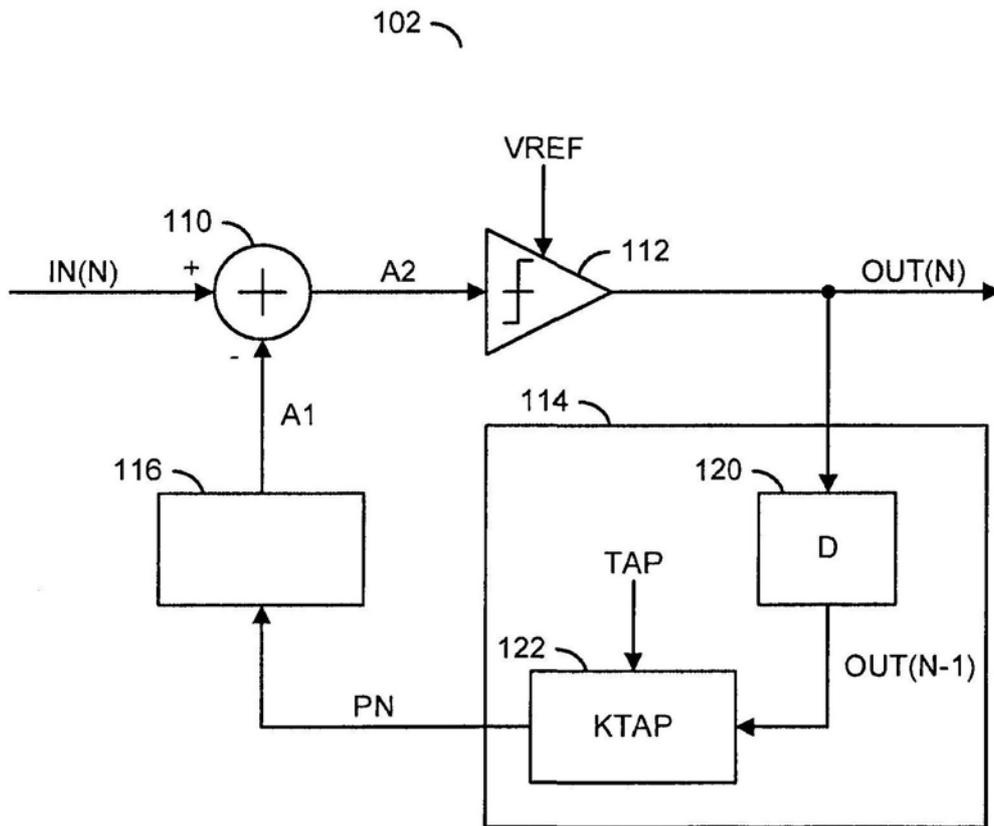


图4

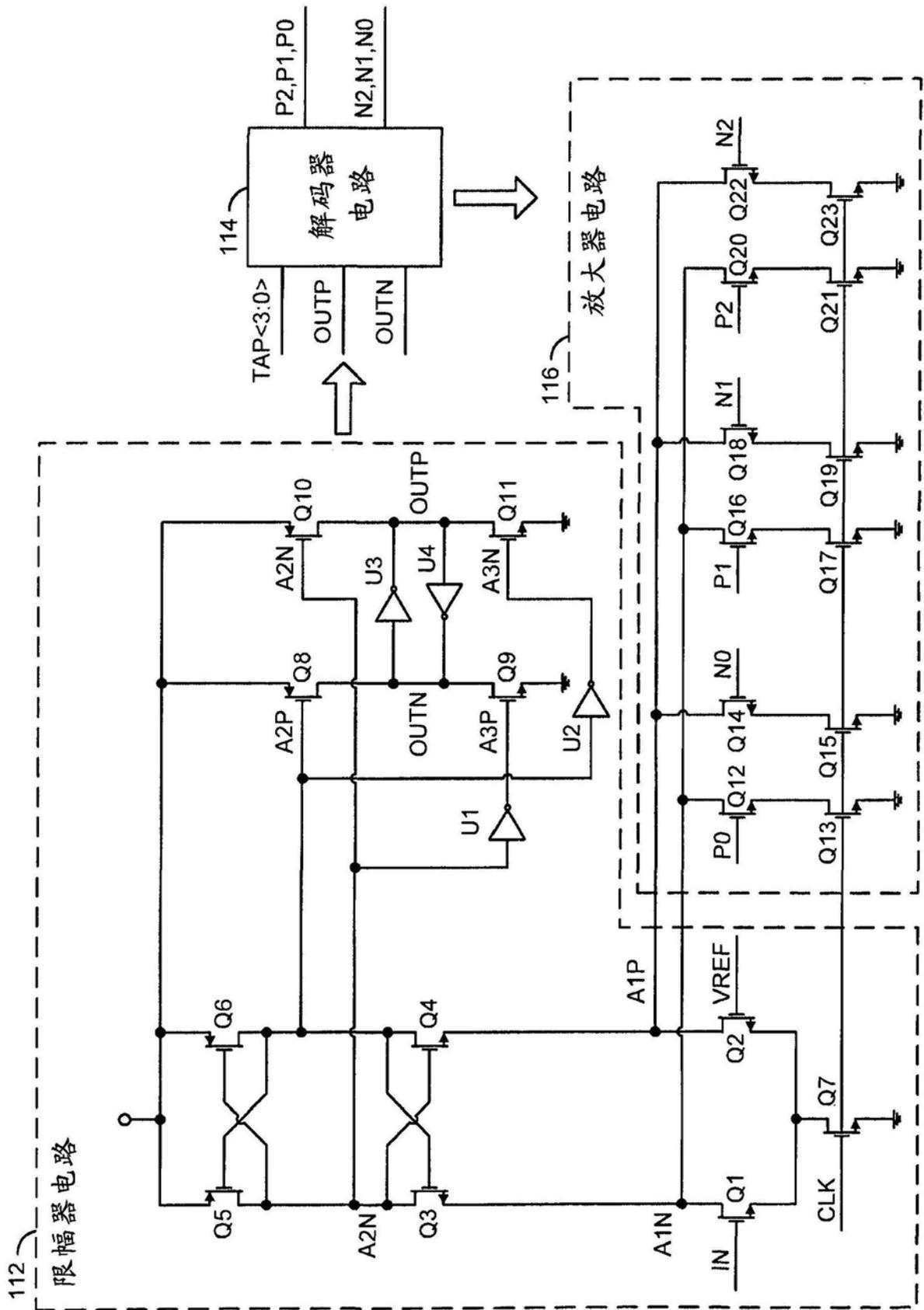


图5

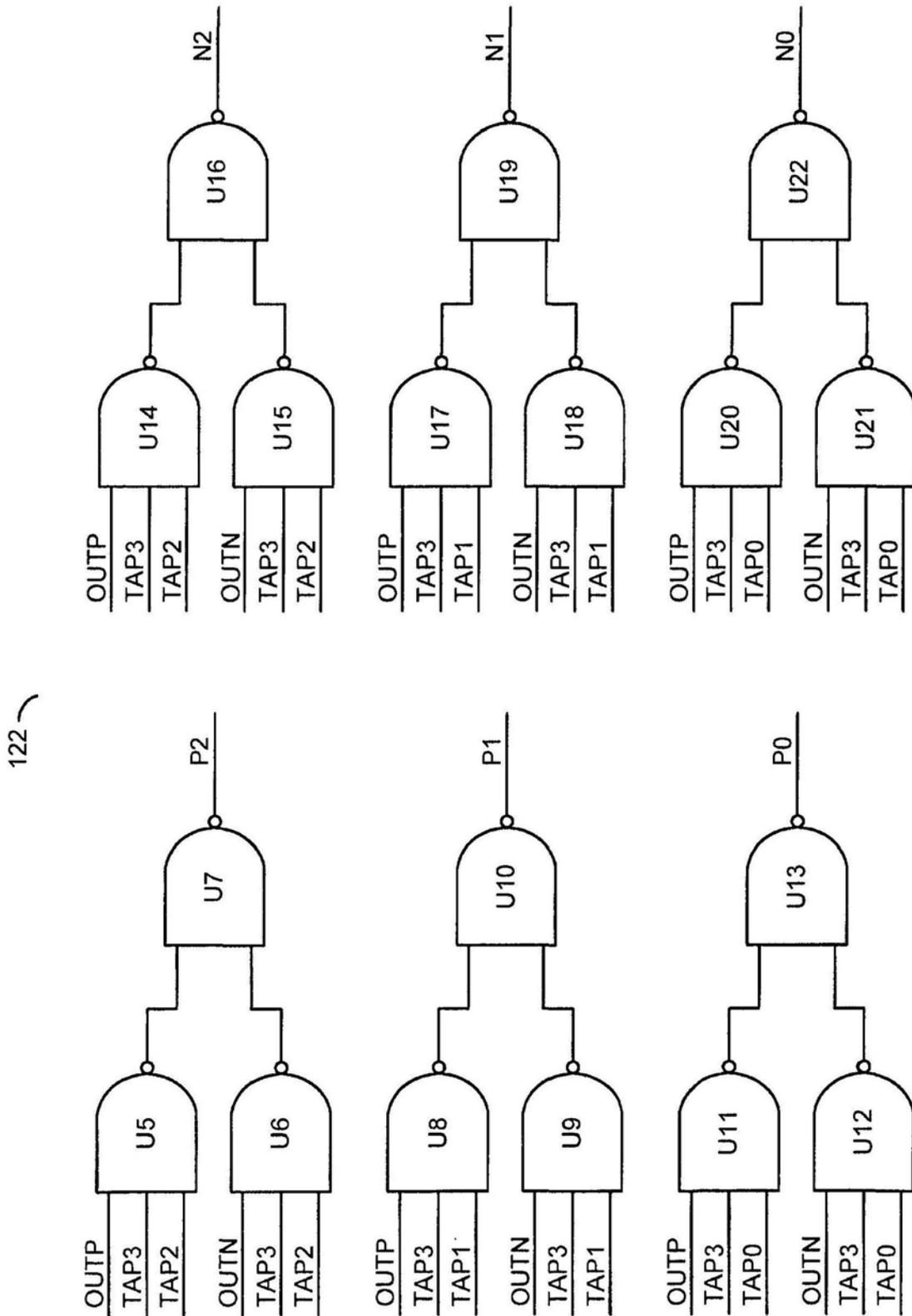


图6

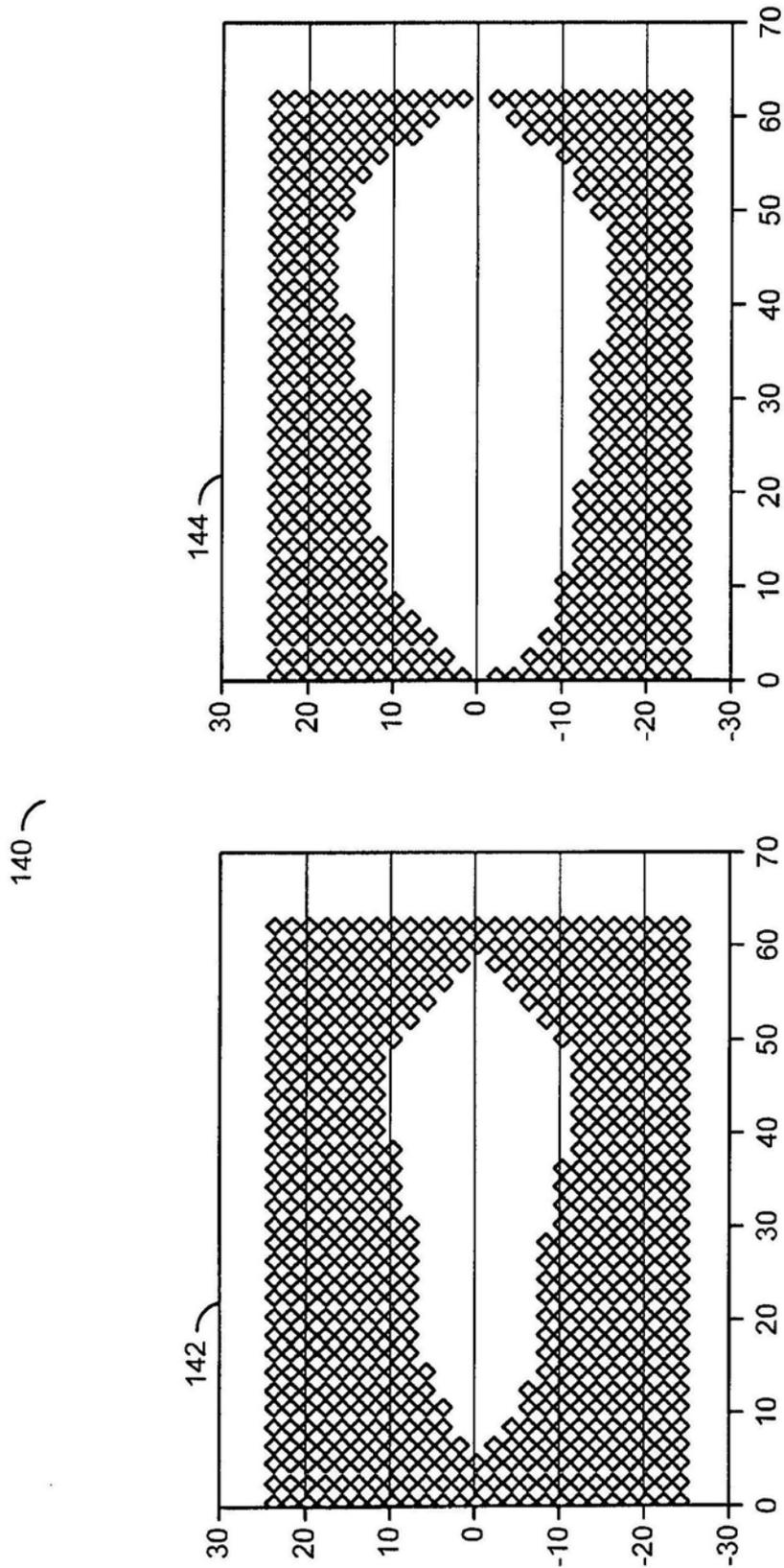


图7