

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021年5月6日 (06.05.2021)



(10) 国际公布号
WO 2021/083327 A1

(51) 国际专利分类号:
G09G 3/00 (2006.01)

(21) 国际申请号: PCT/CN2020/125254

(22) 国际申请日: 2020年10月30日 (30.10.2020)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201911063446.8 2019年10月31日 (31.10.2019) CN

(71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路10号, Beijing 100015 (CN)。合肥鑫晟光电科技有限公司 (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省合肥市新站区工业园内, Anhui 230012 (CN)。

(72) 发明人: 李广耀 (LI, Guangyao); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。王东方 (WANG, Dongfang); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。汪军 (WANG, Jun); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。王海涛 (WANG, Haitao); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。王庆贺 (WANG, Qinghe); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。倪柳松 (NI, Liusong); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。黄先纯 (HUANG, Xianchun); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。胡洋 (HU, Yang); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。陈皖青 (CHEN, Wanqing); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。周超

(54) Title: ARRAY SUBSTRATE LATENT FAULT EXCITATION METHOD AND ARRAY SUBSTRATE LATENT FAULT DETECTION METHOD

(54) 发明名称: 阵列基板潜在故障激发及检测方法

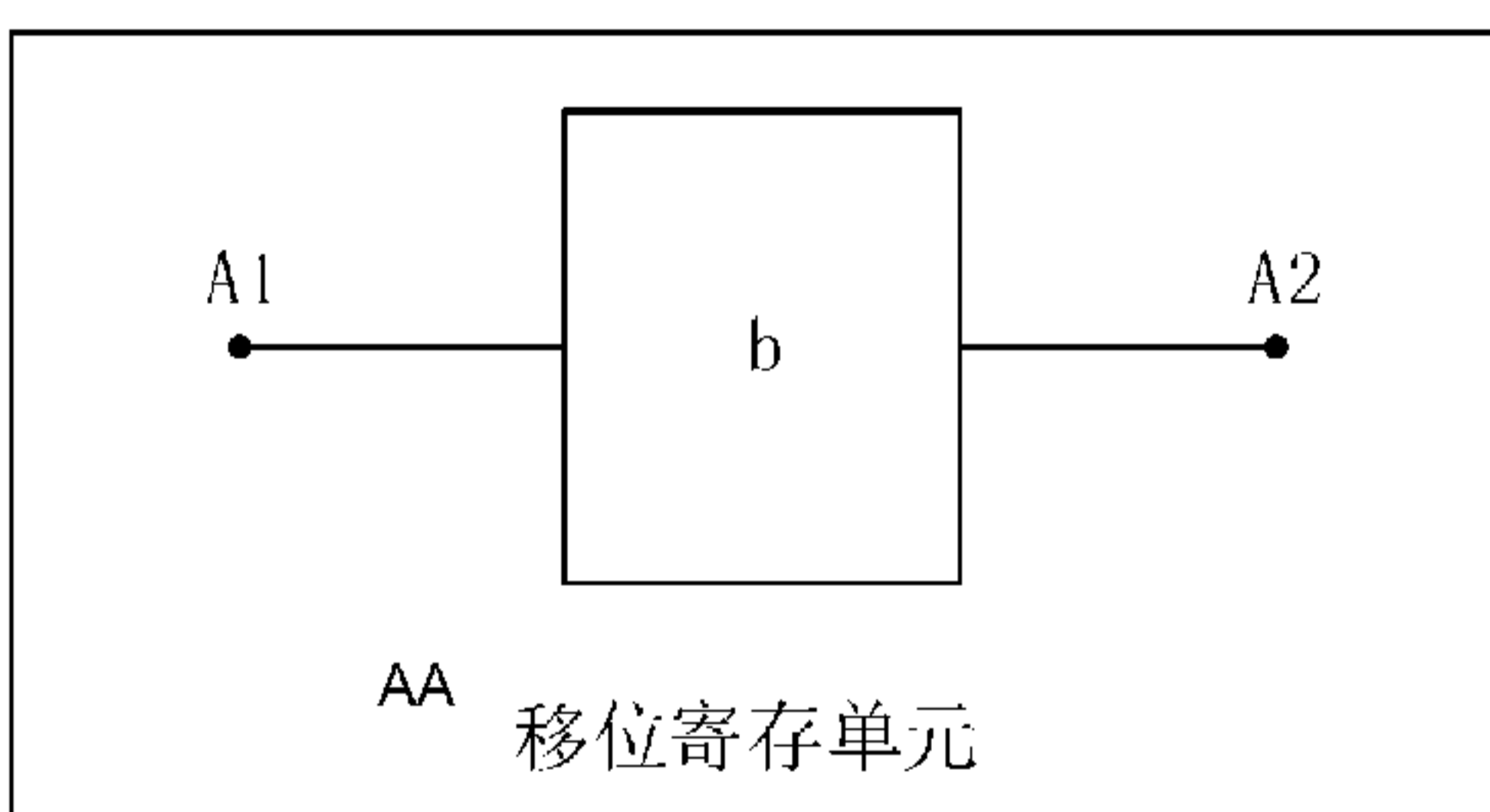


图 2

AA Shift register unit

(57) Abstract: An array substrate latent fault excitation method and an array substrate latent fault detection method. The array substrate comprises a gate driver area, and the gate driver area comprises a shift register unit. The excitation method comprises: select a first detection point (A1) and a second detection point (A2) in the shift register unit, there being a sub-circuit (b) between the first detection point (A1) and the second detection point (A2); within a preset time period, apply a control signal to the sub-circuit (b), and set the voltage difference between the first detection point (A1) and the second detection point (A2) to a preset voltage difference; in response to the control signal, the voltage difference between the first detection point (A1) and the second detection point (A2), and no latent fault in the sub-circuit (b), the sub-circuit (b) does not conduct; in response to the control signal, the voltage difference between the first detection point (A1) and the second detection point (A2), and the existence of a latent fault in the sub-circuit (b), the latent fault is excited as an actual fault.



WO 2021/083327 A1

(ZHOU, Chao); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 北京天昊联合知识产权代理有限公司(TEE&HOWE INTELLECTUAL PROPERTY ATTORNEYS); 中国北京市东城区东长安街1号东方广场东方经贸城西一办公楼5层1, 6-12室顾丽波, Beijing 100738 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种阵列基板潜在故障激发及检测方法。阵列基板包括栅极驱动区域, 栅极驱动区域包括移位寄存单元。该方法包括: 在移位寄存单元中选择第一检测点(A1)和第二检测点(A2), 在第一检测点(A1)和第二检测点(A2)之间存在子电路(b); 在预设时长内, 向子电路(b)施加控制信号, 并将第一检测点(A1)与第二检测点(A2)之间的压差设置为预设压差; 响应于控制信号、第一检测点(A1)与第二检测点(A2)之间的压差以及子电路(b)不存在潜在故障, 子电路(b)不导通; 响应于控制信号、第一检测点(A1)与第二检测点(A2)之间的压差以及子电路(b)存在潜在故障, 该潜在故障被激发为实际故障。

阵列基板潜在故障激发及检测方法

相关申请的交叉引用

本申请要求于 2019 年 10 月 31 日在中国知识产权局提交的申请号为
5 201911063446.8 的中国专利申请的优先权，该中国专利申请的全部公开内
容通过引用合并于此。

技术领域

本申请涉及显示技术领域，具体而言，本申请涉及一种阵列基板潜在
10 故障激发及检测方法。

背景技术

有机发光二极管（Organic Light-Emitting Diode, OLED）产品具有轻
薄、亮度高、功耗低、柔性好等优点，因此具有良好的应用前景。制约
15 OLED 产品发展的主要原因是 OLED 的生产成本较高，而造成 OLED 生产
成本较高的主要原因是蒸镀制程的成本高。因此，需要对阵列基板进行测
试，以避免存在故障的阵列基板进入到蒸镀制程。

发明内容

20 一方面，本公开提供了一种阵列基板潜在故障激发方法，所述阵列基
板包括栅极驱动区域，所述栅极驱动区域包括移位寄存单元，其中，所述
方法包括：

在所述移位寄存单元中选择第一检测点和第二检测点，在所述第一检
测点和所述第二检测点之间存在子电路；

25 在预设时长内，向所述子电路施加控制信号，并将所述第一检测点与
所述第二检测点之间的压差设置为预设压差，

响应于所述控制信号、所述第一检测点与所述第二检测点之间的压差
以及所述子电路不存在潜在故障，所述子电路不导通；响应于所述控制信

号、所述第一检测点与所述第二检测点之间的压差以及所述子电路存在潜在故障，所述潜在故障被激发为实际故障。

5 在一些实施例中，所述栅极驱动电路包括导电层和绝缘层；所述潜在故障包括以下中的至少一种：所述绝缘层的潜在裂纹、所述导电层的潜在裂纹和位于所述导电层和所述绝缘层之间的颗粒物；所述实际故障包括以下中的至少一种：所述绝缘层的潜在裂纹恶化所导致的所述子电路短路、所述导电层的潜在裂纹恶化所导致的所述子电路的断路、和位于所述导电层和所述绝缘层之间的颗粒物使得所述绝缘层开裂所导致的所述子电路的短路。

10 在一些实施例中，所述预设压差范围为 10V~70V。

在一些实施例中，所述预设时长为 10S~30S。

15 在一些实施例中，所述阵列基板还包括扫描信号线，所述移位寄存单元还包括至少一个信号输出端，所述信号输出端与所述扫描信号线连接，响应于所述控制信号、所述第一检测点与所述第二检测点之间的压差以及所述子电路不存在潜在故障，所述子电路不导通包括：响应于所述控制信号、所述第一检测点与所述第二检测点之间的压差以及所述子电路不存在潜在故障，所述子电路不导通以使所述信号输出端不向所述扫描信号线输出信号。

20 在一些实施例中，所述移位寄存单元包括上拉节点、下拉节点和电源电压输入端，所述电源电压输入端包括第一电源电压输入端。所述移位寄存单元包括反相器，所述上拉节点连接至所述反相器的输入端，所述第一电源电压输入端连接至所述反相器的低电源电压供应端，所述下拉节点连接至所述反相器的输出端。

在一些实施例中，所述反相器包括第一晶体管和第二晶体管，

25 所述第一晶体管的第一极和控制极连接至高电源电压供应端，所述第一晶体管的第二极连接至所述下拉节点，

所述第二晶体管的第一极连接所述下拉节点，所述第二晶体的控制极连接所述上拉节点，所述第二晶体的第二极连接所述第一电源电压输

入端。

在一些实施例中，所述移位寄存单元还包括第三晶体管和第四晶体管，
所述第三晶体管的第一极连接至所述上拉节点，所述第三晶体管的第
5 二极连接至所述第一电源电压输入端，所述第三晶体管的控制极连接至所
述下拉节点；

所述第四晶体管的第一极连接至所述上拉节点，所述第四晶体管的第
二极连接至所述第一电源电压输入端，所述第四晶体管的控制极连接至所
述移位寄存单元的下级级联输入端。

在一些实施例中，所述移位寄存单元还包括第五晶体管，

10 所述第五晶体管的第一极连接至第一时钟信号输入端，所述第五晶体
管的第二极连接至所述移位寄存单元的本级级联输出端，所述第五晶体
管的控制极连接至所述上拉节点。

在一些实施例中，所述移位寄存单元还包括第六晶体管和第一电容器，

15 所述第六晶体管的第一极连接至第二时钟信号输入端，所述第六晶体
管的第二极连接至所述信号输出端，所述第六晶体管的控制极连接至所述
上拉节点。

在一些实施例中，所述电源电压输入端包括第二电源电压输入端，所
述移位寄存单元包括第七晶体管，

20 所述第七晶体管的第一极连接至所述信号输出端，所述第七晶体管的
第二极连接至所述第二电源电压输入端，所述第七晶体管的控制极连接至
复位电压端。

在一些实施例中，所述方法包括：

选择所述上拉节点作为所述第一检测点，并且选择所述电源电压输入
端作为所述第二检测点；

25 向所述上拉节点与所述电源电压输入端之间的第一子电路施加第一
控制信号；

在第一预设时长内，将所述上拉节点与所述电源电压输入端之间的压
差设置为第一预设压差；

响应于所述第一控制信号、所述上拉节点与所述电源电压输入端之间的压差以及所述第一子电路不存在潜在故障，所述第一子电路不导通；响应于所述第一控制信号、所述上拉节点与所述电源电压输入端之间的压差以及所述第一子电路存在潜在故障，所述潜在故障被激发为实际故障。

5 在一些实施例中，所述移位寄存单元还包括第八晶体管、第九晶体管和第三电容器，

所述第八晶体管的第一极连接至第三电源电压输入端，所述第八晶体管的第二极连接至第九晶体管的第一极，所述第八晶体管的控制极连接至所述第三电容器的第一端；

10 所述第三电容器的第二端连接至所述第三电源电压输入端；

所述第九晶体管的第二极连接至所述上拉节点，所述第九晶体管的控制极连接至第三时钟信号端，

将所述上拉节点与所述电源电压输入端之间的压差设置为第一预设压差包括：

15 在所述电源电压输入端输入第一电压信号，以使所述电源电压输入端处于第一电位；

在所述第三电源电压输入端输入第二电压信号，在所述第三时钟信号输入端输入第一时钟信号，以使所述上拉节点处于第二电位，其中，所述第二电位与所述第一电位的差值的绝对值为所述第一预设压差。。

20 在一些实施例中，所述方法包括：

选择所述下拉节点作为所述第一检测点，并且选择所述电源电压输入端作为所述第二检测点；

向所述下拉节点与所述电源电压输入端之间的第二子电路施加第二控制信号；

25 在第二预设时长内，将所述下拉节点与所述电源电压输入端之间的压差设置为第二预设压差；

响应于所述第二控制信号、所述下拉节点与所述电源电压输入端之间的压差以及所述第二子电路不存在潜在故障，所述第二子电路不导通；响

应于所述第二控制信号、所述下拉节点与所述电源电压输入端之间的压差以及所述第二子电路存在潜在故障，所述潜在故障被激发为实际故障。

在一些实施例中，所述方法包括：

选择所述本级级联输出端作为所述第一检测点，并且选择所述电源电
5 压输入端作为所述第二检测点；

向所述本级级联输出端与所述电源电压输入端之间的第三子电路施加第三控制信号；

在第三预设时长内，将所述本级级联输出端与所述电源电压输入端之间的压差设置为第三预设压差；

10 响应于所述第三控制信号、所述本级级联输出端与所述电源电压输入端之间的压差以及所述第三子电路不存在潜在故障，所述第三子电路不导通；响应于所述第三控制信号、所述本级级联输出端与所述电源电压输入端之间的压差以及所述第三子电路存在潜在故障，所述潜在故障被激发为实际故障。

15 另一方面，本公开提供了一种阵列基板的故障检测方法，包括：

根据本公开的阵列基板潜在故障激发方法，以及

对所述栅极驱动区域进行信赖性检测，并根据检测结果判断所述阵列基板是否存在故障。

20 附图说明

本申请上述的和/或附加的方面和优点从下面结合附图对实施例的描述中将变得明显和容易理解，其中：

图 1 为阵列基板 GOA 区域存在潜在故障的原理示意图；

25 图 2 为本申请实施例提供的一种移位寄存单元的潜在故障激发的原理示意图；

图 3 为本申请实施例提供的一种阵列基板 GOA 区域的潜在故障激发方法的流程示意图；

图 4 为本申请实施例提供的一种阵列基板的移位寄存单元与信号扫

描线的连接示意图；

图 5 为本申请实施例提供的上拉节点与电源电压输入端之间的潜在故障激发的原理示意图；

5 图 6 为本申请实施例提供的上拉节点与电源电压输入端之间的潜在故障激发方法的流程示意图；

图 7 为本申请实施例提供的一种移位寄存单元的第一局部电路示意图；

图 8 为本申请实施例提供的上拉节点与电源电压输入端之间的潜在故障激发方法中步骤 S11a 的流程示意图；

10 图 9 为本申请实施例提供的下拉节点与电源电压输入端之间的潜在故障激发的原理示意图；

图 10 为本申请实施例提供的下拉节点与电源电压输入端之间的潜在故障激发方法的流程示意图；

15 图 11 为本申请实施例提供的一种移位寄存单元的第二局部电路示意图；

图 12 为本申请实施例提供的下拉节点与电源电压输入端之间的潜在故障激发方法中步骤 S11b 的流程示意图；

图 13 为本申请实施例提供的本级级联输出端与电源电压输入端之间的潜在故障激发的原理示意图；

20 图 14 为本申请实施例提供的本级级联输出端与电源电压输入端之间的潜在故障激发方法的流程示意图；

图 15 为本申请实施例提供的一种移位寄存单元的第三局部电路示意图；

25 图 16 为本申请实施例提供的本级级联输出端与电源电压输入端之间的潜在故障激发方法中步骤 S11c 的流程示意图；

图 17 为一种具体的移位寄存单元的电路结构示意图。

具体实施方式

下面详细描述本申请，本申请的实施例的示例在附图中示出，其中自

始至终相同或类似的标号表示相同或类似的部件或具有相同或类似功能的部件。此外，如果已知技术的详细描述对于示出的本申请的特征是不必要的，则将其省略。下面通过参考附图描述的实施例是示例性的，仅用于解释本申请，而不能解释为对本申请的限制。

5 本技术领域技术人员可以理解，除非另外定义，这里使用的所有术语（包括技术术语和科学术语），具有与本申请所属领域中的普通技术人员的一般理解相同的意义。还应该理解的是，诸如通用字典中定义的那些术语，应该被理解为具有与现有技术的上下文中的意义一致的意义，并且除非像这里一样被特定定义，否则不会用理想化或过于正式的含义来解释。

10 本技术领域技术人员可以理解，除非特意声明，这里使用的单数形式“一”、“一个”、“所述”和“该”也可包括复数形式。应该进一步理解的是，本申请的说明书中使用的措辞“包括”是指存在所述特征、整数、步骤、操作、元件和/或组件，但是并不排除存在或添加一个或多个其他特征、整数、步骤、操作、元件、组件和/或它们的组。应该理解，当我们称元件
15 被“连接”或“耦接”到另一元件时，它可以直接连接或耦接到其他元件，或者也可以存在中间元件。此外，这里使用的“连接”或“耦接”可以包括无线连接或无线耦接。这里使用的措辞“和/或”包括一个或更多个相关联的列出项的全部或任一单元和全部组合。

 针对阵列基板 GOA（Gate Drive On Array，阵列基板栅极驱动）区域
20 的信赖性测试，是阵列基板的重要测试之一。GOA 区域存在的实际故障很容易在信赖性测试中检测出来。但是，GOA 区域存在的潜在故障在没有恶化而转变为实际故障之前，不会引发功能性问题。因此，潜在故障难以在信赖性测试中检测出来。

 这些潜在故障随时可能在后续制程或 OLED 产品的使用中转变为实
25 际故障。如果这些存在潜在故障的阵列基板进入后续制程，一方面会造成资源的浪费，使得生产成本增加，另一方面这些存在潜在故障的 OLED 产品的使用寿命远低于正常的 OLED 产品，并不适宜流入市场。

 如图 1 所示，阵列基板的 GOA 区域包括：第一导电层 1、第二导电

层 3 以及位于第一导电层 1 和第二导电层 3 之间的绝缘膜层 2。绝缘膜层 2 可能存在应力集中区，例如，尚未完全开裂的裂纹 21 以及位于第二导电层 3 与绝缘膜层 2 之间的颗粒物 P。裂纹 21 在完全开裂前是不会导致第一导电层 1 和第二导电层 3 短路的；此外，颗粒物在没有引起绝缘膜层 2 鼓起以至于开裂之前，也不会导致第一导电层 1 和第二导电层 3 短路。因此，在对 GOA 区域进行信赖性测试时，这些潜在故障并不会被检测出来。

若第一导电层 1 或第二导电层 3 存在尚未完全开裂的裂纹，虽然当前的 GOA 电路依然可以正常工作，但一旦裂纹完全开裂，则导电层断裂会导致 GOA 电路出现局部断路，从而使得阵列基板失效。

本申请中所说的潜在故障主要是指目前并未造成阵列基板的 GOA 电路的功能性失效，但经过后续制程，或者一段使用时间之后，则会引起 GOA 电路的功能性失效的不良因素。例如，膜层中尚未完全开裂的裂纹、位于膜层间的颗粒物等。

本申请提供的阵列基板潜在故障激发及检测方法旨在至少部分地解决现有技术的如上技术问题。

下面以具体地实施例对本申请的技术方案以及本申请的技术方案如何解决上述技术问题进行详细说明。

本申请实施例提供了一种阵列基板的潜在故障激发方法，请参见图 2，栅极驱动区域，即 GOA 区域，包括导电层和绝缘层，导电层和绝缘层形成栅极驱动电路，栅极驱动电路包括多个级联的移位寄存单元，移位寄存单元包括第一检测点 A1、第二检测点 A2 以及连接在第一检测点 A1 和第二检测点 A2 之间的子电路 b。如图 3 所示，本实施例提供的阵列基板的潜在故障激发方法包括：

S1，在预设时长内，将第一检测点 A1 与第二检测点 A2 之间的压差设置为预设压差 ΔV ，并且对子电路 b 施加控制信号，使得：在子电路 b 不存在潜在故障的情况下，子电路 b 不导通以防止预设压差 ΔV 损坏所述阵列基板，并且在子电路 b 存在潜在故障的情况下，该潜在故障在预设压差 ΔV 的作用下被激发为实际故障。

本实施例提供的阵列基板的潜在故障激发方法，能够对阵列基板 GOA 区域的潜在故障进行激发，以使潜在故障转变为实际故障，从而能够在信赖性测试中被检测出来。这样，存在潜在故障的阵列基板被拦截在后续制程之前，这不仅有利于降低生产成本，而且有利于提高生产的良品率；并且，当子电路不存在潜在故障时，该子电路不会导通，避免了施加在两个检测点之间的电压对该子电路造成破坏，有利于防止该潜在故障激发方法对阵列基板产生破坏。

具体地，预设压差 ΔV 对潜在故障的激发，一方面是基于电压本身对阵列基板的 GOA 区域的各膜层的影响，另一方面是基于电加热作用对 GOA 区域的各膜层的影响，从而使得潜在故障能够被激发为实际故障。

本实施例提供的潜在故障激发方法中，潜在故障包括：绝缘层的潜在裂纹、导电层的潜在裂纹和/或位于导电层和绝缘层之间的颗粒物；实际故障包括：绝缘层的潜在裂纹恶化所导致的子电路短路、导电层的潜在裂纹导致的子电路断路、和/或位于导电层和绝缘层之间的颗粒物使得绝缘层开裂所导致的子电路短路。本实施例中所说的潜在裂纹是指尚未完全开裂的裂纹或者仅是应力集中还尚未形成的裂纹。

本实施例提供的潜在故障激发方法，是利用电压作用，使绝缘层中的潜在裂纹恶化，或者使得绝缘膜层在颗粒物的作用下开裂，从而使位于绝缘层两侧的导电层发生短路，或者是使得导电层的潜在裂纹恶化从而使该导电层断路，即转变为实际故障，进而能够在之后的信赖性测试中检测出来。

本申请提出的潜在故障激发方法可以用于对 OLED 显示装置的阵列基板 GOA 区域的潜在故障进行激发。这能够将 GOA 区域存在潜在故障的阵列基板拦截在后续制程，尤其是 OLED 蒸镀制程之前，避免资源浪费，能够降低 OLED 产品的生产成本，并提高 OLED 生产的良品率。

在本实施例提供的潜在故障激发方法中，预设压差 ΔV 范围可以为 10V~70V。将预设压差 ΔV 控制在 10V~70V，一方面能够保证潜在故障能够恶化转变为实际故障，另一方面，也不会对不存在潜在故障的子电路造

成破坏。需要说明的是，预设压差 ΔV 虽然可以为正电压或者负电压，但为了表述简单，本申请中的预设压差 ΔV 是指处于高电位的检测点的电位减去处于低电位的检测点的电位。

在本实施例提供的潜在故障激发方法中，预设时长可以为 10S~30S。
5 将预设时长设计为 10S~30S，能够使子电路中的潜在故障在预设电压的作用下，充分爆发出来。

请参见图 4，本申请提供的阵列基板还包括位于显示区 AA 的扫描信号线 Scan-line。移位寄存单元还包括至少一个信号输出端 OUT，信号输出端 OUT 与扫描信号线 Scan-line 电连接。将第一检测点 A1 与第二检测
10 点 A2 之间的压差设置为预设压差 ΔV ，并且对子电路 b 施加控制信号，使得在子电路 b 不存在潜在故障的情况下，则子电路 b 以使信号输出端 OUT 不向扫描信号线 Scan-line 输出信号。

本实施例中所说的扫描信号线 Scan-line 为栅极信号线。

根据本实施例提供的潜在故障激发方法，在 GOA 区域的潜在故障激
15 发过程中，若子电路不存在潜在故障，则由于子电路的断开，使得信号输出端不向显示区的扫描信号线输出信号，也就是避免了对显示区的扫描信号线以及与扫描信号线连接的各元器件的影响，进一步提升了该潜在故障激发方法对阵列基板的安全性能。即使子电路存在的潜在故障可能引起信号输出端向扫描信号线输出信号，在潜在故障激发过程中造成了对显示区
20 元器件的损伤，但这种阵列基板本就是不良品，因此，并不会造成生产成本的增加。

如图 5 所示，移位寄存单元包括上拉节点 PU、电源电压输入端 V 以及连接在上拉节点和电源电压输入端 V 之间的第一子电路 b1。

基于图 5 所提供的电路图，即以上拉节点 PU 作为第一检测点，以电
25 源电压输入端 V 作为第二检测点，如图 6 所示，本实施例提供的潜在故障激发方法的步骤 S1 包括：

S11a: 在第一预设时长内，将上拉节点 PU 与电源电压输入端 V 之间的压差设置为第一预设压差 $\Delta V1$ ；

S12a: 向第一子电路 b1 施加控制信号, 使得在第一子电路 b1 不存在潜在故障的情况下, 第一子电路 b1 不导通, 并且在第一子电路 b1 存在潜在故障的情况下, 潜在故障在第一预设压差 $\Delta V1$ 的作用下被激发为实际故障。

5 在本实施例中, 将上拉节点 PU 与电源电压输入端 V 之间的子电路的潜在故障激发为实际故障, 从而避免存在潜在故障的阵列基板进入到后续制程; 并且, 通过控制信号, 能够避免无潜在故障的第一子电路 b1 受到所施加的电压的破坏。

10 如图 7 所示, 移位寄存单元还包括与上拉节点 PU 连接的上拉控制单元 CON1, 上拉控制单元 CON1 包括第一信号输入端 IN1 和第一时钟信号输入端 clock1。如图 8 所示, 在本实施例的潜在故障激发方法中, 步骤 S11a 包括:

S111a: 在电源电压输入端 V 输入第一电压信号, 以使电源电压输入端 V 处于第一电位 v1;

15 S112a: 在第一信号输入端 IN1 输入第二电压信号, 在第一时钟信号输入端 clock1 输入第一时钟信号, 以控制上拉节点 PU 处于第二电位 v2, 其中, 第二电位 v2 与第一电位 v1 的差值的绝对值为第一预设压差 $\Delta V1$ 。

20 需要说明的是, 上述步骤 S111a 和步骤 S112a 可以同时执行, 也可以先执行其中的任一步骤, 只要保证上拉节点 PU 与电源电压输入端 V 之间维持第一预设压差 $\Delta V1$ 的时长为第一预设时长即可。

如图 9 所示, 在本实施例中, 移位寄存单元包括下拉节点 PD、电源电压输入端 V 以及连接在下拉节点 PD 和电源电压输入端 V 之间的第二子电路 b2。

25 基于图 9 所提供的电路图, 即以下拉节点 PD 作为第一检测点, 以电源电压输入端 V 作为第二检测点, 如图 10 所示, 本实施例提供的潜在故障激发方法的步骤 S1 包括:

S11b: 在第二预设时长内, 将下拉节点 PD 与电源电压输入端 V 之间的压差设置为第二预设压差 $\Delta V2$;

S12b: 向第二子电路 b2 施加控制信号, 使得在第二子电路 b2 不存在潜在故障的情况下, 第二子电路 b2 不导通, 并且在第二子电路 b2 存在潜在故障的情况下, 该潜在故障在第二预设压差 $\Delta V2$ 的作用下被激发为实际故障。

5 在本实施例中, 将下拉节点 PD 与电源电压输入端 V 之间的子电路的潜在故障激发为实际故障, 从而避免存在潜在故障的阵列基板进入到后续制程; 并且, 通过控制信号, 能够避免无潜在故障的第二子电路 b2 受到所施加的电压的破坏。

10 如图 11 所示, 移位寄存单元还包括与下拉节点 PD 连接的下拉控制单元, 下拉控制单元包括第二信号输入端 IN2 和第二时钟信号输入端 clock2。如图 12 所示, 在本实施例提供的潜在故障激发方法中, 步骤 S11b 包括:

S111b: 在电源电压输入端 V 输入第三电压信号, 以使电源电压输入端 V 处于第三电位 v3;

15 S112b: 在第二信号输入端 IN2 输入第四电压信号, 在第二时钟信号输入端 clock2 输入第二时钟信号, 以使下拉节点 PD 处于第四电位 v4, 其中, 第四电位 v4 与第三电位 v3 的差值的绝对值为第二预设压差 $\Delta V2$ 。

20 需要说明的是, 上述步骤 S111b 和步骤 S112b 可以同时执行, 也可以先执行其中的任一步骤, 只要保证下拉节点 PD 与电源电压输入端 V 之间维持第二预设压差 $\Delta V2$ 的时长为第二预设时长即可。

如图 13 所示, 在本实施例中, 移位寄存单元包括本级级联输出端 CR<N>、电源电压输入端 V 以及连接在本级级联输出端 CR<N>和电源电压输入端 V 之间的第三子电路 b3。

25 基于图 13 所提供的电路图, 即以本级级联输出端 CR<N>作为第一检测点, 以电源电压输入端 V 作为第二检测点, 其中, N 为大于或等于 1 的整数。如图 14 所示, 本实施例提供的阵列基板的潜在故障激发方法的步骤 S1 包括:

S11c: 在第三预设时长内, 将本级级联输出端 CR<n>和电源电压输入

端 V 之间的压差设置为第三预设压差 $\Delta V3$;

S12c: 向第三子电路 b3 施加控制信号, 使得在第三子电路 b3 不存在潜在故障的情况下, 第三子电路 b3 不导通, 并且在第三子电路 b3 存在潜在故障的情况下, 该潜在故障在第三预设压差 $\Delta V3$ 的作用下被激发为实际故障。

在本实施例中, 将本级级联输出端 CR<N>与电源电压输入端 V 之间的子电路的潜在故障激发为实际故障, 即将每一条级联线与电源电压输入端 V 之间的子电路的潜在故障激发为实际故障, 从而避免存在潜在故障的阵列基板进入到后续制程; 并且, 通过控制信号, 能够避免无潜在故障的第三子电路 b3 受到所施加的电压的破坏。

如图 15 所示, 移位寄存单元还包括与本级级联输出端 CR<N>连接的本级输出控制单元, 本级输出控制单元包括第三信号输入端 IN3 和第三时钟信号端 clock3。如图 16 所示, 在本实施例提供的潜在故障激发方法中, 步骤 S11c 包括:

S111c: 在电源电压输入端 V 输入第五电压信号, 以使电源电压输入端 V 处于第五电位 v5;

S112c: 在第三信号输入端 IN3 输入第六电压信号, 在第二时钟信号输入端 clock3 输入第三时钟信号, 以使本级级联输出端 CR<N>处于第六电位 v6; 其中, 第六电位 v6 与第五电位 v5 的差值的绝对值为第三预设压差 $\Delta V3$ 。

需要说明的是, 上述步骤 S111c 和步骤 S112c 可以同时执行, 也可以先执行其中的任一步骤, 只要保证本级级联输出端 CR<n>与电源电压输入端 V 之间维持第三预设压差 $\Delta V3$ 的时长为第三预设时长即可。

需要说明的是, 由于第一子电路 b1、第二子电路 b2 和第三子电路 b3 的复杂程度可能不同以及存在潜在故障的位置可能不同, 因此, 第一预设时长、第二预设时长和第三预设时长可能彼此不同, 第一预设压差 $\Delta V1$ 、第二预设压差 $\Delta V2$ 和第三预设压差 $\Delta V3$ 也可能彼此不同。需要在对不同检测点之间的潜在故障激发时, 对预设时长和预设压差 ΔV 进行选择。

阵列基板 GOA 区域容易存在潜在故障的位置主要是移位寄存单元的上拉节点 PU 与低电源电压输入端 VGL 之间、下拉节点 PD 与低电源电压输入端 VGL 之间以及本级级联输出端 CR<N>与低电源电压输入端 VGL 之间，因此，本申请中的电源电压输入端可以为低电源电压输入端 VGL。

5 为了便于理解，以下将结合图 17 所示的移位寄存单元的电路图对上述几个位置的潜在故障的激发方法进行详细说明。

需要说明的是，图 17 中移位寄存单元中的电路仅是示例性说明，实际上，本申请中的移位寄存单元可以采用不同的电路，但只要保证移位寄存单元中的两个检测点在预设时长内维持在预设压差，即可实现对这两个
10 检测点之间的子电路的潜在故障的激发。

如图 17 所示，以下对如何对上拉节点 PU 与电源电压输入端 VGL 之间的潜在故障进行激发进行说明。

将 VGL1 和 VGL2 作为电源电压输入端，在 VGL1 和 VGL2 分别输入低电平信号 V_{L1} 作为第一电压信号，使得 VGL1 和 VGL2 的电位维持在
15 V_{L1} 。

将 VDD 作为第一信号输入端，在 VDD 输入高电平信号 V_{H1} 作为第二电压信号，高电平信号 V_{H1} 在电容 C3 的自举作用下升高为 V_{H1}' ；将 CLK1 作为第一时钟信号输入端，在 CLK1 输入高电平信号 V_{H2} 作为第一时钟信号，使得薄膜晶体管 M12 和 M3 导通，从而使得上拉节点 PU 的电位维持
20 在 V_{H1}' 。

下拉节点 PD 的电位 (V_{H1}') 与电源电压输入端的电位 (V_{L1}) 之差，即 ($V_{H1}' - V_{L1}$) 即为第一预设压差 $\Delta V1$ 。

图 17 所示的电路中，除 VDD、CLK1、VGL1 和 VGL2 以外的输入端，均为悬空信号（即，控制信号）。此时，第一子电路 b1 包括薄膜晶体管
25 M1、M2、M4、M6、M7、M9 和 M10，电容 C1 和 C2，以及连接在这些薄膜晶体管以及电容之间的信号线。若上拉节点 PU 与电源电压输入端之间不存在潜在故障，则第一子电路中的各薄膜晶体管处于不导通状态。仅以其中的部分薄膜晶体管为例进行说明：当 M4 的控制端输入悬空信号，

即与 M4 的栅极连接的下级级联输入端 $CR\langle N+Y\rangle$ 输入悬空信号时，M4 处于断开状态；M8 的栅极虽然与上拉节点 PU 连接，但与 M8 的源极连接的时钟信号输入端 CLK2 输入的是悬空信号，则 M8 处于不导通状态。

在此过程中，由于 CLK11 输入悬空信号，薄膜晶体管 M1 未被导通，因此，输出端 OUT1 无输出，也就是不向显示区的扫描信号线输出信号。因此，在对 GOA 区域的潜在故障进行检测时，施加的电压不会对显示区域的电路造成破坏。同理，CLK12 也输入悬空信号，OUT2 也不向栅极线输出信号。

如图 17 所示，以下对如何对下拉节点 PD 与电源电压输入端 VGL 之间的潜在故障进行激发进行说明。

将 VGL1 和 VGL2 作为电源电压输入端，在 VGL1 和 VGL2 分别输入低电平信号 V_{L2} 作为第三电压信号，使得 VGL1 和 VGL2 的电位维持在 V_{L2} 。

将 CLK1 作为第二时钟信号输入端，在 CLK1 输入低电平 V_{L3} 作为第二时钟信号，将薄膜晶体管 M3 断开。将 VDDA 作为第二信号输入端，在 VDDA 输入高电平 V_{H3} ，使得薄膜晶体管 M5 导通，从而使得下拉节点 PD 处于高电平 V_{H3} 。

下拉节点 PD 的电位 (V_{H3}) 与电源电压输入端的电位 (V_{L2}) 之差，即 ($V_{H3} - V_{L2}$) 即为预设压差。

图 17 所示的电路中，除 VDDA、CLK1、VGL1 和 VGL2 以外的输入端，均为悬空信号（即，控制信号）。此时，第一子电路包括薄膜晶体管 M1、M2、M5、M6、M7、M9 和 M10，电容 C1 和 C2，以及连接在这些薄膜晶体管、以及电容之间的信号线。若下拉节点 PD 与电源电压输入端 VGL 之间不存在潜在故障，则第二子电路中的各薄膜晶体管处于不导通状态。仅以其中的部分薄膜晶体管为例进行说明：当 M6 的控制端输入悬空信号，即与 M6 的栅极连接的薄膜晶体管 M3 处于断开状态，因此，M6 的栅极信号悬空，则 M6 处于断开状态；当与 M8 的源极连接的时钟信号输入端 CLK2 输入悬空信号时，M8 处于断开状态。

在此过程中，由于 CLK11 输入悬空信号，薄膜晶体管 M1 未被导通，因此，输出端 OUT1 无输出，也就是不向显示区的扫描信号线输出信号。因此，在对 GOA 区域的潜在故障进行检测时，施加的电压不会对显示区域的电路造成破坏。同理，CLK12 也输入悬空信号，OUT2 也不向栅极线
5 输出信号。

如图 17 所示，以下对如何对本级级联输出端 CR<N>与电源电压输入端 VGL 之间的潜在故障进行激发进行说明。

如图 17 所示，CR<N-X>为上级级联输入端，CR<N+Y>为下级级联输入端，因此为了使整个 GOA 区域的级联线有相同时间的电压，需要破除
10 级联方式。需要说明的是，N 为大于或等于 1 的整数，X、Y 均为大于或等于 0 的整数。

将 VGL1 和 VGL2 作为电源电压输入端，在 VGL1 和 VGL2 分别输入超低电平信号 V_{L5} 作为第五电压信号，使得 VGL1 和 VGL2 的电位维持在超低电平 V_{L5} 。

薄膜晶体管 M8 的栅极作为第三信号输入端，因此，将上拉节点 PU 的电位作为第六电压信号。在 VDD 输入高电平信号 V_{H4} ，高电平信号 V_{H4} 在电容 C3 的自举作用下升高为 V_{H4}' ；在 CLK1 输入高电平信号 V_{H5} ，薄膜晶体管 M12 和 M3 导通，使得上拉节点 PU 的电位维持在 V_{H4}' ，也就是向薄膜晶体管 M8 的栅极（第三信号输入端）输入 V_{H4}' 作为第六电压
15 信号。将 CLK2 作为第三时钟信号输入端，在 CLK2 输入低电平 V_{L4} ，即 CLK2 与 CR<N>的电位为低电平 V_{L4} 。

此时，本级级联输出端 CR<N>、上级级联输入端 CR<N-X>以及下级级联输入端 CR<N+Y>的电位均为低电平 V_{L4} ，也就是每一条级联线都处于同一低电平 V_{L4} ，即破除了移位寄存单元之间的级联。

本级级联输出端 CR<N>的电位(V_{L4})与电源电压输入端的电位(V_{L5})之差，即 ($V_{L4}-V_{L5}$) 即为预设压差。
25

图 17 所示的电路中，除 VDD、CLK1、VGL1 和 VGL2 以外的输入端，均输入悬空信号（即，控制信号）。此时，第一子电路 b3 包括薄膜晶体

管 M1、M2、M4、M7、M8、M9 和 M10，电容 C1 和 C2，以及连接在这些薄膜晶体管、以及电容之间的信号线。若本级级联输出端 CR<N>与电源电压输入端之间不存在潜在故障，则第三子电路中的各薄膜晶体管处于不导通状态。仅以其中的部分薄膜晶体管为例进行说明：当与 M6 的栅极连接的薄膜晶体管 M3 处于断开状态时，M6 的栅极信号悬空，则 M6 处于断开状态；当与 M2 的源极连接的时钟信号输入端 CLK12 输入悬空信号时，M2 处于断开状态。

在此过程中，由于 CLK11 输入悬空信号，薄膜晶体管 M1 未被导通，因此，输出端 OUT1 无输出，也就是不向显示区的扫描信号线输出信号。因此，在对 GOA 区域的潜在故障进行检测时，施加的电压不会对显示区域的电路造成破坏。同理，CLK12 也输入悬空信号，OUT2 也不向栅极线输出信号。

而当 GOA 区域一旦存在潜在故障，例如，以图 17 中虚线圈 E 处彼此绝缘的两条导线因绝缘膜存在潜在故障，该绝缘膜在受到激发过程的影响，使得这两条导线短路，则薄膜晶体管 M6 和 M7 均被导通，上拉节点 PU 和 VGL1 之间导通，而这个异常的导通情况将会在后续的信赖性测试中被检测出来。需要说明的是，这只是示例性说明，并不用于限定阵列基板的具体走线情况，实际上，在阵列基板中，栅极驱动电路受到空间的限制，连接在两个元器件之间的走线往往是在不同导电层之间进行跨层连接的，这使得绝缘层两侧的导体不可避免地出现交叠，而不同导电层之间需要通过过孔连接，这些导体交叠的位置和过孔处正是潜在故障的高发位置。

由上述结合图 17 所示的电路图进行说明的实施例可以看出，经过对上述三组检测点之间的潜在故障进行激发，每个移位寄存单元中的薄膜晶体管、电容以及连接线等都能够被预设压差作用到，即对每个移位寄存单元进行了较为充分的潜在故障的激发，能够将存在潜在故障的阵列基板有效拦截在后续制程之前，尤其是 OLED 的蒸镀制程之前，避免了资源浪费，降低了生产成本。

基于同一发明构思，本实施例提供了一种阵列基板的故障检测方法，该故障检测方法包括：上述实施例中阵列基板的潜在故障激发方法，以及对栅极驱动电路进行信赖性检测，并根据检测结果判断阵列基板是否存在故障。本实施例包括上述实施例中的阵列基板的潜在故障激发方法，能够
5 实现实施例中对阵列基板的潜在故障进行激发的有益效果，在此不再赘述。

基于同一发明构思，本实施例提供了一种显示面板，该显示面板包括阵列基板，该阵列基板为经过上述实施例中的阵列基板的故障检测方法进行检测的阵列基板，使得存在潜在故障的阵列基板被拦截在后续制程之前。
10 这不仅有利于降低生产成本，而且有利于提高生产的良品率；并且，当子电路不存在潜在故障时，该子电路不会导通，防止施加在两个检测点之间的电压对该子电路造成破坏，有利于防止该潜在故障激发方法对阵列基板产生破坏。

15 基于同一发明构思，本实施例提供了一种显示装置，该显示装置包括上述实施例中的显示面板，具有上述显示面板的有益效果，在此不再赘述。

应用本申请实施例，至少能够实现如下有益效果：

本申请提供的阵列基板潜在故障激发及检测方法、显示面板及显示装
20 置，能够对阵列基板 GOA 区域的潜在故障进行激发，以使潜在故障转变为实际故障，从而能够在信赖性测试中被检测出来，使得存在潜在故障的阵列基板被拦截在后续制程之前。这不仅有利于降低生产成本，而且有利于提高生产的良品率；并且，当子电路不存在潜在故障时，该子电路不会导通，防止施加在两个检测点之间的电压对该子电路造成破坏，有利于防
25 止该潜在故障激发方法对阵列基板产生破坏。

本技术领域技术人员可以理解，本申请中已经讨论过的各种操作、方法、流程中的步骤、措施、方案可以被交替、更改、组合或删除。进一步地，具有本申请中已经讨论过的各种操作、方法、流程中的其他步骤、措

施、方案也可以被交替、更改、重排、分解、组合或删除。进一步地，现有技术中的具有与本申请中公开的各种操作、方法、流程中的步骤、措施、方案也可以被交替、更改、重排、分解、组合或删除。

应该理解的是，虽然附图的流程图中的各个步骤按照箭头的指示依次显示，但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明，这些步骤的执行并没有严格的顺序限制，其可以以其他的顺序执行。而且，附图的流程图中的至少一部分步骤可以包括多个子步骤或者多个阶段，这些子步骤或者阶段并不必然是在同一时刻执行完成，而是可以在不同的时刻执行，其执行顺序也不必然是依次进行，而是可以与其他步骤或者其他步骤的子步骤或者阶段的至少一部分轮流或者交替地执行。

以上所述仅是本申请的部分实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本申请原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本申请的保护范围。

权利要求

1. 一种阵列基板潜在故障激发方法，所述阵列基板包括栅极驱动区域，所述栅极驱动区域包括移位寄存单元，其中，所述方法包括：

5 在所述移位寄存单元中选择第一检测点和第二检测点，在所述第一检测点和所述第二检测点之间存在子电路；

在预设时长内，向所述子电路施加控制信号，并将所述第一检测点与所述第二检测点之间的压差设置为预设压差，

10 响应于所述控制信号、所述第一检测点与所述第二检测点之间的压差以及所述子电路不存在潜在故障，所述子电路不导通；响应于所述控制信号、所述第一检测点与所述第二检测点之间的压差以及所述子电路存在潜在故障，所述潜在故障被激发为实际故障。

2. 根据权利要求 1 所述的阵列基板潜在故障激发方法，其中，所述栅极驱动电路包括导电层和绝缘层，

所述潜在故障包括以下中的至少一种：所述绝缘层的潜在裂纹、所述导电层的潜在裂纹和位于所述导电层和所述绝缘层之间的颗粒物；

20 所述实际故障包括以下中的至少一种：所述绝缘层的潜在裂纹恶化所导致的所述子电路短路、所述导电层的潜在裂纹恶化所导致的所述子电路的断路、和位于所述导电层和所述绝缘层之间的颗粒物使得所述绝缘层开裂所导致的所述子电路的短路。

3. 根据权利要求 2 所述的阵列基板潜在故障激发方法，其中，所述预设压差范围为 10V~70V。

25

4. 根据权利要求 3 所述的阵列基板潜在故障激发方法，其中，所述预设时长为 10S~30S。

5. 根据权利要求 1-4 中任一项所述的阵列基板潜在故障激发方法，其中，所述阵列基板还包括扫描信号线，所述移位寄存单元还包括至少一个信号输出端，所述信号输出端与所述扫描信号线连接，响应于所述控制信号、所述第一检测点与所述第二检测点之间的压差以及所述子电路不存在潜在故障，所述子电路不导通包括：

响应于所述控制信号、所述第一检测点与所述第二检测点之间的压差以及所述子电路不存在潜在故障，所述子电路不导通以使所述信号输出端不向所述扫描信号线输出信号。

6. 根据权利要求 5 所述的阵列基板潜在故障激发方法，其中，所述移位寄存单元包括上拉节点、下拉节点和电源电压输入端，所述电源电压输入端包括第一电源电压输入端，

所述移位寄存单元包括反相器，所述上拉节点连接至所述反相器的输入端，所述第一电源电压输入端连接至所述反相器的低电源电压供应端，所述下拉节点连接至所述反相器的输出端。

7. 根据权利要求 6 所述的阵列基板潜在故障激发方法，其中，所述反相器包括第一晶体管和第二晶体管，

所述第一晶体管的第一极和控制极连接至高电源电压供应端，所述第一晶体管的第二极连接至所述下拉节点，

所述第二晶体管的第一极连接所述下拉节点，所述第二晶体管的控制极连接所述上拉节点，所述第二晶体管的第二极连接所述第一电源电压输入端。

8. 根据权利要求 7 所述的阵列基板潜在故障激发方法，其中，所述移位寄存单元还包括第三晶体管 and 第四晶体管，

所述第三晶体管的第一极连接至所述上拉节点，所述第三晶体管的第二极连接至所述第一电源电压输入端，所述第三晶体管的控制极连接至所

述下拉节点；

所述第四晶体管的第一极连接至所述上拉节点，所述第四晶体管的第二极连接至所述第一电源电压输入端，所述第四晶体管的控制极连接至所述移位寄存单元的下级级联输入端。

5

9. 根据权利要求 7 所述的阵列基板潜在故障激发方法，其中，所述移位寄存单元还包括第五晶体管，

所述第五晶体管的第一极连接至第一时钟信号输入端，所述第五晶体管的第二极连接至所述移位寄存单元的本级级联输出端，所述第五晶体管的控制极连接至所述上拉节点。

10

10. 根据权利要求 9 所述的阵列基板潜在故障激发方法，其中，所述移位寄存单元还包括第六晶体管和第一电容器，

所述第六晶体管的第一极连接至第二时钟信号输入端，所述第六晶体管的第二极连接至所述信号输出端，所述第六晶体管的控制极连接至所述上拉节点。

15

11. 根据权利要求 10 所述的阵列基板潜在故障激发方法，其中，所述电源电压输入端包括第二电源电压输入端，所述移位寄存单元包括第七晶体管，

20

所述第七晶体管的第一极连接至所述信号输出端，所述第七晶体管的第二极连接至所述第二电源电压输入端，所述第七晶体管的控制极连接至复位电压端。

25

12. 根据权利要求 6-11 中任一项所述的阵列基板潜在故障激发方法，其中，所述方法包括：

选择所述上拉节点作为所述第一检测点，并且选择所述电源电压输入端作为所述第二检测点；

向所述上拉节点与所述电源电压输入端之间的第一子电路施加第一控制信号；

在第一预设时长内，将所述上拉节点与所述电源电压输入端之间的压差设置为第一预设压差；

5 响应于所述第一控制信号、所述上拉节点与所述电源电压输入端之间的压差以及所述第一子电路不存在潜在故障，所述第一子电路不导通；响应于所述第一控制信号、所述上拉节点与所述电源电压输入端之间的压差以及所述第一子电路存在潜在故障，所述潜在故障被激发为实际故障。

10 13. 根据权利要求 12 所述的阵列基板潜在故障激发方法，其中，所述移位寄存单元还包括第八晶体管、第九晶体管和第三电容器，

所述第八晶体管的第一极连接至第三电源电压输入端，所述第八晶体管的第二极连接至第九晶体管的第一极，所述第八晶体管的控制极连接至所述第三电容器的第一端；

15 所述第三电容器的第二端连接至所述第三电源电压输入端；

所述第九晶体管的第二极连接至所述上拉节点，所述第九晶体管的控制极连接至第三时钟信号端，

将所述上拉节点与所述电源电压输入端之间的压差设置为第一预设压差包括：

20 在所述电源电压输入端输入第一电压信号，以使所述电源电压输入端处于第一电位；

在所述第三电源电压输入端输入第二电压信号，在所述第三时钟信号输入端输入第一时钟信号，以使所述上拉节点处于第二电位，其中，所述第二电位与所述第一电位的差值的绝对值为所述第一预设压差。。

25

14. 根据权利要求 6-11 中任一项所述的阵列基板潜在故障激发方法，其中，所述方法包括：

选择所述下拉节点作为所述第一检测点，并且选择所述电源电压输入

端作为所述第二检测点；

向所述下拉节点与所述电源电压输入端之间的第二子电路施加第二控制信号；

5 在第二预设时长内，将所述下拉节点与所述电源电压输入端之间的压差设置为第二预设压差；

响应于所述第二控制信号、所述下拉节点与所述电源电压输入端之间的压差以及所述第二子电路不存在潜在故障，所述第二子电路不导通；响应于所述第二控制信号、所述下拉节点与所述电源电压输入端之间的压差以及所述第二子电路存在潜在故障，所述潜在故障被激发为实际故障。

10

15. 根据权利要求 9-11 中任一项所述的阵列基板潜在故障激发方法，其中，所述方法包括：

选择所述本级级联输出端作为所述第一检测点，并且选择所述电源电压输入端作为所述第二检测点；

15 向所述本级级联输出端与所述电源电压输入端之间的第三子电路施加第三控制信号；

在第三预设时长内，将所述本级级联输出端与所述电源电压输入端之间的压差设置为第三预设压差；

20 响应于所述第三控制信号、所述本级级联输出端与所述电源电压输入端之间的压差以及所述第三子电路不存在潜在故障，所述第三子电路不导通；响应于所述第三控制信号、所述本级级联输出端与所述电源电压输入端之间的压差以及所述第三子电路存在潜在故障，所述潜在故障被激发为实际故障。

25 16. 一种阵列基板的故障检测方法，包括：

权利要求 1-15 中任一项所述的阵列基板潜在故障激发方法，以及

对所述栅极驱动区域进行信赖性检测，并根据检测结果判断所述阵列基板是否存在故障。

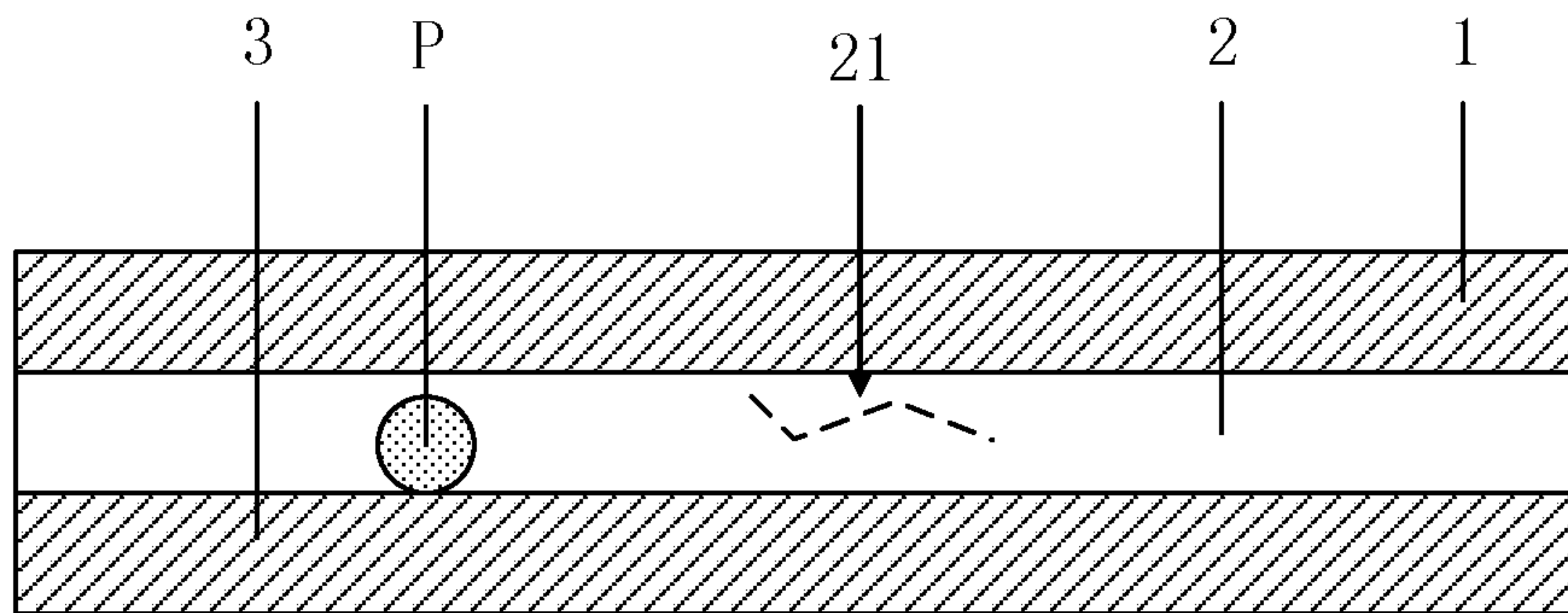
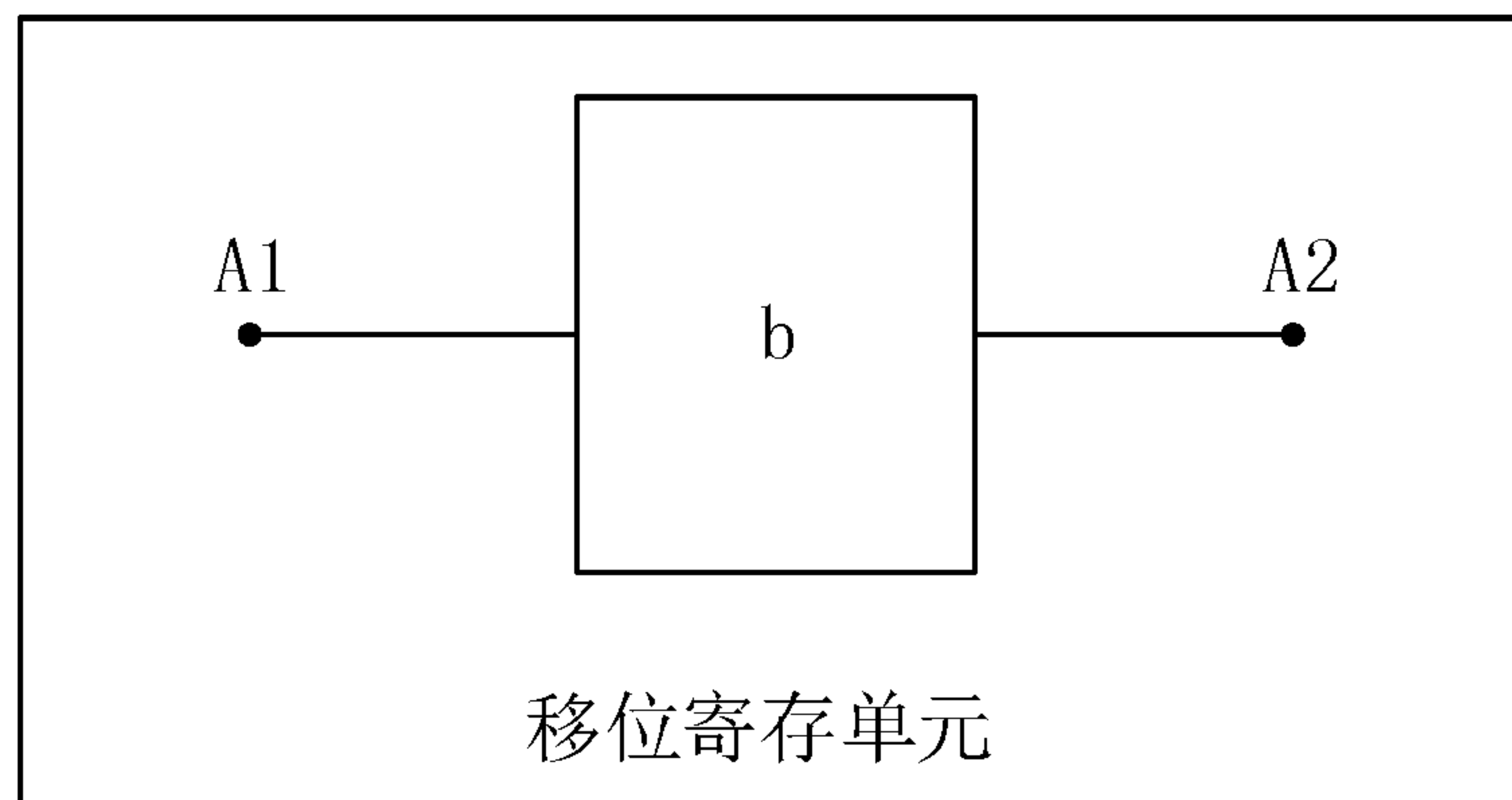


图 1



移位寄存单元

图 2

在预设时长内，将第一检测点与第二检测点之间的压差设置为预设压差，并且对子电路施加控制信号，使得：在子电路不存在潜在故障的情况下，子电路不导通以防止预设压差损坏所述阵列基板，并且在子电路存在潜在故障的情况下，该潜在故障在预设压差的作用下被激发为实际故障

S1

图 3

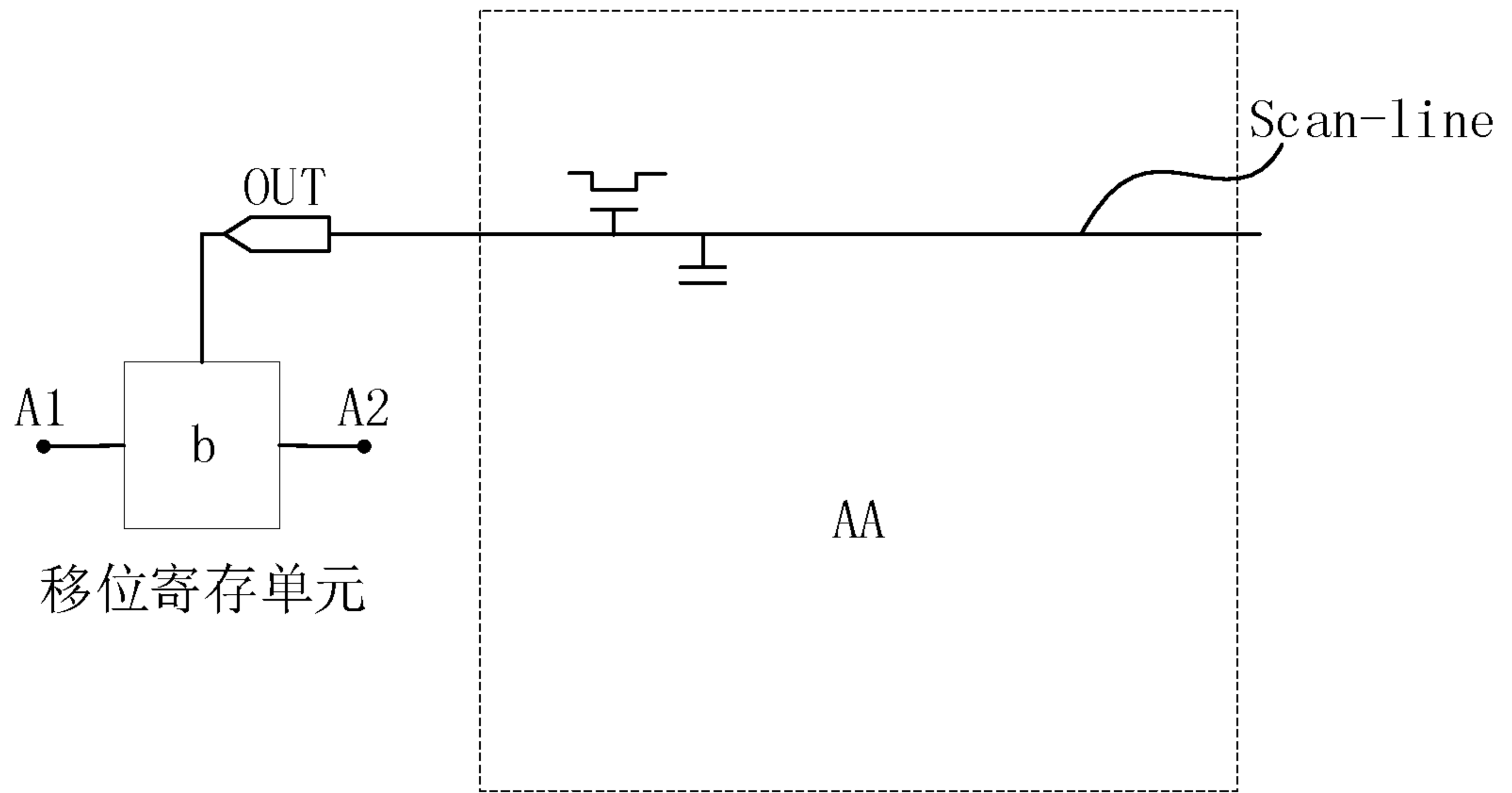


图 4

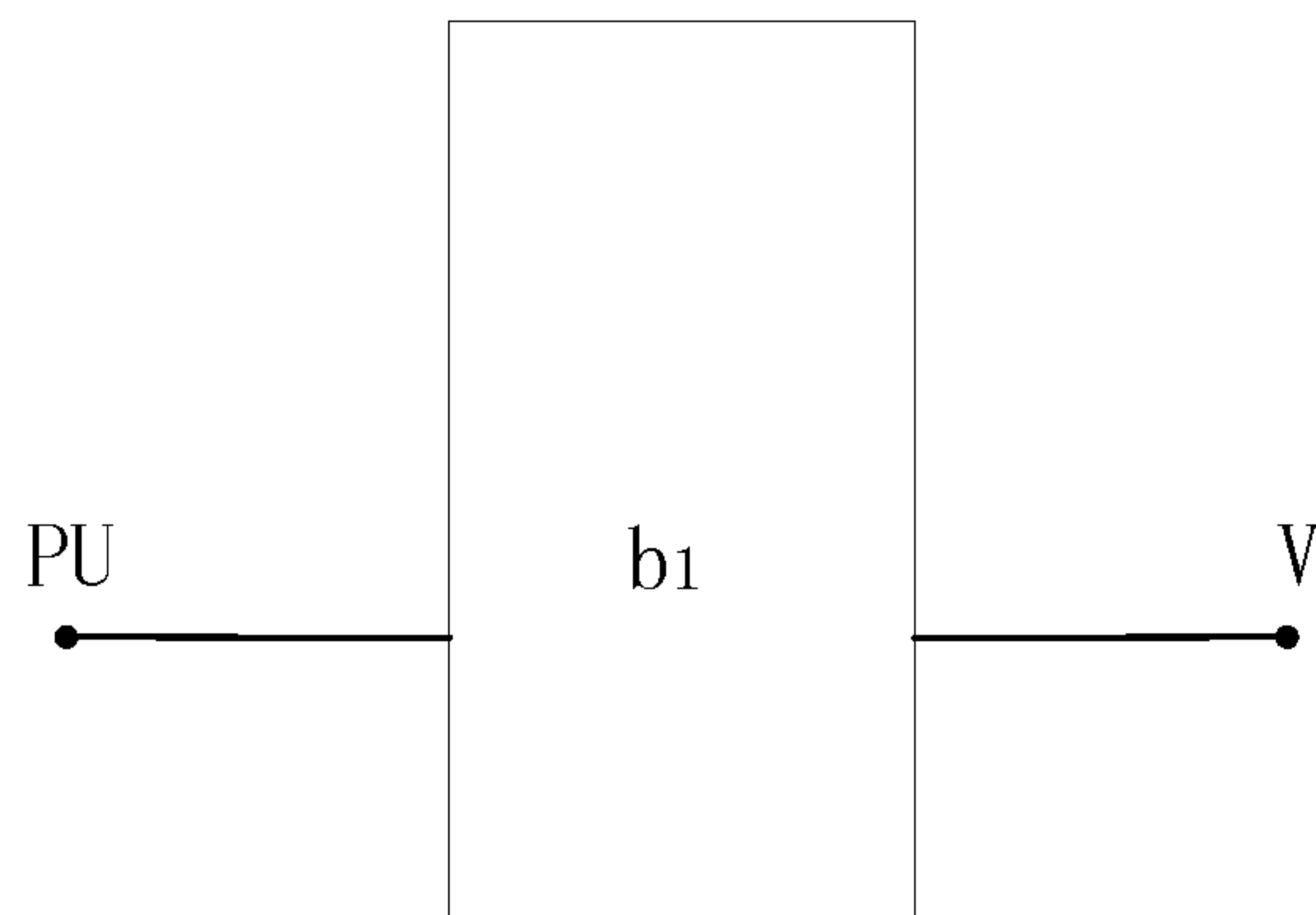


图 5

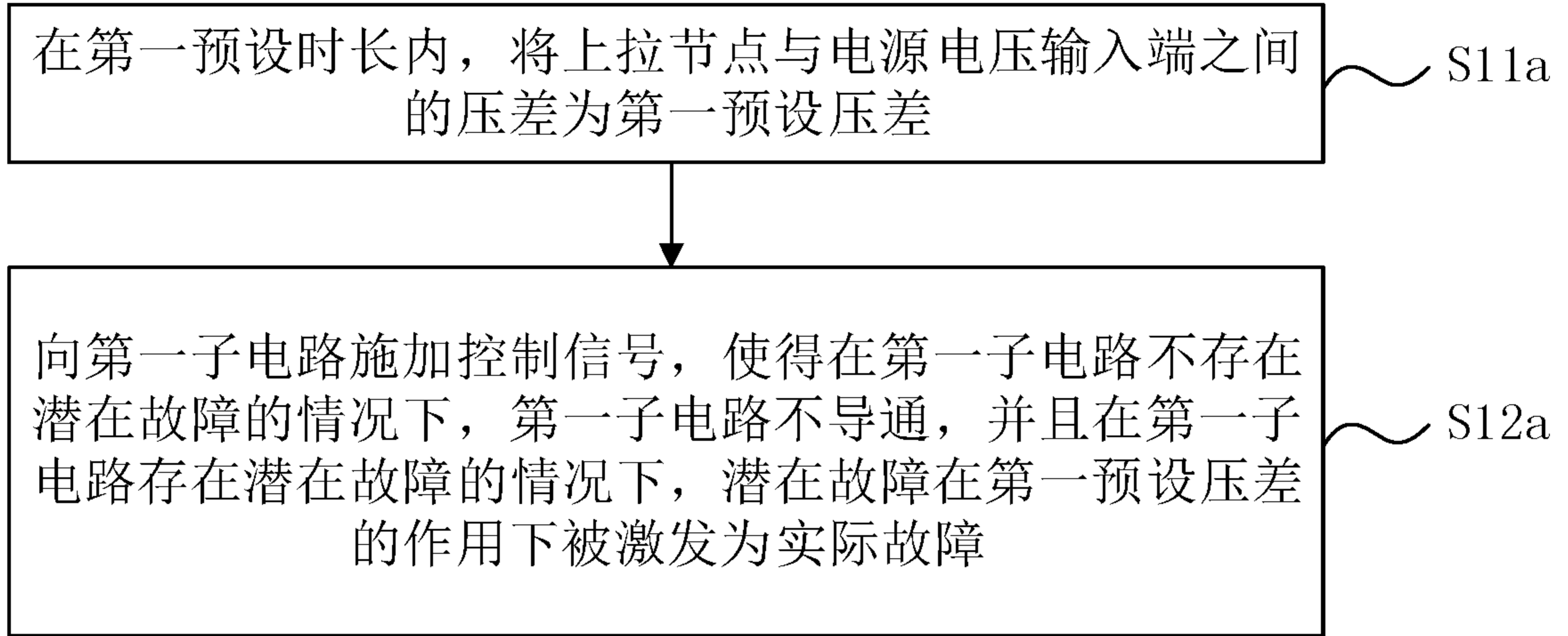


图 6

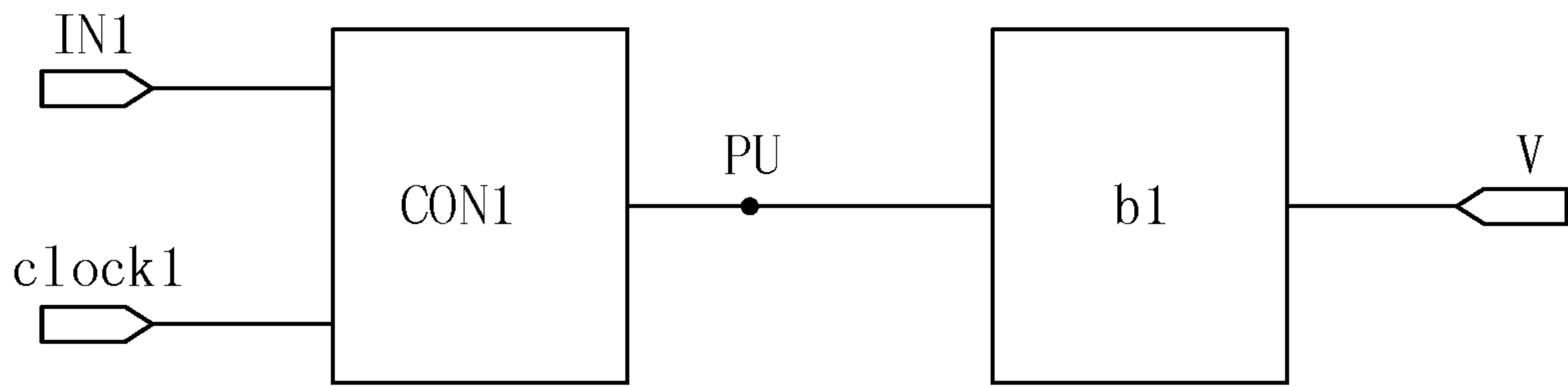


图 7

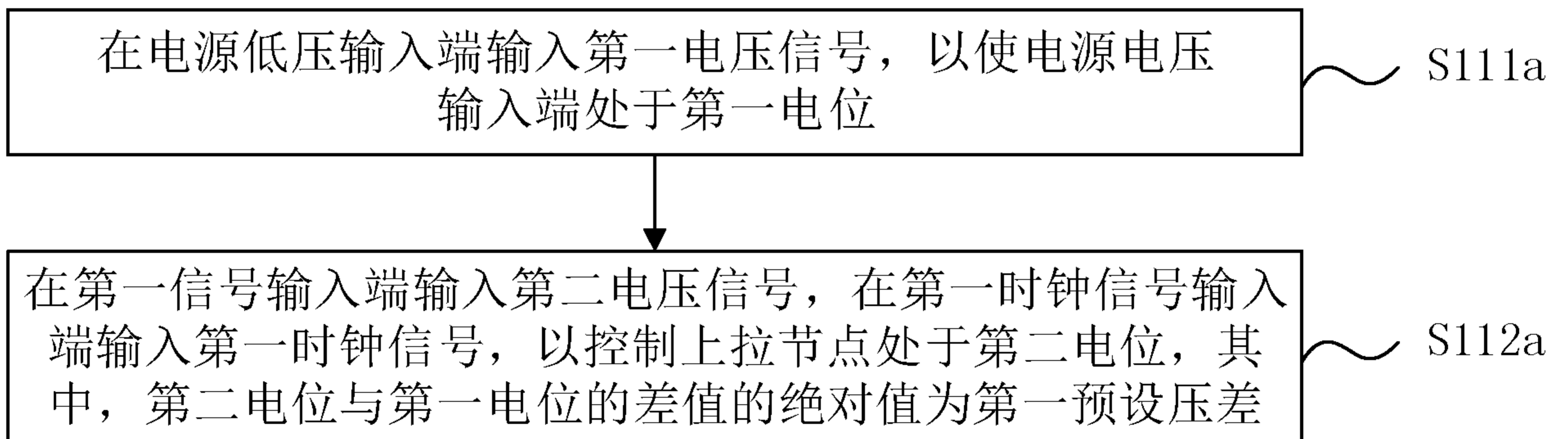


图 8

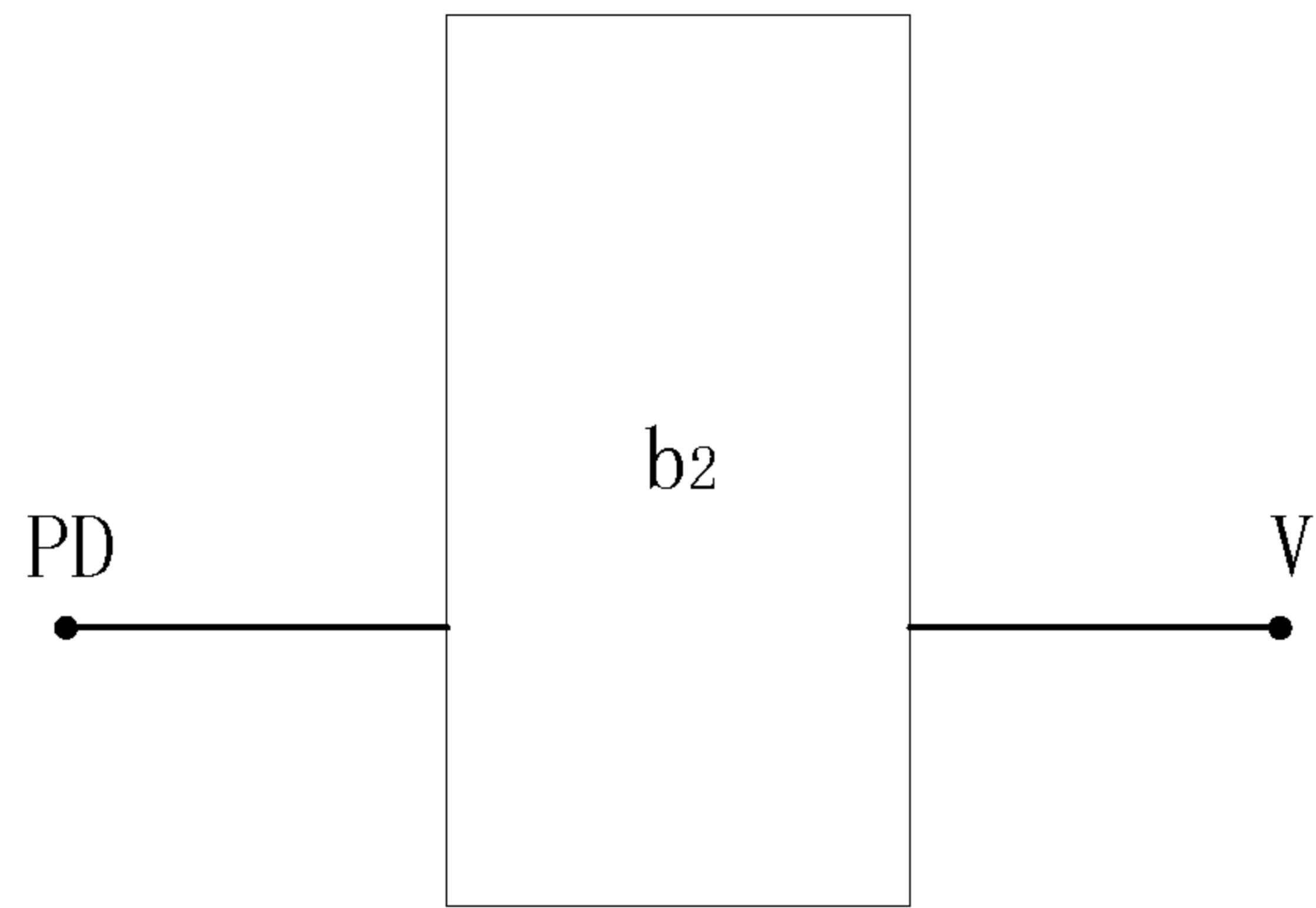


图 9

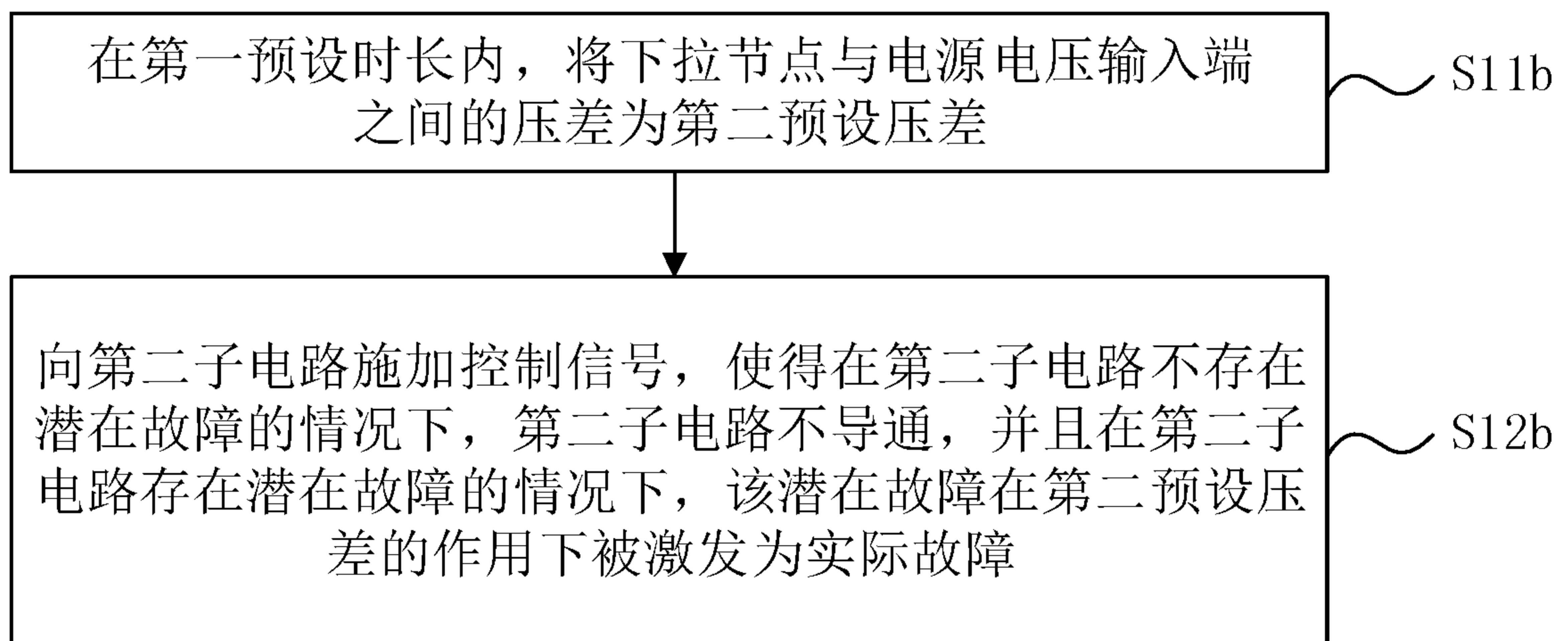


图 10

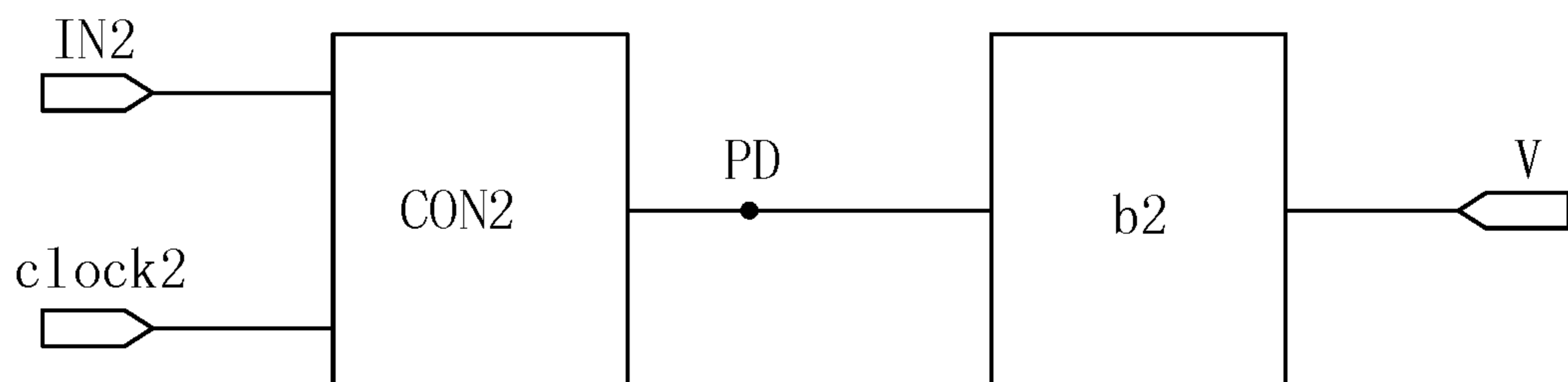


图 11

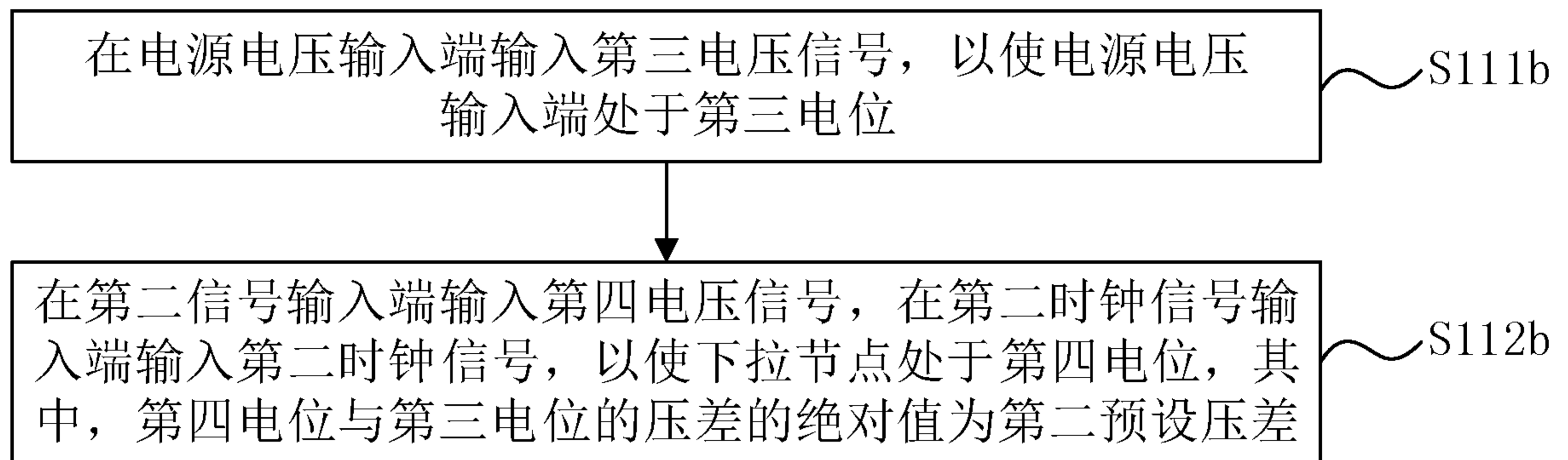


图 12

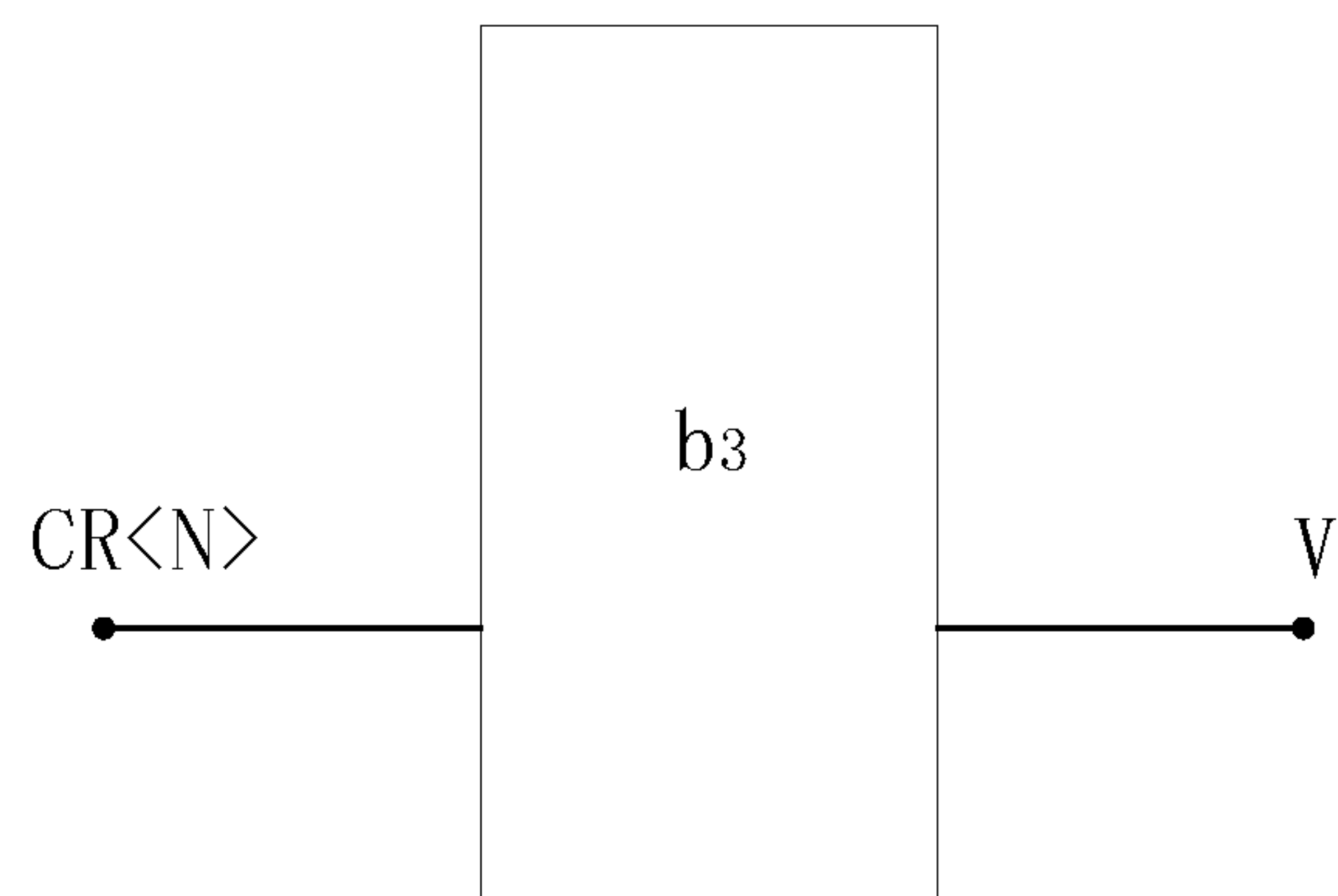


图 13

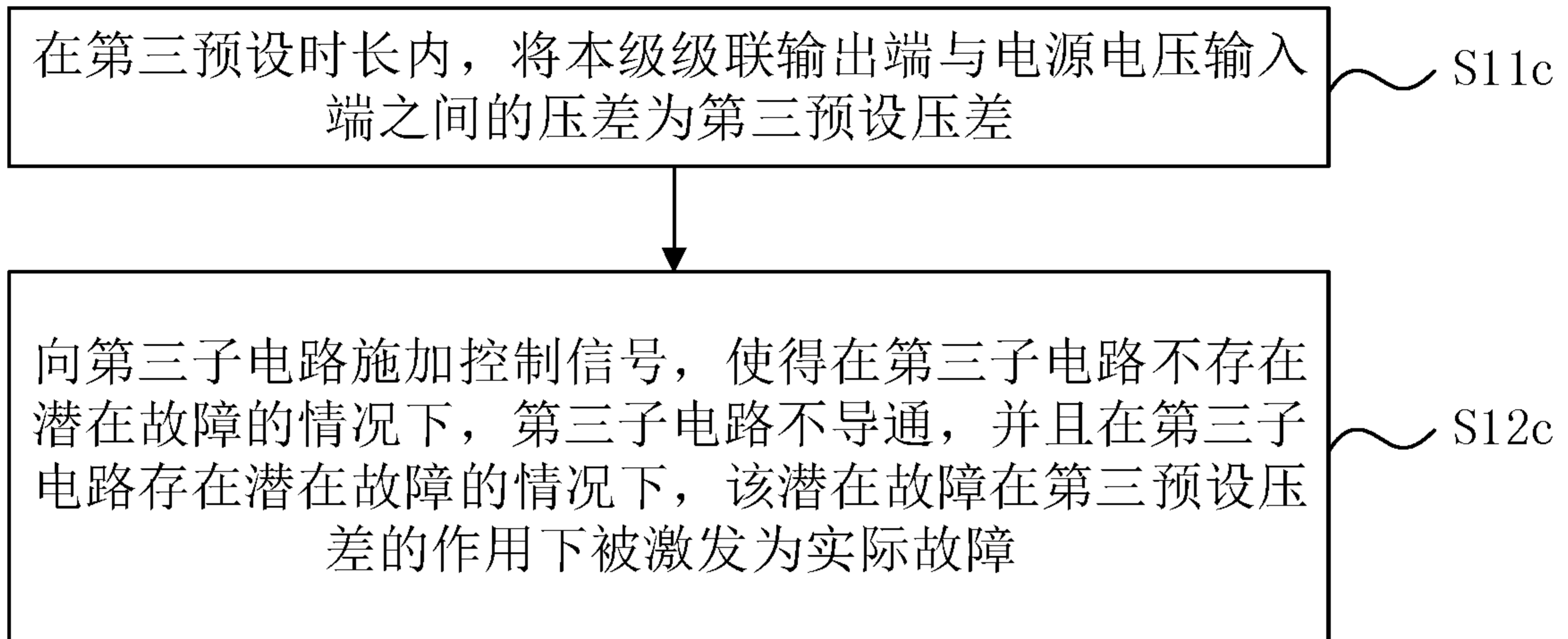


图 14

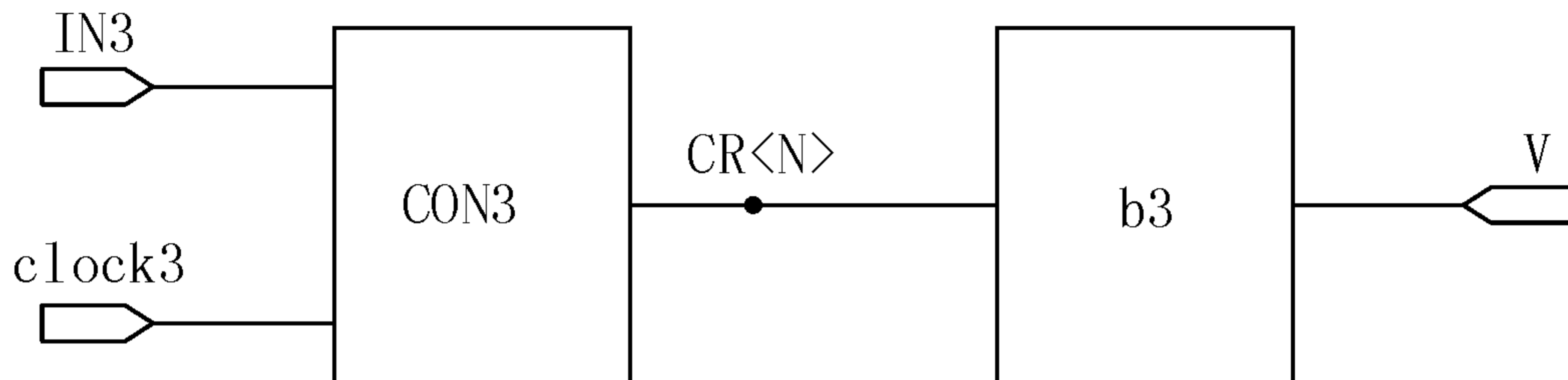


图 15

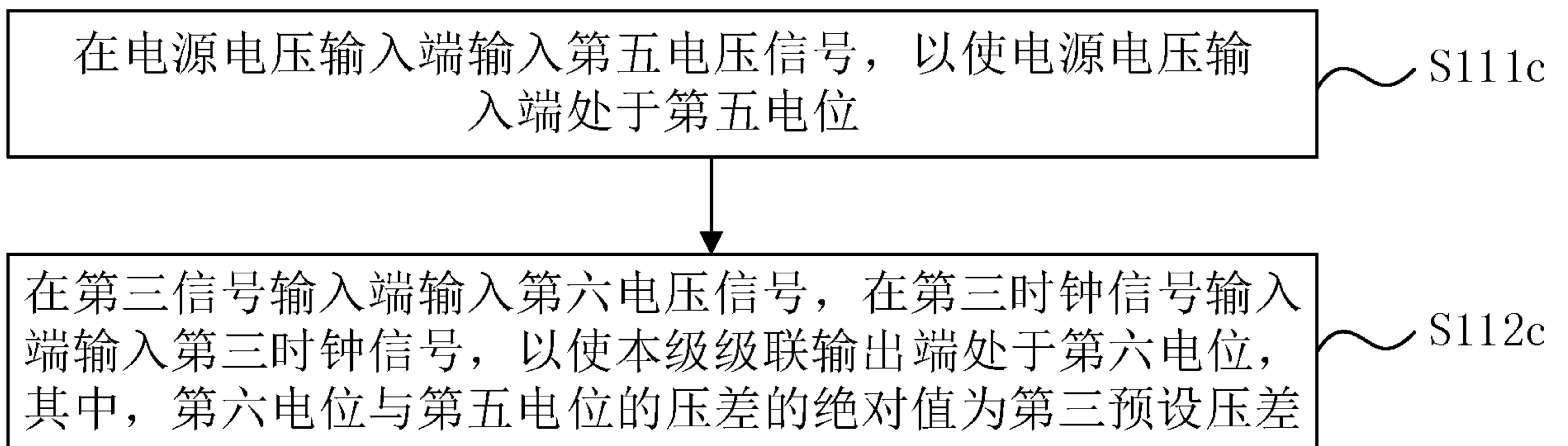


图 16

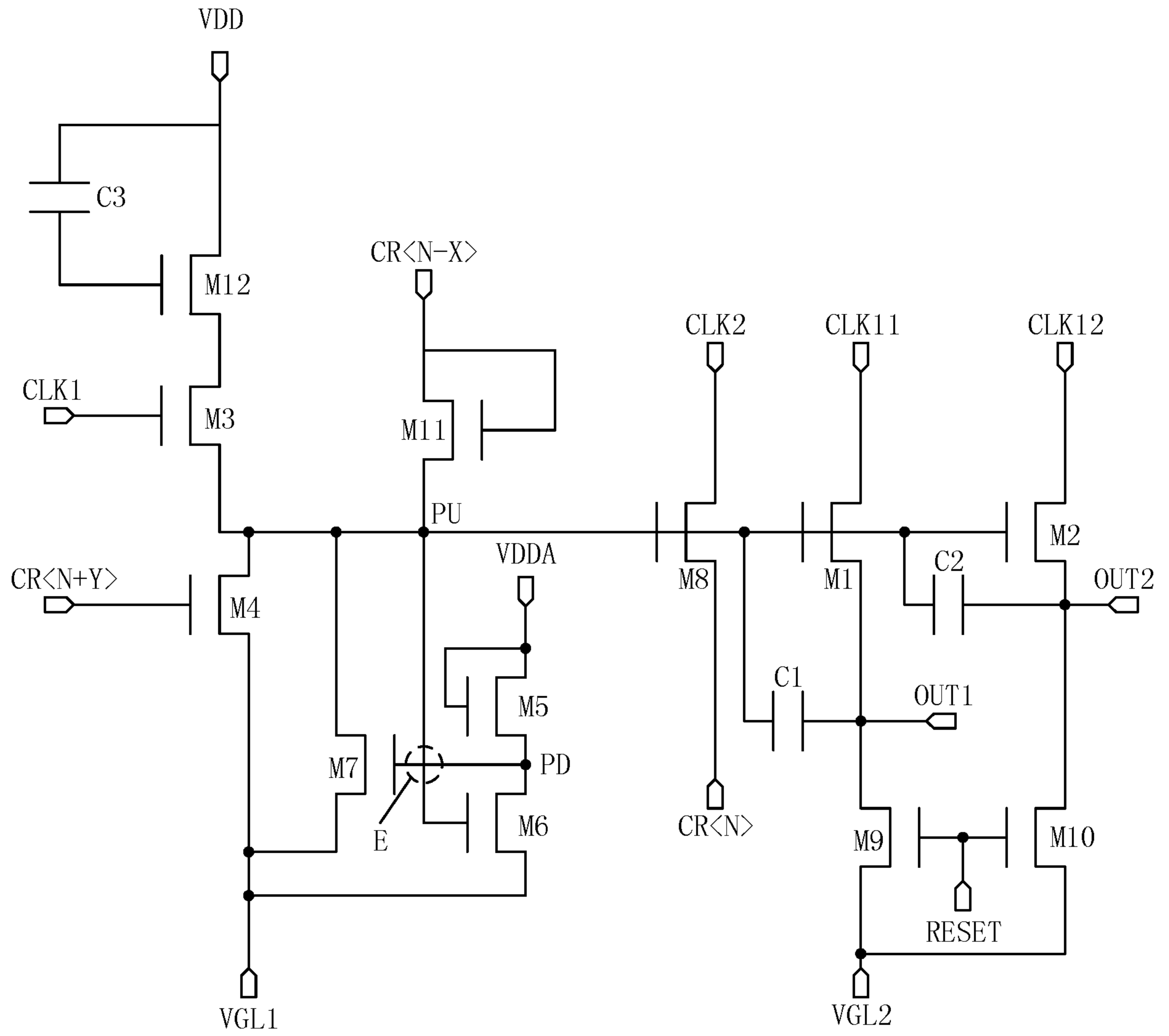


图 17

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/125254

A. CLASSIFICATION OF SUBJECT MATTER G09G 3/00(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09G3/-		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNPAT, CNKI, WPI, EPODOC: GOA 栅极, 驱动, 阵列基板, 移位寄存器, 缓存器, 暂存器, 潜在, 潜伏, 可疑, 故障, 短路, 断路, 激发, 诱发, 检测, 检测点, 电压差, 导通, gate, grid, driv+, array, substrate, register, potential, failure, fault, short, circuit, open, broken, excitat+, detect+, point, voltage, difference, conduct+		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 110728937 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 24 January 2020 (2020-01-24) description, paragraphs [0067]-[0133], and figures 1-17	1-16
A	CN 105575301 A (SHANGHAI TIANMA MICROELECTRONICS CO., LTD. et al.) 11 May 2016 (2016-05-11) description, paragraphs [0032]-[0049], and figures 1-4	1-16
A	CN 109462910 A (SHANGHAI YAMING LIGHTING CO., LTD.) 12 March 2019 (2019-03-12) entire document	1-16
A	CN 105765812 A (GE AVIATION SYSTEMS LIMITED) 13 July 2016 (2016-07-13) entire document	1-16
A	US 2003103306 A1 (YAZAKI CORPORATION) 05 June 2003 (2003-06-05) entire document	1-16
A	JP 2013183266 A (DENSO CORP.) 12 September 2013 (2013-09-12) entire document	1-16
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 04 January 2021		Date of mailing of the international search report 27 January 2021
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088 China		Authorized officer
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2020/125254

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	110728937	A	24 January 2020	None			
CN	105575301	A	11 May 2016	CN	105575301	B	24 May 2019
CN	109462910	A	12 March 2019	None			
CN	105765812	A	13 July 2016	EP	3072198	A1	28 September 2016
				WO	2015075410	A1	28 May 2015
				JP	2016537631	A	01 December 2016
				CN	105765812	B	20 November 2018
				US	2016291073	A1	06 October 2016
				CA	2930490	A1	28 May 2015
				US	9915694	B2	13 March 2018
US	2003103306	A1	05 June 2003	JP	2003174795	A	20 June 2003
				US	6876531	B2	05 April 2005
				JP	3779917	B2	31 May 2006
JP	2013183266	A	12 September 2013	None			

A. 主题的分类 G09G 3/00(2006.01) i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G3/- 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, CNKI, WPI, EPODOC:GOA 栅极, 驱动, 阵列基板, 移位寄存器, 缓存器, 暂存器, 潜在, 潜伏, 可疑, 故障, 短路, 断路, 激发, 诱发, 检测, 检测点, 电压差, 导通, gate, grid, driv+, array, substrate, register, potential, failure, fault, short, circuit, open, broken, excitat+, detect+, point, voltage, difference, conduct+		
C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 110728937 A (京东方科技集团股份有限公司 等) 2020年 1月 24日 (2020 - 01 - 24) 说明书第[0067]-[0133]段、附图1-17	1-16
A	CN 105575301 A (上海天马微电子有限公司 等) 2016年 5月 11日 (2016 - 05 - 11) 说明书第[0032]-[0049]段、附图1-4	1-16
A	CN 109462910 A (上海亚明照明有限公司) 2019年 3月 12日 (2019 - 03 - 12) 全文	1-16
A	CN 105765812 A (通用电气航空系统有限公司) 2016年 7月 13日 (2016 - 07 - 13) 全文	1-16
A	US 2003103306 A1 (YAZAKI CORPORATION) 2003年 6月 5日 (2003 - 06 - 05) 全文	1-16
A	JP 2013183266 A (DENSO CORP.) 2013年 9月 12日 (2013 - 09 - 12) 全文	1-16
<input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2021年 1月 4日	国际检索报告邮寄日期 2021年 1月 27日	
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	授权官员 谢建军 电话号码 86-(10)-53962524	

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2020/125254

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	110728937	A	2020年 1月 24日	无			
CN	105575301	A	2016年 5月 11日	CN	105575301	B	2019年 5月 24日
CN	109462910	A	2019年 3月 12日	无			
CN	105765812	A	2016年 7月 13日	EP	3072198	A1	2016年 9月 28日
				WO	2015075410	A1	2015年 5月 28日
				JP	2016537631	A	2016年 12月 1日
				CN	105765812	B	2018年 11月 20日
				US	2016291073	A1	2016年 10月 6日
				CA	2930490	A1	2015年 5月 28日
				US	9915694	B2	2018年 3月 13日
US	2003103306	A1	2003年 6月 5日	JP	2003174795	A	2003年 6月 20日
				US	6876531	B2	2005年 4月 5日
				JP	3779917	B2	2006年 5月 31日
JP	2013183266	A	2013年 9月 12日	无			