



(12)发明专利

(10)授权公告号 CN 104347711 B

(45)授权公告日 2019.05.07

(21)申请号 201410005217.1

(22)申请日 2014.01.06

(65)同一申请的已公布的文献号  
申请公布号 CN 104347711 A

(43)申请公布日 2015.02.11

(30)优先权数据  
10-2013-0088910 2013.07.26 KR

(73)专利权人 爱思开海力士有限公司  
地址 韩国京畿道

(72)发明人 金锡基

(74)专利代理机构 北京弘权知识产权代理事务  
所(普通合伙) 11363  
代理人 俞波 毋二省

(51)Int.Cl.

H01L 29/78(2006.01)

H01L 21/336(2006.01)

H01L 21/28(2006.01)

审查员 梁庆然

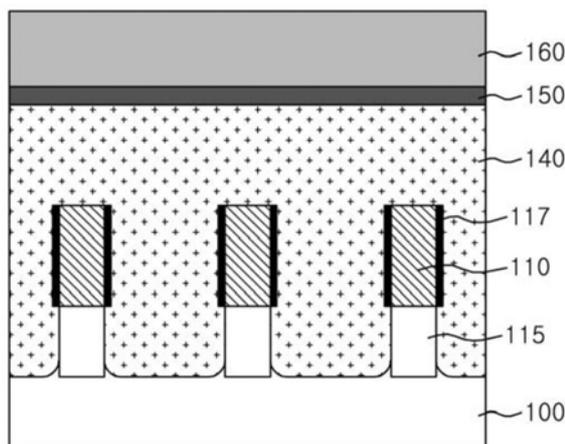
权利要求书2页 说明书11页 附图12页

(54)发明名称

具有横向沟道的三维半导体器件及其制造方法

(57)摘要

提供了一种3D半导体器件及其制造方法。所述3D半导体器件包括:半导体衬底;绝缘层,其形成在半导体衬底上;有源线,其形成在绝缘层上,包括源极区和漏极区;栅电极,其位于有源线的与源极区和漏极区之间的区域相对应的部分上,并且向与有源线大体垂直的方向延伸;以及线形公共源极节点,其被形成为与源极区电耦接,并且在栅电极之间的空间中大体平行于栅电极而延伸。



1. 一种半导体器件,包括:  
半导体衬底;  
绝缘层,所述绝缘层形成在所述半导体衬底上;  
有源线,所述有源线形成在所述绝缘层上,包括源极区和漏极区;  
栅电极,所述栅电极位于所述有源线的对应于所述源极区与所述漏极区之间的区域的部分上,并且向与所述有源线大体垂直的方向延伸;  
线形公共源极节点,所述线形公共源极节点被形成为:与所述源极区电耦接,并且在栅电极之间的空间中大体平行于所述栅电极而延伸;  
加热电极,所述加热电极形成在所述漏极区上;以及  
可变电阻器,所述可变电阻器形成在所述加热电极和所述线形公共源极节点上,  
其中,在所述加热电极上的所述可变电阻器与所述加热电极电耦接,并且在所述线形公共源极节点上的所述可变电阻器与所述线形公共源极节点电绝缘。
2. 如权利要求1所述的半导体器件,其中,具有一定高度的硬掩模层形成在所述栅电极上,并且位于所述加热电极上的所述可变电阻器与所述线形公共源极节点上的所述可变电阻器之间。
3. 如权利要求1所述的半导体器件,其中,绝缘层插入在所述栅电极与所述有源线之间、所述栅电极与所述线形公共源极节点之间、以及所述栅电极与所述加热电极之间。
4. 如权利要求1所述的半导体器件,其中,所述栅电极包括以下之中的一种或多种材料:W、Cu、TiN、Ta<sub>2</sub>N<sub>5</sub>、WN、MoN、NbN、TiSiN、TiAlN、TiBN、ZrSiN、WSiN、WBN、ZrAlN、MoSiN、MoAlN、TaSiN、TaAlN、Ti、Mo、Ta、TiSi、TaSi、TiW、TiON、TiAlON、WON、以及TaON。
5. 一种半导体器件,包括:  
半导体衬底;  
多个有源线,所述多个有源线浮置在所述衬底之上,并且平行于第一方向延伸;  
多个栅电极,所述多个栅电极形成在每个所述有源线上,并且平行于第二方向延伸,所述第二方向与所述第一方向大体垂直;  
多个线形公共源极节点,所述多个线形公共源极节点形成在每个所述有源线上,平行于所述第二方向延伸,并且位于所述栅电极之间;  
漏极区,所述漏极区形成在每个所述有源线中位于所述栅电极的一侧;  
源极区,所述源极区形成在每个所述有源线中位于所述栅电极的另一侧;  
加热电极,所述加热电极形成在所述漏极区上;  
可变电阻器,所述可变电阻器形成在所述加热电极和所述线形公共源极节点上,  
其中,在所述加热电极上的所述可变电阻器与所述加热电极电耦接,并且在所述线形公共源极节点上的所述可变电阻器与所述线形公共源极节点电绝缘。
6. 如权利要求5所述的半导体器件,其中,每个所述线形公共源极节点被形成为:与所述源极区中相对应的一个电耦接,并且与所述半导体衬底电耦接。
7. 如权利要求5所述的半导体器件,其中,绝缘层还插入在所述半导体衬底与所述有源线之间。
8. 如权利要求5所述的半导体器件,其中,具有一定高度的硬掩模层形成在所述栅电极上,而所述加热电极和所述加热电极上的所述可变电阻器位于所述硬掩模层之间。

9. 如权利要求5所述的半导体器件,其中,绝缘层插入在所述栅电极与所述有源线之间、所述栅电极与所述公共源极节点之间、以及所述栅电极与所述加热电极之间。

10. 如权利要求5所述的半导体器件,其中,每个所述栅电极包括以下之中的一种或多种材料:W、Cu、TiN、TaN、WN、MoN、NbN、TiSiN、TiAlN、TiBN、ZrSiN、WSiN、WBN、ZrAlN、MoSiN、MoAlN、TaSiN、TaAlN、Ti、Mo、Ta、TiSi、TaSi、TiW、TiON、TiAlON、WON、以及TaON。

11. 一种制造半导体器件的方法,所述方法包括以下步骤:

在衬底上顺序层叠第一半导体层和第二半导体层;

通过将所述第二半导体层和所述第一半导体层图案化来形成有源线;

在所述有源线的预定区域中形成源极区和漏极区;

将构成所述有源线的所述第一半导体层完全氧化,并且在所述第二半导体层的表面上形成绝缘层;

形成与所述有源线交叉的线形虚设图案,以贯通所述源极区和所述漏极区;

在所述线形虚设图案之间的区域中形成栅电极;

选择性地去除贯通所述源极区的所述线形虚设图案;以及

在去除了所述线形虚设图案的区域中形成线形公共源极节点。

12. 如权利要求11所述的方法,其中,所述第一半导体层包括氧化速率比所述第二半导体层的氧化速率高的材料。

13. 如权利要求12所述的方法,其中,所述第一半导体层包括硅锗SiGe层,而所述第二半导体层包括硅Si层。

14. 如权利要求11所述的方法,其中,形成所述栅电极的步骤包括以下步骤:

形成导电层以掩埋在所述线形虚设图案之间的区域中;以及

将所述导电层凹陷。

15. 一种制造半导体器件的方法,所述方法包括以下步骤:

在衬底上形成有源线层;

通过图案化所述有源线层来形成向第一方向延伸的有源线图案;

在所述有源线的预定区域中形成源极区和漏极区;

在所述有源线图案上形成线形虚设图案,以贯通所述源极区和所述漏极区,其中,所述线形虚设图案向第二方向延伸,所述第二方向与所述第一方向大体垂直;

在所述线形虚设图案之间的区域中形成栅电极,其中,所述栅电极平行于所述第二方向延伸;

选择性地去除贯通所述源极区的所述线形虚设图案;以及

在去除了所述线形虚设图案的区域中形成线形公共源极节点。

16. 如权利要求15所述的方法,其中,形成所述栅电极的步骤包括以下步骤:

形成导电层以掩埋在所述线形虚设图案之间的区域中;以及

将所述导电层凹陷。

## 具有横向沟道的三维半导体器件及其制造方法

[0001] 相关申请的交叉引用

[0002] 本申请要求2013年7月26日向韩国知识产权局提交的申请号为10-2013-0088910的韩国专利申请的优先权,其全部内容通过引用合并于此。

### 技术领域

[0003] 本发明构思涉及一种半导体集成电路器件,更具体而言,涉及一种具有三维(3D)横向沟道的半导体器件及其制造方法。

### 背景技术

[0004] 随着移动数字信息通信和电子消费行业的快速发展,对现有的电荷控制的器件的研究会遇到限制。因而,需要发展不同于现有的电荷控制的器件的具有新颖构思的新功能存储器件。具体地,需要研究具有大容量、超高速、以及超低功率的下一代存储器件。

[0005] 目前,利用电阻器件作为存储媒介的电阻可变存储器件已经被提出作为下一代存储器件。可变电阻存储器件的典型的实例是相变随机存取存储器(PCRAM)、电阻随机存取存储器(ReRAM)以及磁阻随机存取存储器(MRAM)。

[0006] 每个可变电阻存储器件基本上可以由开关器件和电阻器件形成,并且可以根据电阻器件的状态来存储数据“0”或“1”。

[0007] 即使在电阻可变存储器件中,优先改善集成密度,并且将尽可能多的存储器单元集成在有限小的面积中。

[0008] 目前,提出了以3D结构形成电阻可变存储器件的方法,并且对于稳定地层叠具有窄的临界尺寸的多个存储器单元的方法的需求在增长。

[0009] 作为一种典型的3D结构的电阻可变存储器件的制造方法,存在一种利用垂直柱体制造开关器件的方法。然而,利用垂直柱体制造开关器件的方法具有的问题在于开关器件的制造工艺复杂,并且高宽比因垂直柱体的高度而增大,且因而半导体器件在结构上不稳定。

[0010] 为了缓解3D垂直柱体结构的这种问题,提出了3D横向沟道结构。3D横向沟道结构是在3D结构中具有横向沟道(横向鳍结构或横向沟道区)的有源区形成在半导体衬底上而不同于现存的掩埋类型的一种结构。在这种3D横向沟道半导体器件中,通常横向鳍结构经由公共源极节点与半导体衬底电耦接。

[0011] 然而,3D横向沟道半导体器件的制造工艺可以包括将有源区的沟道与公共源极节点对准的工艺,以及将栅极(字线)与有源区的沟道对准的工艺。因此,诸如未对准的工艺缺陷会发生在制造工艺中。

### 发明内容

[0012] 根据本发明构思的一个示例性实施例,提供了一种半导体器件。所述半导体器件可以包括:半导体衬底;绝缘层,其形成在半导体衬底上;有源线,其形成在绝缘层上,包括

有源区和漏极区；栅电极，其位于有源线的对应于源极区与漏极区之间的区域的部分上，并且向与有源线大体垂直的方向延伸；以及线形公共源极节点，其被形成为与源极区电耦接、并且在栅电极之间的空间中大体平行于栅电极而延伸。

[0013] 根据本发明的一个示例性实施例，提供了一种半导体器件。所述半导体器件可以包括：半导体衬底；多个有源线，其浮置在衬底之上，并且平行于第一方向延伸；多个栅电极，其形成在每个有源线上，并且平行于与第一方向大体垂直的第二方向延伸；多个线形公共源极节点，其形成在每个有源线上，平行于第二方向延伸，并且位于栅电极之间；漏极区，形成在每个有源线中位于栅电极的一侧；以及源极区，形成在每个有源线中位于栅电极的另一侧。

[0014] 根据本发明的一个示例性实施例，提供了一种制造半导体器件的方法。所述方法可以包括以下步骤：在半导体衬底上顺序层叠第一半导体层和第二半导体层；通过将第二半导体层和第一半导体层图案化来形成有源线；在有源线的预定区域中形成源极区和漏极区；将构成有源线的第一半导体层完全氧化；以及在第二半导体层的表面上形成绝缘层；形成穿过有源线的线形虚设图案，以穿通源极区和漏极区；在线形虚设图案之间的区域中形成栅电极；选择性地去除穿通源极区的线形虚设图案；以及在去除了线形虚设图案的区域中形成线形公共源极节点。

[0015] 另外，可以在形成栅电极的步骤与去除虚设图案的步骤之间在栅电极上形成硬掩模层。

[0016] 另外，可以通过在选择性地去除穿通源极区的虚设图案同时选择性地去除漏极区上的虚设图案来暴露出源极区和漏极区。然后，可以在形成公共源极节点的同时在暴露的漏极区上形成加热电极。

[0017] 另外，可以在加热电极和公共源极节点上形成间隔件绝缘层，以暴露出加热电极并且屏蔽公共源极节点，并且可以在加热电极和公共源极节点上形成电阻可变材料层。

[0018] 在以下标题为“具体实施方式”的部分描述这些和其他的特点、方面以及实施例。

## 附图说明

[0019] 从如下结合附图的详细描述中将更加清楚地理解本公开的主题的以上和其他的方面、特征和其他的优点，其中：

[0020] 图1A至图1E是说明一种制造根据本发明构思的一个实施例的具有3D横向沟道的半导体器件的方法的平面图；

[0021] 图2A至图2E是沿着图1A至图1E的线II-II' 截取的说明图1A至图1E中所示的制造具有3D横向沟道的半导体器件的方法的截面图；

[0022] 图3A至图3E是沿着图1A至图1E的线III-III' 截取的说明图1A至图1E中所示的制造具有3D横向沟道的半导体器件的方法的截面图；

[0023] 图4A至图4E是沿着图1A至图1E的线IV-IV' 截取的说明图1A至图1E中所示的制造具有3D横向沟道的半导体器件的方法的截面图；

[0024] 图5是说明根据本发明构思的一个实施例的具有3D横向沟道的半导体器件的立体图；

[0025] 图6是说明根据本发明构思的一个实施例的微处理器的框图；

[0026] 图7是说明根据本发明构思的一个实施例的框图;以及

[0027] 图8是说明根据本发明构思的一个实施例的系统的框图。

### 具体实施方式

[0028] 在下文中,将参照附图更详细地描述示例性实施例。本文参照截面图描述示例性实施例,截面图是示例性实施例(和中间结构)的示意性图示。照此,可以预料到图示的形状变化是缘于例如制造技术和/或公差。因而,示例性实施例不应被解释为局限于本文所说明的区域的特定形状、而是可以包括例如缘于制造的形状差异。在附图中,为了清楚起见,可能对层和区域的长度和尺寸进行夸大。附图中相同的附图标记表示相同的元件。还要理解的是,当提及一层在另一层或衬底“上”时,其可以直接在另一层或衬底上、或者还可以存在中间层。也应当注意的是,在本说明书中,“连接/耦接”不仅表示一个部件与另一个部件直接耦接,还表示一个部件经由中间部件与另一个部件间接耦接。另外,只要未在句子中特意提及,单数形式可以包括复数形式。

[0029] 本文参照截面图和/或平面图描述本发明构思,截面图和/或平面图是本发明构思的理想化的实施例的示意性图示。然而,本发明构思的实施例不应当被解释为局限于本发明构思。尽管将示出和描述本发明构思的一些实施例,但是对于本领域的普通技术人员将理解的是,在不脱离本发明构思的原理和精神的情况下可以对这些示例性实施例进行变化。

[0030] 在本实施例中,将半导体器件之中的电阻可变存储器件作为一个实例进行描述。

[0031] 参见图1A、2A、3A以及4A,第一半导体层105和第二半导体层110可以顺序形成在半导体衬底100上。第一半导体层105和第二半导体层110可以由彼此具有不同的刻蚀选择性和氧化速率的材料形成。第一半导体层105可以是用于在随后的工艺中限定公共源极节点的层,并且可以包括例如硅锗(SiGe)层。第二半导体层110可以是要形成结区和沟道区的层,并且被形成比第一半导体层105厚。第一半导体层和第二半导体层110可以由外延生长方法来形成以具有理想的结晶状态。第二半导体层110和第一半导体层105可以被图案化成鳍形以形成有源线F。多个有源线F可以被形成并且平行于图1A的x-方向延伸。另外,在图1A中,GT\_P可以表示栅形成区,而DGT\_P可以是虚设栅形成区。多个栅形成区GT\_P可以延伸成彼此平行,并且可以被大体布置成与有源线F垂直。另外,一个虚设栅形成区DGT\_P可以形成在每两个栅形成区GT\_P的间隔中,以将单元大体分开。在图1中,PS可以表示公共源极节点形成区。

[0032] 参见图1B、2B、3B以及4B,虚设层可以形成在形成有有源线F的半导体衬底上。虚设层可以被图案化以线形位于栅形成区GT\_P之间、和栅形成区GT\_P与虚设栅形成区DGT\_P之间,以形成具有线形的虚设图案120。虚设图案120可以由例如多晶硅层的导电层形成。

[0033] 在形成虚设图案120之前,源极区S和漏极区D可以交替地形成在第二半导体层110的与虚设图案120相对应的部分中。可以在栅形成区GT\_P和虚设栅形成区DGT\_P上形成掩模之后执行形成源极区S和漏极区D的工艺。

[0034] 在形成源极区S和漏极区D的工艺与形成虚设图案120的工艺之间,可以对暴露出的半导体衬底100执行氧化工艺以形成第一绝缘层115和第二绝缘层117。第一绝缘层115可以通过氧化第一半导体层105来获得。第一半导体层105的氧化可以通过经由半导体层105

的暴露出的侧面供应氧气来执行。另外,第二绝缘层117可以通过将半导体衬底100和第二半导体层110的表面氧化来获得。例如,第一半导体层105可以由SiGe材料形成,而第二半导体层110和半导体衬底100可以由硅(Si)材料形成。在这种情况下,由于SiGe材料具有比Si材料大的氧化速率,所以在第一半导体层105被完全氧化以形成第一绝缘层115的同时,可以在第二半导体层110和半导体衬底100上形成比第一绝缘层115薄的第二绝缘层117。另外,如图4B中所示,第二绝缘层117可以形成在第二半导体层110的整个表面上。

[0035] 可以可交换地执行形成源极区S和漏极区D的工艺和形成第一绝缘层和第二绝缘层的工艺。

[0036] 参见图1C、2C、3C以及4C,氧化层125可以形成在虚设图案120的暴露出的表面上。接着,栅导电层形成在栅形成区GT\_P和虚设栅形成区DGT\_P中。栅导电层可以包括金属材料,例如以下之中的一种或多种材料:钨(W)、铜(Cu)、氮化钛(TiN)、氮化钽(TaN)、氮化钨(WN)、氮化钼(MoN)、氮化铌(NbN)、氮化钛硅(TiSiN)、氮化钛铝(TiAlN)、氮化钛硼(TiBN)、氮化锆硅(ZrSiN)、氮化钨硅(WSiN)、氮化钨硼(WBN)、氮化锆铝(ZrAlN)、氮化钼硅(MoSiN)、氮化钼铝(MoAlN)、氮化钽硅(TaSiN)、氮化钽铝(TaAlN)、钛(Ti)、钼(Mo)、钽(Ta)、硅化钛(TiSi)、硅化钽(TaSi)、钛钨(TiW)、氮氧化钛(TiON)、氮氧化钛铝(TiAlON)、氮氧化钨(WON)、以及氮氧化钽(TaON)。栅导电层可以被回蚀以保留在栅形成区GT\_P和虚设栅形成区DGT\_P的每个的底部中,且因而可以形成栅电极130。此时,栅电极130可以通过虚设图案120和氧化层125彼此绝缘。硬掩模层135可以形成在栅电极130上。硬掩模层135可以被形成为掩埋在栅形成区GT\_P和虚设栅形成区DGT\_P的每个中。

[0037] 参见图1D、2D、3D以及4D,位于公共源极节点形成区PS上的虚设图案120可以被选择性地去除以形成源极孔H。形成源极孔H的工艺可以利用掩模工艺。形成源极孔H的工艺可以包括过刻蚀工艺。可以经由过刻蚀工艺部分地刻蚀源极区S的表面。图4D说明沿着源极孔H截取的部分。

[0038] 参见图1E、2E、3E以及4E,可以选择性地去除有源线F上的虚设图案120(即在漏极区D上的虚设图案),然后可以选择性地去除在漏极区D上的第二绝缘层117。

[0039] 导电层可以掩埋在源极孔H中和去除漏极区D的虚设图案的空间中。导电层可以包括掺杂的多晶硅层。掩埋的导电层可以被凹陷预定的厚度以在源极区S上形成公共源极节点140并且在漏极区D上形成加热电极145。经由凹陷工艺,可变电阻器区可以形成在公共源极节点140和加热电极145上。

[0040] 由于公共源极节点140形成在源极孔H中,所以可以将公共源极节点140形成为与栅电极130平行的线形。因此,公共源极节点140可以与有源线F上的源极区S以及有源线F之间的空间中的半导体衬底100接触。

[0041] 可以将用于间隔件的绝缘层150沉积在形成有公共源极节点140和加热电极145的半导体衬底上。掩模图案(未示出)可以被形成为屏蔽在公共源极节点140上的用于间隔件的绝缘层150。随后,可以利用常规的间隔件刻蚀工艺(例如各向异性刻蚀工艺)来刻蚀在加热电极145上的用于间隔件的暴露出的绝缘层150,以在加热电极145上可变电阻器区的侧壁上形成间隔件155。

[0042] 加热电极145可以通过间隔件155暴露出,并且公共源极节点140可以通过用于间隔件的绝缘层150来屏蔽。接着,可以经由常规的工艺来去除掩模图案。

[0043] 电阻可变材料层160可以被形成掩埋在可变电阻器区中。由于电阻可变材料层160可以包括：用于ReRAM的PCMO层、用于PCRAM的硫族化物层、用于MRAM的磁性层、用于自旋转移力矩磁阻RAM(STTMRAM)的磁化反转器件层、或者用于聚合物RAM(PoRAM)的聚合物层。电阻可变材料层160可以与加热电极145电耦接、并且与公共源极节点140电隔离。

[0044] 随后，尽管未示出，位线可以形成在电阻可变材料层160上。位线可以沿着与栅电极130的延伸方向大体垂直的方向形成。

[0045] 根据本实施例，由于公共源极节点140以线形形成在栅电极130之间，所以不需要独立的对准工艺和复杂的氧化控制工艺。另外，由于公共源极节点140以如下这种方式形成使得源极区S的公共源极节点140位于源极区S上、并且在有源线F之间的空间中的公共源极节点140与半导体衬底100接触，所以可以经由公共源极节点140将电流稳定地提供至半导体衬底100。因此，其中公共源极节点和栅极以自对准的方式形成的横向沟道晶体管可以被完成。

[0046] 参见图5，在根据本发明的半导体器件，形成有源极区（未示出）和漏极区D的第一绝缘层115和有源线F形成在半导体衬底100上。

[0047] 栅电极130可以被大体布置成与在源极区和漏极区D之间的有源线F垂直，并且公共源极节点140可以形成在栅电极130之间，以与源极区接触。

[0048] 加热电极145可以形成在漏极区D上，并且电阻可变材料层160可以被形成与加热电极145电接触，并且与公共源极节点140绝缘。

[0049] 根据本实施例的具有3D横向沟道的半导体器件可以包括横向或纵向穿过有源线的线形的公共源极节点。由于线形的公共源极节点没用复杂的对准工艺和部分氧化在有源线的下部中的第一半导体层的工艺而形成，所以可以减少工艺错误。另外，半导体器件的高宽比可以利用横向沟道结构来降低，并且由于根据从具有现有图案结构的公共源极节点变成线形的公共源极节点而电流放电区域也增大，所以可以改善电相互作用的特性。以这种线形的公共源极节点，可以将电流稳定地提供至半导体衬底，并且也可以消除诸如倾斜的结构问题。

[0050] 另外，栅电极可以利用金属层来形成，且因而可以改善栅电极的导电特性。

[0051] 如图6中所示，应用了根据本实施例的半导体器件的微处理器1000可以控制和调节一系列处理：从各种外部装置接收数据、处理数据并且将处理结果传送至外部装置。微处理器1000可以包括：储存单元1010、运算单元1020、以及控制单元1030。微处理器1000可以是各种类型的处理装置，诸如中央处理单元（CPU）、图形处理单元（GPU）、数字信号处理器（DSP）、或者应用处理器（AP）。

[0052] 储存单元1010可以是处理器寄存器或者寄存器，并且储存单元可以是可以将数据存储在微处理器1000中的单元，并且包括数据寄存器、地址寄存器、以及浮点寄存器。储存单元1010可以包括不同于上述寄存器的各种寄存器。储存单元1010可以用以暂时存储要在运算单元1020中运算的数据、在运算单元1020中处理的所得数据、以及存储要处理的数据的地址。

[0053] 储存单元1010可以包括根据实施例的半导体器件中的一个。包括根据上述实施例的半导体器件的储存单元1010可以包括3D半导体器件，所述3D半导体器件包括公共源极节点以线形形成于其中的横向沟道结构。

[0054] 运算单元1020可以是适用于在微处理器1000中执行运算的单元,并且根据控制单元1030中对命令的解码结果来执行算术运算或逻辑运算的各种四则运算。运算单元1020可以包括一个或多个算术与逻辑单元(ALU)。

[0055] 控制单元1030从储存单元1010、运算单元1020或者微处理器1000的外部装置接收信号,执行命令的提取或解码、或者输入或输出控制,以及以编程形式执行处理。

[0056] 根据本实施例的微处理器1000还可以包括高速缓冲存储单元1040,可以暂时存储从/向不同于储存单元1010的外部装置输入/输出的数据。此时,高速缓冲存储单元1040可以经由总线接口1050而与储存单元1010、运算单元1020以及控制单元1030交换数据。

[0057] 如图7中所示,根据本实施例的处理器1100可以包括各种功能来实施性能改善和多功能,不同于微处理器的功能,微处理器可以控制和调节一系列处理:从各种外部装置收数据、处理数据并且将处理结果传送至外部装置。处理器1100可以包括:核单元1110、高速缓冲存储单元1120、以及总线接口1130。在本实施例中的核单元1110是可以对从外部装置输入的数据执行算术和逻辑运算的单元,并且包括:储存单元1111、运算单元1112以及控制单元1113。处理器1100可以是各种类型的片上系统(SoC),诸如多核处理器(MCP)、GPU或者AP。

[0058] 储存单元1111可以是处理器寄存器或者寄存器,并且储存单元1111是可以将数据存储在处理器1100中的单元,并且包括数据寄存器、地址寄存器以及浮点寄存器。储存单元1111可以包括不同于上述寄存器之外的各种寄存器。储存单元1111可以用以暂时存储要在运算单元1112中运算的数据、在运算单元1112中处理的所得数据、以及存储要处理的数据的地址。运算单元1112是可以可以在处理器1100中执行运算的单元,并且根据控制单元1113中对命令的解码结果执行各种算术或逻辑运算的四则运算。运算单元1112可以包括一个或多个算术与逻辑单元(ALU)。控制单元1113从储存单元1111、运算单元1112、或者处理器1100的外部装置中接收信号,执行命令的提取或解码、或者输入或输出控制,以及以编程形式执行处理。

[0059] 高速缓冲存储单元1120可以暂时存储数据以补充不同于高速核单元1110的低速外部装置的数据处理速率。高速缓冲存储单元1120包括:主储存单元1121、二级储存单元1122以及三级储存单元1123。通常,高速缓冲存储单元1120可以包括主储存单元1121和二级储存单元1122。在需要大容量储存单元时,高速缓冲存储单元1120可以包括三级储存单元1123。如果需要的话,高速缓冲存储单元1120可以包括更多储存单元。即,在高速缓冲存储单元1120中包括的储存单元的数目可以根据设计来改变。这里,主储存单元1121、二级储存单元1122以及三级储存单元1123的数据储存和区分的处理速率可以彼此相同或不同。在储存单元的处理速率不同时,主储存单元的处理速率最快。在高速缓冲存储单元1120中的主储存单元1121、二级储存单元1122以及三级储存单元1123中的一个或多个可以包括根据实施例的半导体器件中的一个。包括根据上述实施例的半导体器件的高速缓冲存储单元1120可以包括3D半导体器件,所述3D半导体器件包括其中公共源极节点形成为线形的横向沟道结构。图7已经说明了主储存单元1121、二级储存单元1122以及三级储存单元1123所有都形成在高速缓冲存储单元1120中。然而,在高速缓冲存储单元1120中的主储存单元1121、二级储存单元1122以及三级储存单元1123所有都可以形成在核单元1110的外部,并且可以补充核单元1110和外部装置的处理速率之间的差。另外,高速缓冲存储单元1120的主储存

单元1121可以位于核单元1110中,而二级储存单元1122和三级储存单元1123可以形成在核单元1110的外部中,以加强补偿处理速率的功能。

[0060] 总线接口1130是一种可以耦接核单元1110和高速缓冲存储单元1120的单元以有效地传送数据。

[0061] 根据本实施例的处理器1100可以包括多个核单元1110,并且核单元1110可以共享高速缓冲存储单元1120。核单元1110和高速缓冲存储单元1120可以经由总线接口1130耦接。核单元1110可以具有与上述核单元1110的配置相同的配置。在提供核单元1110时,高速缓冲存储单元1120的主储存单元1121可以形成在与多个核单元1110相对应的核单元1110的每个中,并且二级储存单元1122和三级储存单元1123可以形成在要经由总线接口1130共享的核单元1110的外部中的一个主体中。这里,主储存单元1121的处理速率可以比二级储存单元1122和三级储存单元1123的处理速率大。

[0062] 根据本实施例的处理器1100还可以包括:嵌入式存储单元1140,其可以存储数据;通信模块单元1150,其可以采用有线方式或无线方式将数据传送至外部装置或者从外部装置接收数据;存储器控制单元1160,其可以驱动外部存储器件;以及媒体处理单元1170,其可以处理在处理器1100中处理的数据或者从外部装置输入的数据,并且可以将处理结果输出至外部接口器件。处理器还可以包括多个模块。此时,模块可以经由总线接口1130向/从核单元1110和高速缓冲存储单元1120传送/接收数据、以及在模块之间传送和接收数据。

[0063] 嵌入式存储单元1140可以包括易失性存储器或非易失性存储器。易失性存储器可以包括:动态随机存取存储器(DRAM)、移动DRAM、以及静态随机存取存储器(SRAM)等,而非易失性存储器可以包括:只读存储器(ROM)、或非(NOR)快闪存储器、与非(NAND)快闪存储器、相变随机存取存储器(PRAM)、阻变随机存取存储器(RRAM)、自旋转移力矩随机存取存储器(STTRAM)、以及磁性随机存取存储器(MRAM)等。根据本实施例的半导体器件可以被应用于嵌入式存储单元1140。

[0064] 通信模块单元1150可以包括诸如可以与有线网络耦接的模块、和可以与无线网络耦接的模块的所有模块。有线网络模块可以包括局域网(LAN)、通用串行总线(USB)、以太网、以及电力线通信(PLC)等,而无线网络模块可以包括:红外数据协会(IrDA)、码分多址(CDMA)、时分多址(TDMA)、频分多址(FDMA)、无线LAN、Zigbee、泛在传感器网络(USN)、蓝牙、射频识别(RFID)、长期演进(LTE)、近场通信(NFC)、无线宽带互联网(Wibro)、高速下行链路分组接入(HSDPA)、宽带CDMA(WCDMA)、以及超宽带(UWB)等。

[0065] 存储器控制单元1160可以管理在处理器1100和外部装置之间传送的数据,外部装置可以根据来自处理器1100的不同通信标准来操作。存储器控制器单元1160可以包括各种存储器控制器、或者可以控制如下的控制器:集成电子设备(IDE)、串行高级技术附件(SATA)、小型计算机系统接口(SCSI)、独立磁盘冗余阵列(RAID)、固态硬盘(SSD)、外部SATA(eSATA)、个人计算机存储卡国际协会(PCMCIA)、USB、安全数字(SD)卡、迷你安全数字(mSD)卡、微型SD卡、安全数字大容量(SDHC)卡、记忆棒卡、智能媒体卡(SM)、多媒体卡(MMC)、嵌入式MMC(eMMC)、以及紧凑闪存(CF)卡等。

[0066] 媒体处理单元1170可以是一种可以处理在处理器1100中处理的数据、或者从外部输入器件输入的数据的单元,并且可以将处理的结果输出至外部接口器件,使得处理的结果可以采用视频、音频或者其他类型来传送。媒体处理单元1170可以包括GPU、DSP、高清

晰(HD)音频、以及高清晰多媒体接口(HDMI)控制器等。

[0067] 如图8中所示,应用了根据本发明构思的一个实施例的半导体器件的系统1200是数据处理装置。系统1200可以执行输入、处理、输出、通信、以及存储等以执行一系列对于数据的操作,并且包括处理器1210、主储存器件1220、辅助储存器件1230、以及接口器件1240。根据本实施例的系统是可以利用处理器来操作的各种电子系统,诸如计算机、服务器、个人数字助理(PDA)、便携式计算机、平板电脑、无线电话、移动电话、智能电话、数字音乐播放器、便携式多媒体播放器(PMP)、照相机、全球定位系统(GPS)、摄像机、语音记录器、远程信息处理、视听(AV)系统、或者智能电视。

[0068] 处理器1210是系统的核心配置,其可以控制对输入命令的解释、和对存储在系统中的数据的诸如操作、以及比较等的处理,并且可以由MPU、CPU、单/多核处理器、GPU、AP或DSP等形成。

[0069] 主储存单元1220是可以移动并执行来自辅助储存器件1230的程序或数据的储存位置,并且可以在执行编程时执行程序或数据。在断电的情况下主储存器件1220保持所储存的内容,并且可以包括根据上述实施例的半导体器件。主储存器件1220可以包括具有公共源极节点形成为线状的横向沟道结构的半导体器件。

[0070] 根据本实施例的主储存器件1220还可以包括易失性存储类型的SRAM或DRAM,在断电时其中的全部内容被擦除。可替代地,主储存器件1220可以不包括根据本实施例的半导体器件,而可以包括易失性存储类型的SRAM或DRAM,在断电时其中的全部内容被擦除。

[0071] 辅助储存器件1230是可以储存程序代码或数据的储存器件。辅助储存器件1230可以具有比主储存器件1220低的数据处理速率,但是可以储存大量的数据,并且包括根据上述实施例的半导体器件。辅助储存单元1230也可以包括具有公共源极形成为线形的横向沟道结构的半导体器件。

[0072] 可以减小根据本实施例的辅助储存器件1230的面积,以减小系统1200的尺寸并且增加系统1200的便携性。另外,辅助储存器件1230还可以包括数据储存系统,诸如利用磁性的磁带和磁盘、利用光的激光盘、利用磁性和光的磁光盘、SSD、USB存储器、SD卡、mSD卡、微型SD卡、SDHC卡、记忆棒卡、智能媒体卡、MMC卡、eMMC或者CF卡。与此不同,辅助储存器件1230可以不包括根据上述实施例的半导体器件,而可以包括数据储存系统,诸如利用磁性的磁带和磁盘、利用光的激光盘、利用磁性和光的磁光盘、SSD、USB存储器、SD卡、mSD卡、微型SD卡、SDHC卡、记忆棒卡、智能媒体卡、MMC卡、eMMC或者CF卡。

[0073] 接口器件1240可以与本实施例的系统交换外部装置的命令和数据,并且可以是键区、键盘、鼠标、扬声器、话筒、显示器、各种人机接口器件(HID)、或者通信器件。通信器件可以包括诸如可以与有线网络耦接的模块、或者可以与无线网络耦接的模块的全部模块。有线网络模块可以包括LAN、USB、以太网、以及PLC等,而无线网络模块可以包括:IrDA、CDMA、TDMA、FDMA、无线LAN、Zigbee、USN、蓝牙、RFID、LTE、NFC、Wibro、HSDPA、WCDMA、以及UWB等。

[0074] 本发明的以上实施例是说明性的,而不是限制性的。各种替换和等同形式是可以的。本发明不限于本文描述的实施例。本发明也不限于任何特定类型的半导体器件。考虑到本公开的内容,其他增加、删减或修改是明显的,并且意在落入所附权利要求的范围内。

[0075] 通过以上实施例可以看出,本申请提供了以下的技术方案。

[0076] 技术方案1.一种半导体器件,包括:

- [0077] 半导体衬底；
- [0078] 绝缘层,所述绝缘层形成在所述半导体衬底上；
- [0079] 有源线,所述有源线形成在所述绝缘层上,包括源极区和漏极区；
- [0080] 栅电极,所述栅电极位于所述有源线的对应于所述源极区与所述漏极区之间的区域的部分上,并且向与所述有源线大体垂直的方向延伸；以及
- [0081] 线形公共源极节点,所述线形公共源极节点被形成为:与所述源极区电耦接,并且在栅电极之间的空间中大体平行于所述栅电极而延伸。
- [0082] 技术方案2.如技术方案1所述的半导体器件,还包括形成在所述漏极区上的加热电极。
- [0083] 技术方案3.如技术方案2所述的半导体器件,还包括形成在所述加热电极和所述线形公共源极节点上的可变电阻器,
- [0084] 其中,在所述加热电极上的所述可变电阻器与所述加热电极电耦接,并且在所述线形公共源极节点上的所述可变电阻器与所述线形公共源极节点电绝缘。
- [0085] 技术方案4.如技术方案3所述的半导体器件,其中,具有一定高度的硬掩模层形成在所述栅电极上,并且位于所述加热电极上的所述可变电阻器与所述线形公共源极节点上的所述可变电阻器之间。
- [0086] 技术方案5.如技术方案2所述的半导体器件,其中,绝缘层插入在所述栅电极与所述有源线之间、所述栅电极与所述线形公共源极节点之间、以及所述栅极与所述加热电极之间。
- [0087] 技术方案6.如技术方案1所述的半导体器件,其中,所述栅电极包括以下之中的一种或多种材料:W、Cu、TiN、Ta<sub>2</sub>N<sub>5</sub>、WN、MoN、NbN、TiSiN、TiAlN、TiBN、ZrSiN、WSiN、WBN、ZrAlN、MoSiN、MoAlN、TaSiN、TaAlN、Ti、Mo、Ta、TiSi、TaSi、TiW、TiON、TiAlON、WON、以及TaON。
- [0088] 技术方案7.一种半导体器件,包括:
- [0089] 半导体衬底；
- [0090] 多个有源线,所述多个有源线浮置在所述衬底之上,并且平行于第一方向延伸；
- [0091] 多个栅电极,所述多个栅电极形成在每个所述有源线上,并且平行于第二方向延伸,所述第二方向与所述第一方向大体垂直；
- [0092] 多个线形公共源极节点,所述多个线形公共源极节点形成在每个所述有源线上,平行于所述第二方向延伸,并且位于所述栅电极之间；
- [0093] 漏极区,所述漏极区形成在每个所述有源线中位于所述栅电极的一侧；以及
- [0094] 源极区,所述源极区形成在每个所述有源线中位于所述栅电极的另一侧。
- [0095] 技术方案8.如技术方案7所述的半导体器件,其中,每个所述线形公共源极节点被形成为:与所述源极区中相对应的一个电耦接,并且与所述半导体衬底电耦接。
- [0096] 技术方案9.如技术方案7所述的半导体器件,其中,绝缘层还插入在所述半导体衬底与所述有源线之间。
- [0097] 技术方案10.如技术方案7所述的半导体器件,还包括形成在所述漏极区上的加热电极。
- [0098] 技术方案11.如技术方案10所述的半导体器件,还包括形成在所述加热电极上和所述线形公共源极节点上的可变电阻器,

[0099] 其中,在所述加热电极上的所述可变电阻器与所述加热电极电耦接,并且在所述线形公共源极节点上的所述可变电阻器与所述线形公共源极节点电绝缘。

[0100] 技术方案12.如技术方案11所述的半导体器件,其中,具有一定高度的硬掩模层形成在所述栅电极上,而所述加热电极和所述加热电极上的所述可变电阻器位于所述硬掩模层之间。

[0101] 技术方案13.如技术方案10所述的半导体器件,其中,绝缘层插入在所述栅电极与所述有源线之间、所述栅电极与所述公共源极节点之间、以及所述栅电极与所述加热电极之间。

[0102] 技术方案14.如技术方案7所述的半导体器件,其中,每个所述栅电极包括以下中的一种或多种材料:W、Cu、TiN、Ta<sub>2</sub>N<sub>3</sub>、WN、MoN、NbN、TiSiN、TiAlN、TiBN、ZrSiN、WSiN、WBN、ZrAlN、MoSiN、MoAlN、TaSiN、TaAlN、Ti、Mo、Ta、TiSi、TaSi、TiW、TiON、TiAlON、WON、以及Ta<sub>2</sub>O<sub>3</sub>。

[0103] 技术方案15.一种制造半导体器件的方法,所述方法包括以下步骤:

[0104] 在衬底上顺序层叠第一半导体层和第二半导体层;

[0105] 通过将所述第二半导体层和所述第一半导体层图案化来形成有源线;

[0106] 在所述有源线的预定区域中形成源极区和漏极区;

[0107] 将构成所述有源线的所述第一半导体层完全氧化,并且在所述第二半导体层的表面上形成绝缘层;

[0108] 形成与所述有源线交叉的线形虚设图案,以贯通所述源极区和所述漏极区;

[0109] 在所述线形虚设图案之间的区域中形成栅电极;

[0110] 选择性地去除贯通所述源极区的所述线形虚设图案;以及

[0111] 在去除了所述线形虚设图案的区域中形成线形公共源极节点。

[0112] 技术方案16.如技术方案15所述的方法,其中,所述第一半导体层包括氧化速率比所述第二半导体层的氧化速率高的材料。

[0113] 技术方案17.如技术方案16所述的方法,其中,所述第一半导体层包括硅锗SiGe层,而所述第二半导体层包括硅Si层。

[0114] 技术方案18.如技术方案15所述的方法,其中,形成所述栅电极的步骤包括以下步骤:

[0115] 形成导电层以掩埋在所述线形虚设图案之间的区域中;以及

[0116] 将所述导电层凹陷。

[0117] 技术方案19.一种制造半导体器件的方法,所述方法包括以下步骤:

[0118] 在衬底上形成有源线层;

[0119] 通过图案化所述有源线层来形成向第一方向延伸的有源线图案;

[0120] 在所述有源线的预定区域中形成源极区和漏极区;

[0121] 在所述有源线图案上形成线形虚设图案,以贯通所述源极区和所述漏极区,其中,所述线形虚设图案向第二方向延伸,所述第二方向与所述第一方向大体垂直;

[0122] 在所述线形虚设图案之间的区域中形成栅电极,其中,所述栅电极平行于所述第二方向延伸;

[0123] 选择性地去除贯通所述源极区的所述线形虚设图案;以及

- [0124] 在去除了所述线形虚设图案的区域中形成线形公共源极节点。
- [0125] 技术方案20.如技术方案19所述的方法,其中,形成所述栅电极的步骤包括以下步骤:
- [0126] 形成导电层以掩埋在所述线形虚设图案之间的区域中;以及
- [0127] 将所述导电层凹陷。

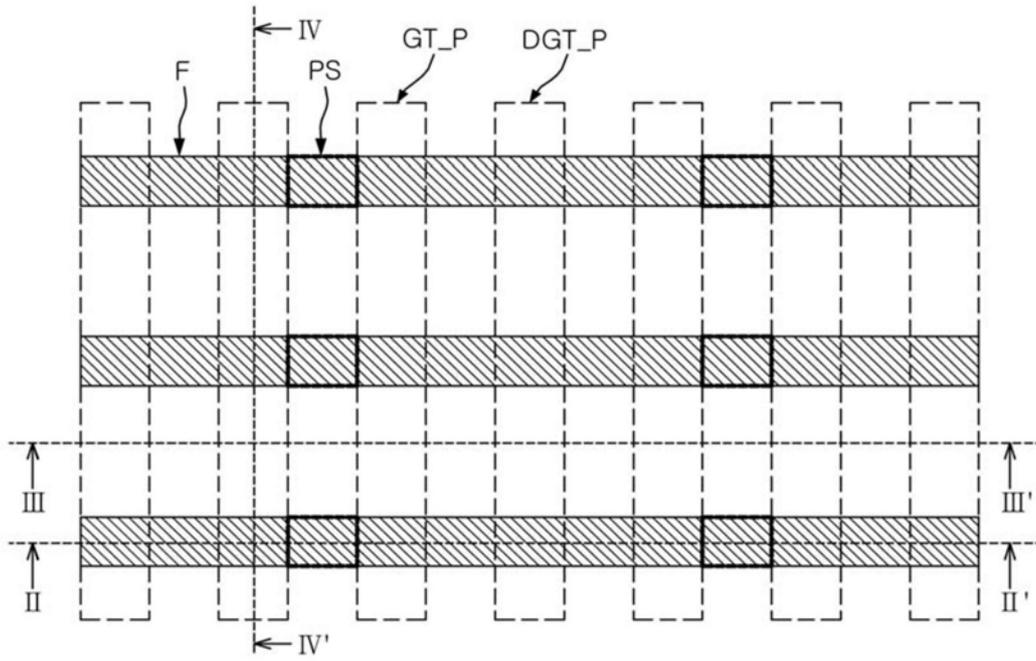


图1A

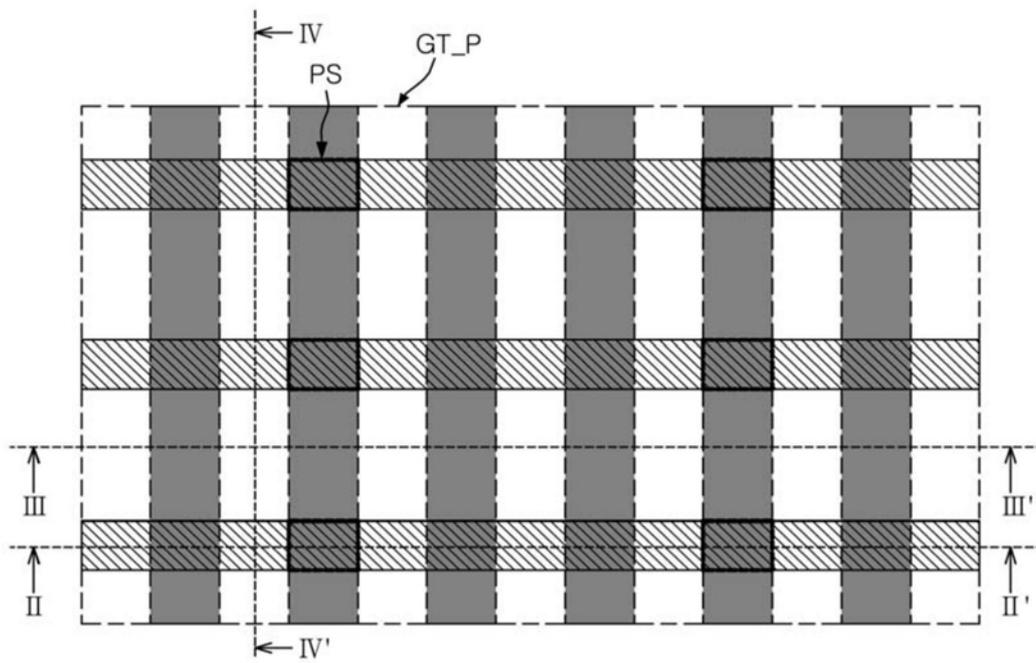


图1B

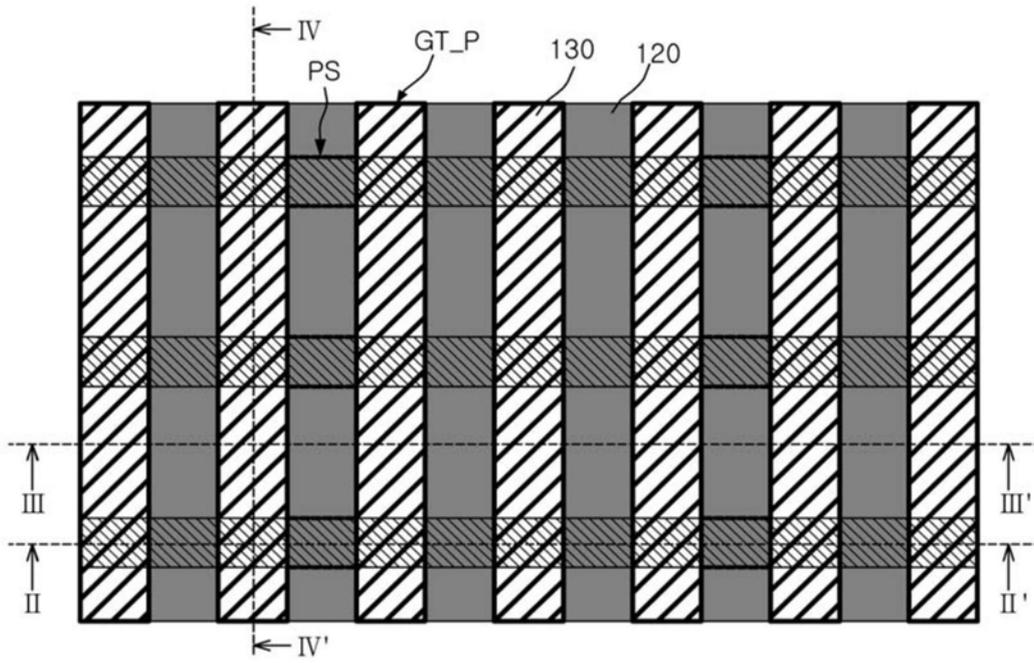


图1C

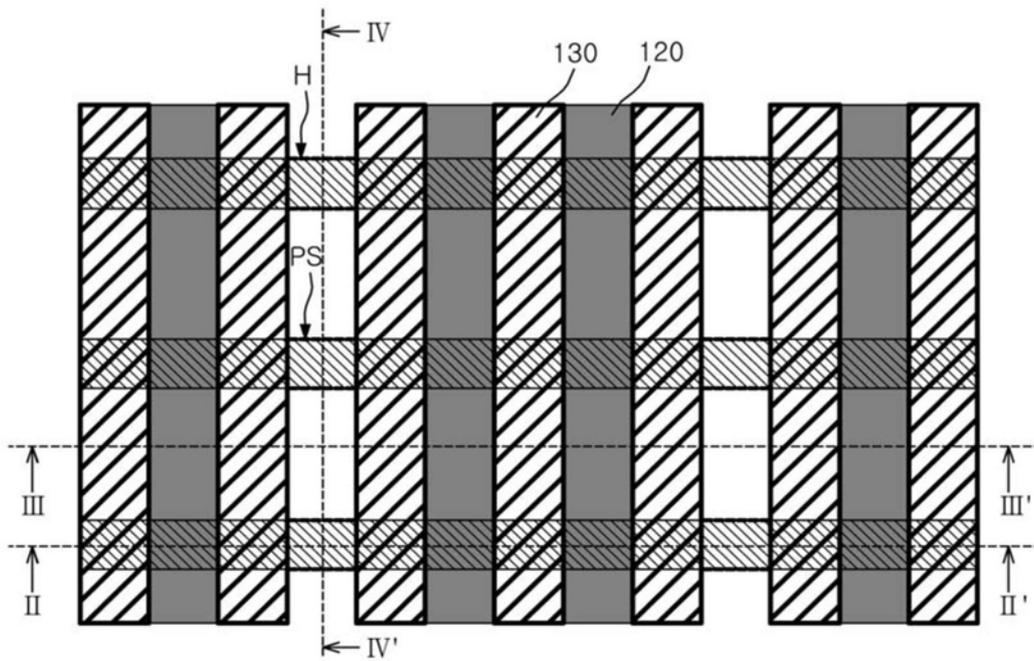


图1D

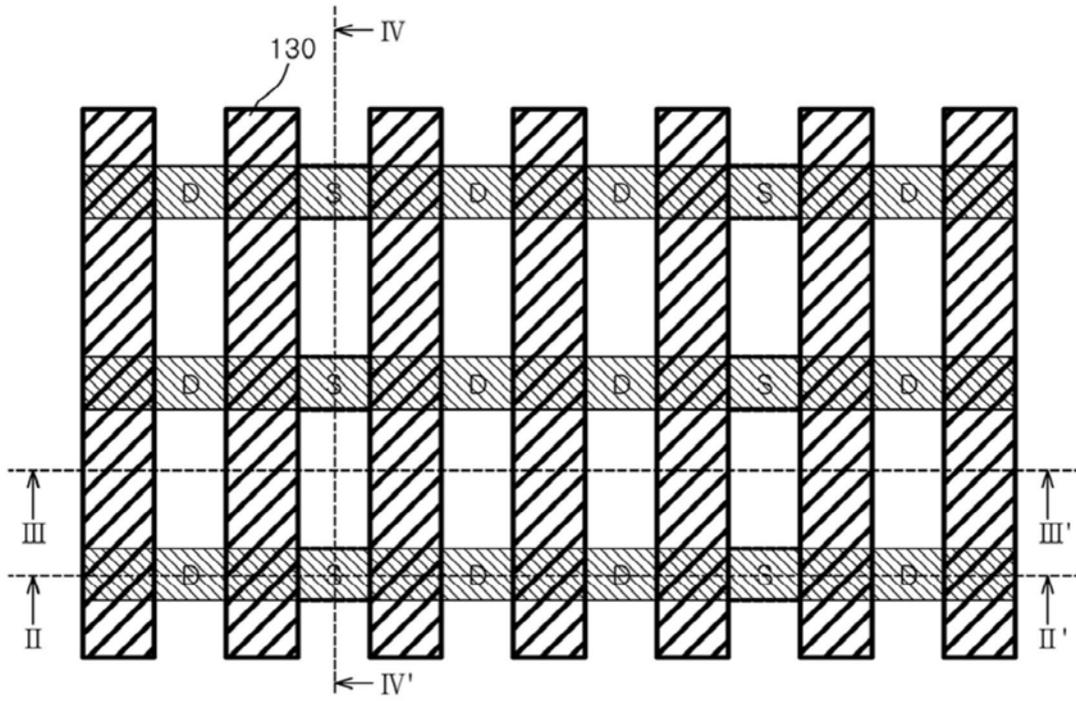


图1E

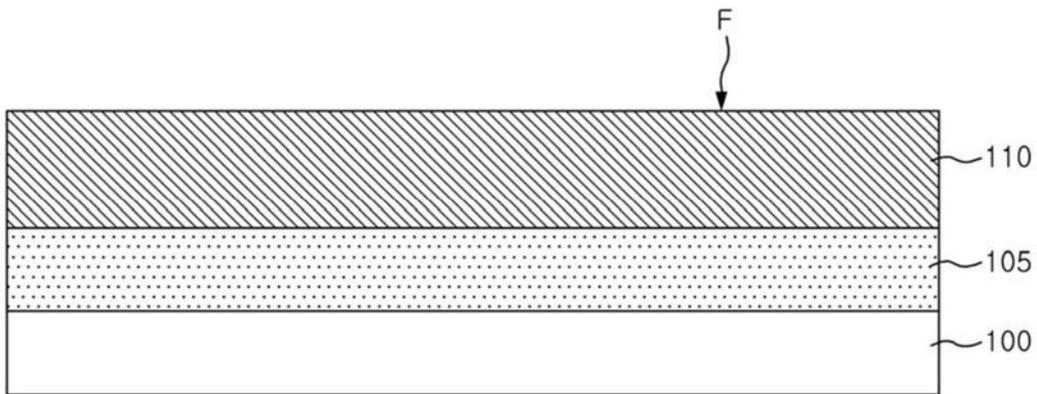


图2A

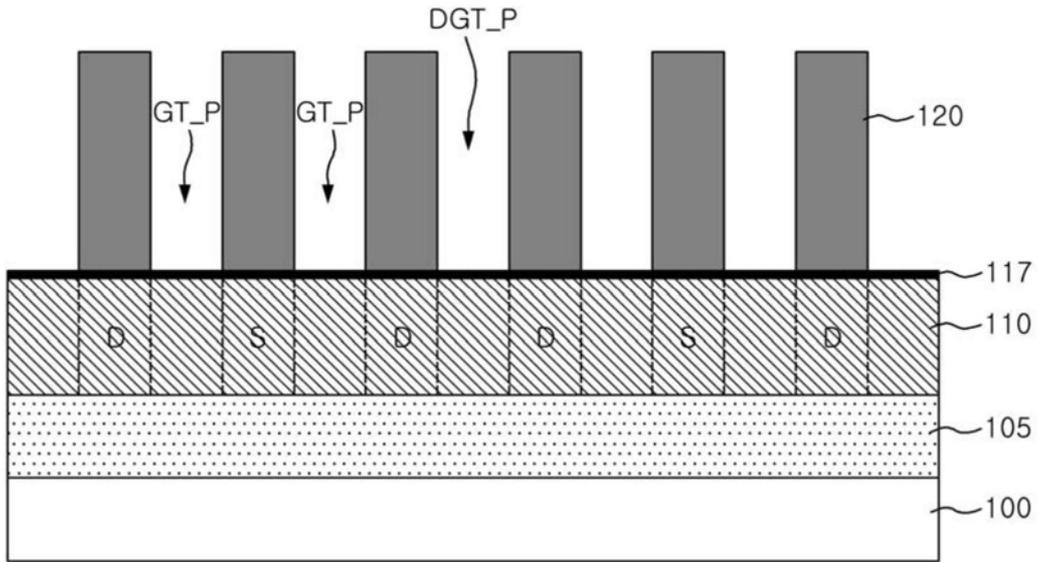


图2B

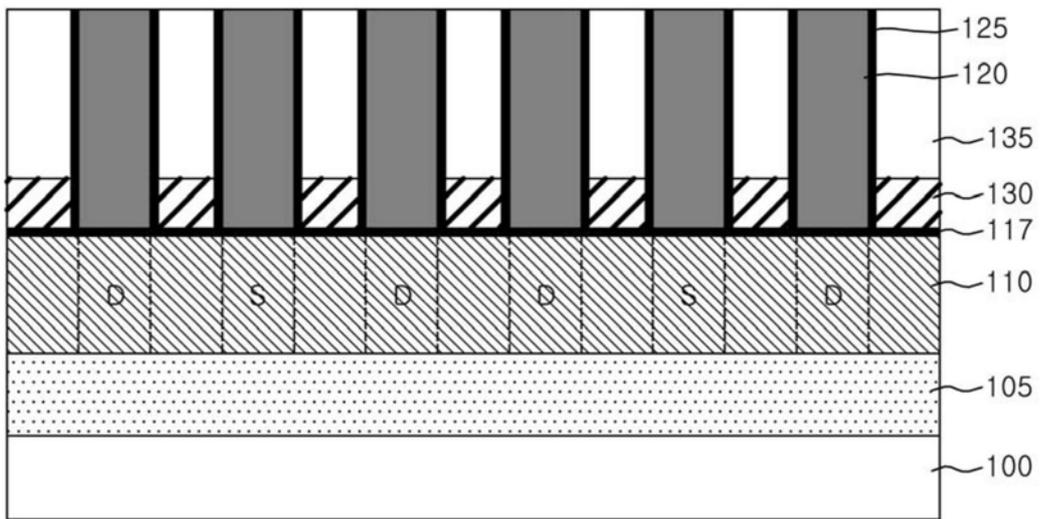


图2C

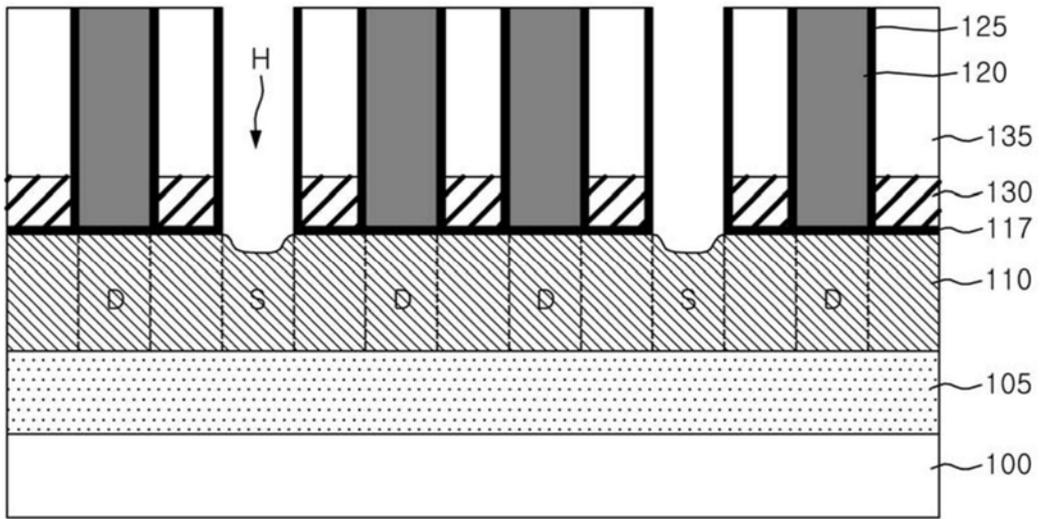


图2D

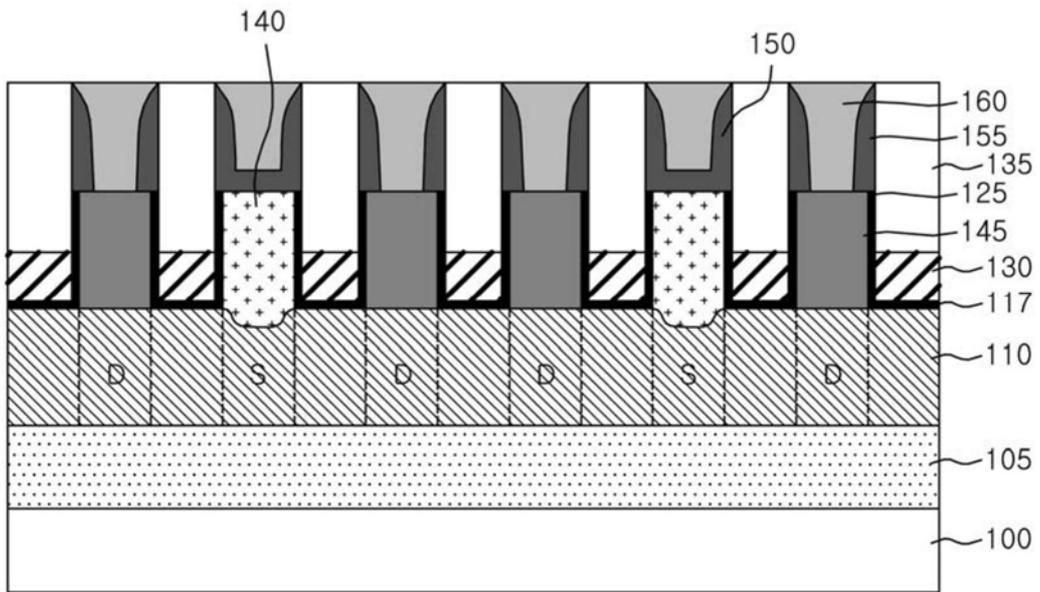


图2E



图3A

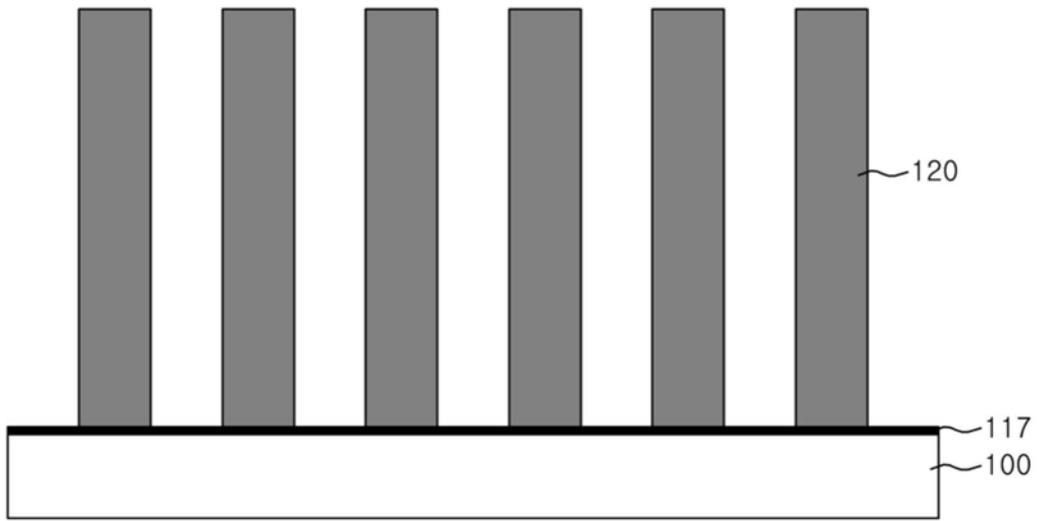


图3B

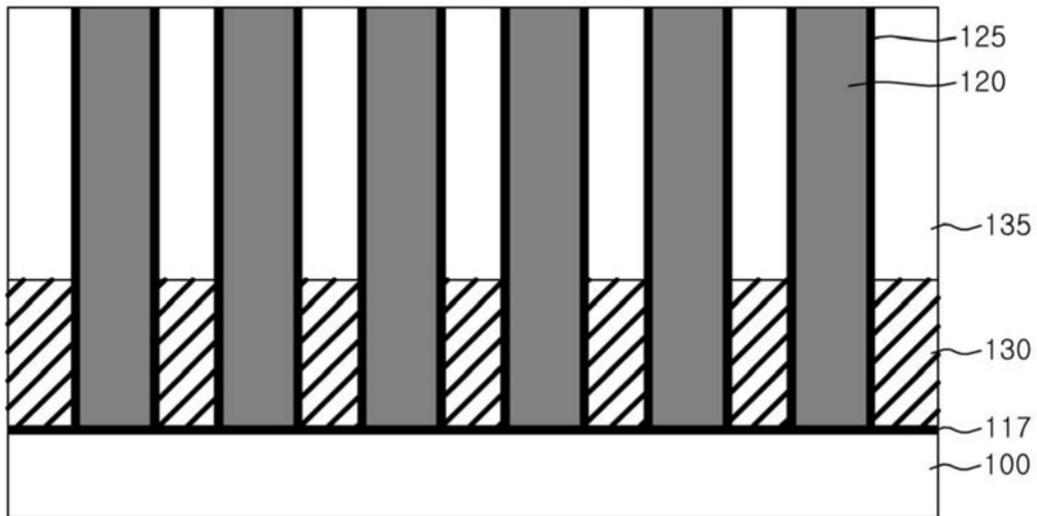


图3C



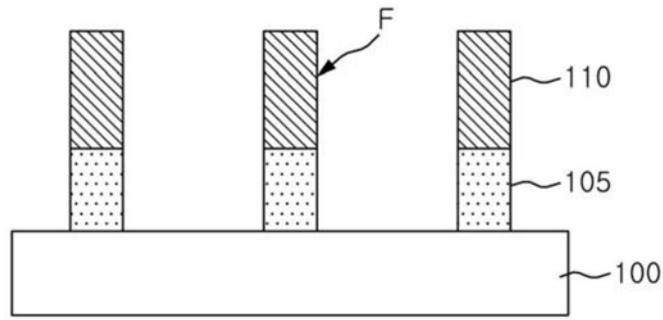


图4A

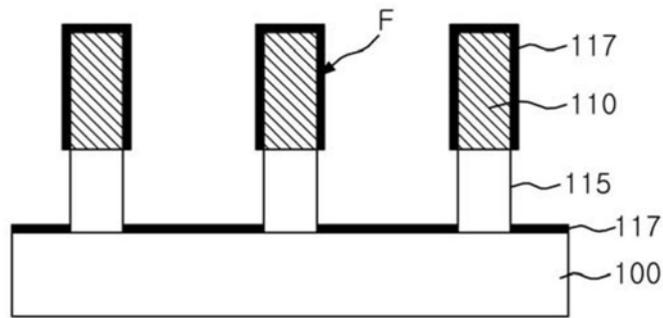


图4B

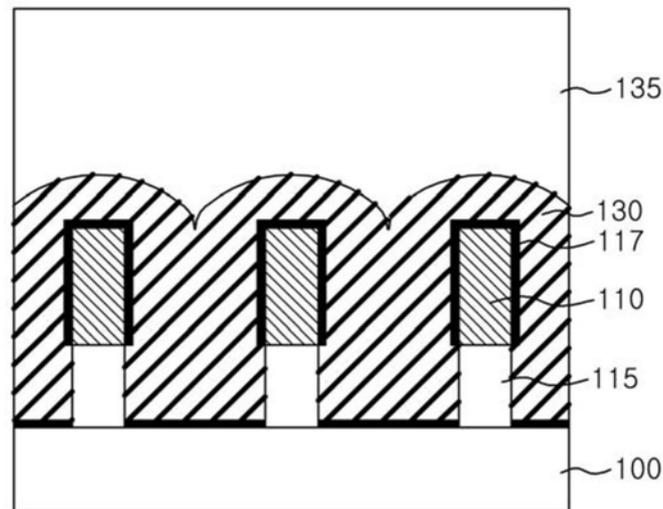


图4C

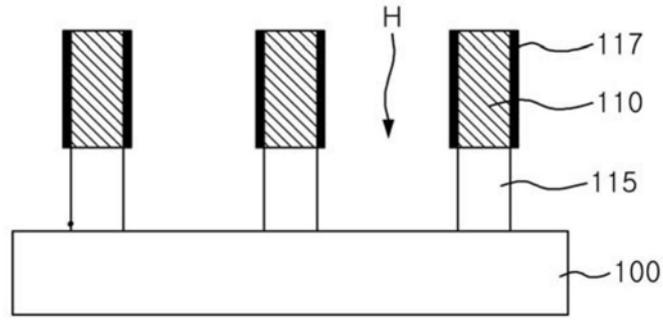


图4D

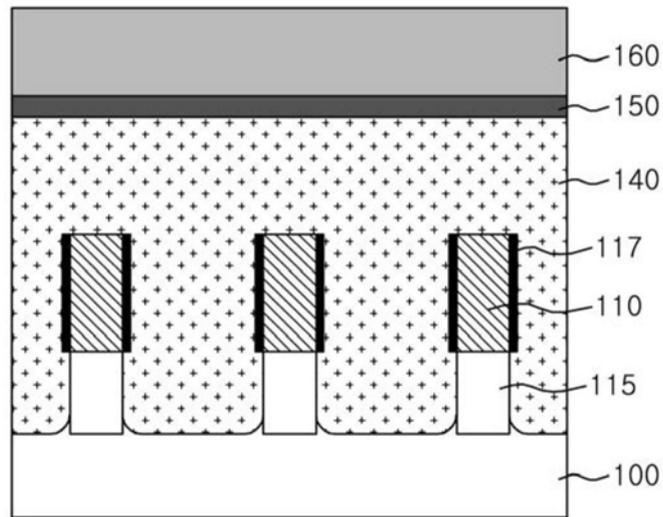


图4E

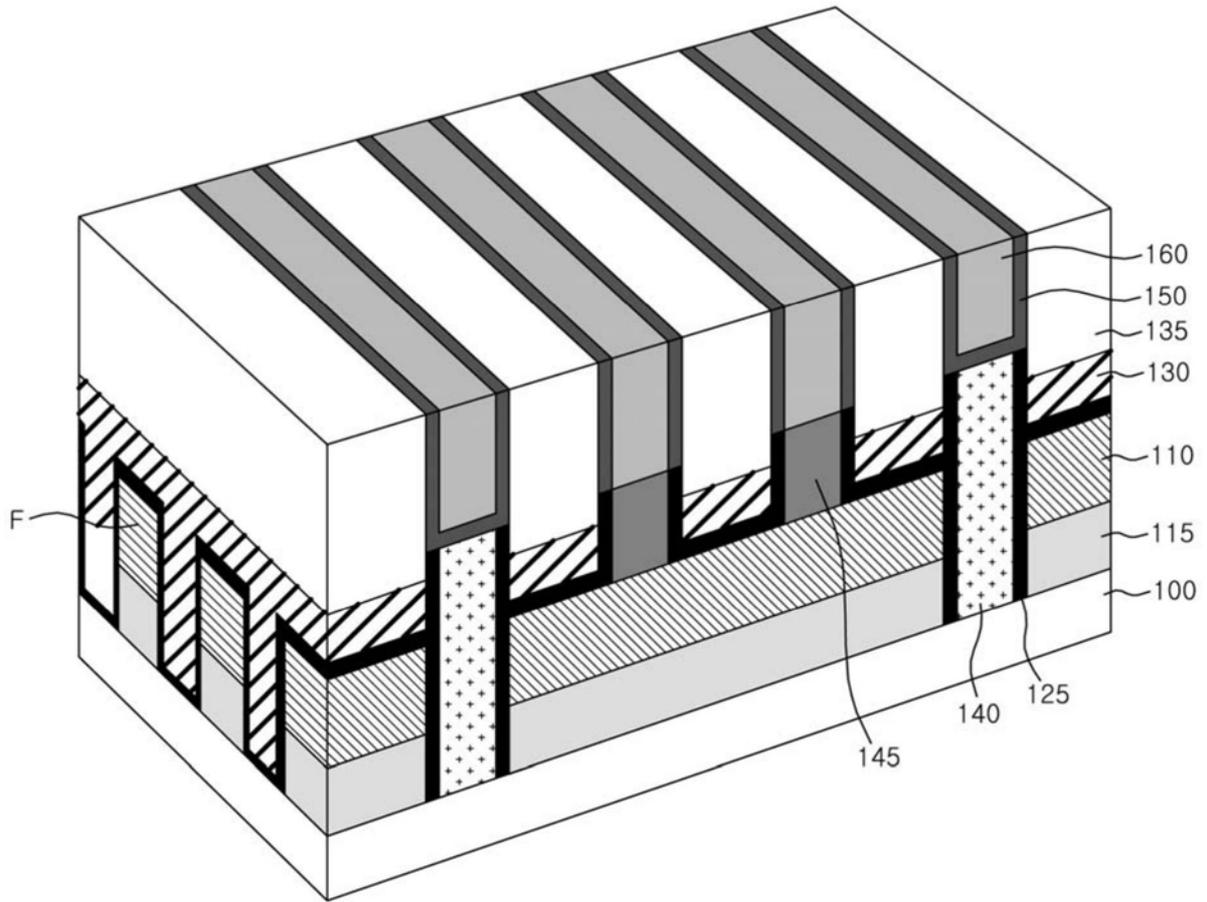


图5

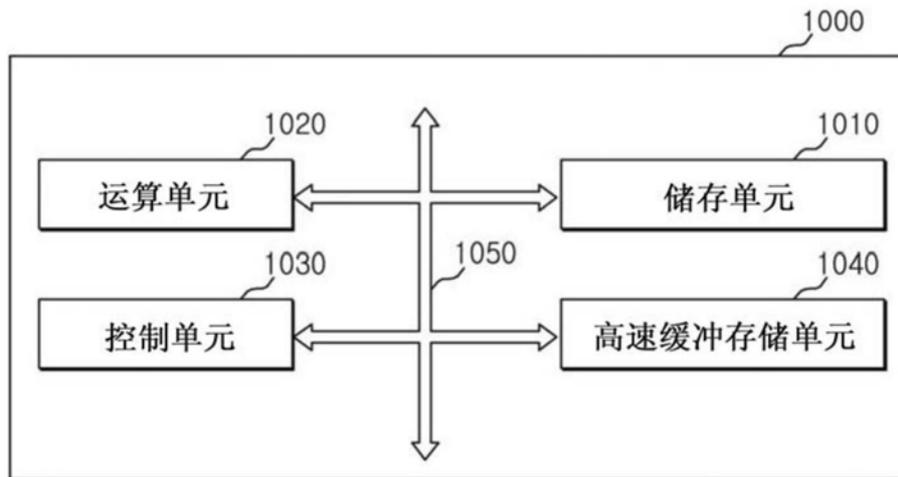


图6

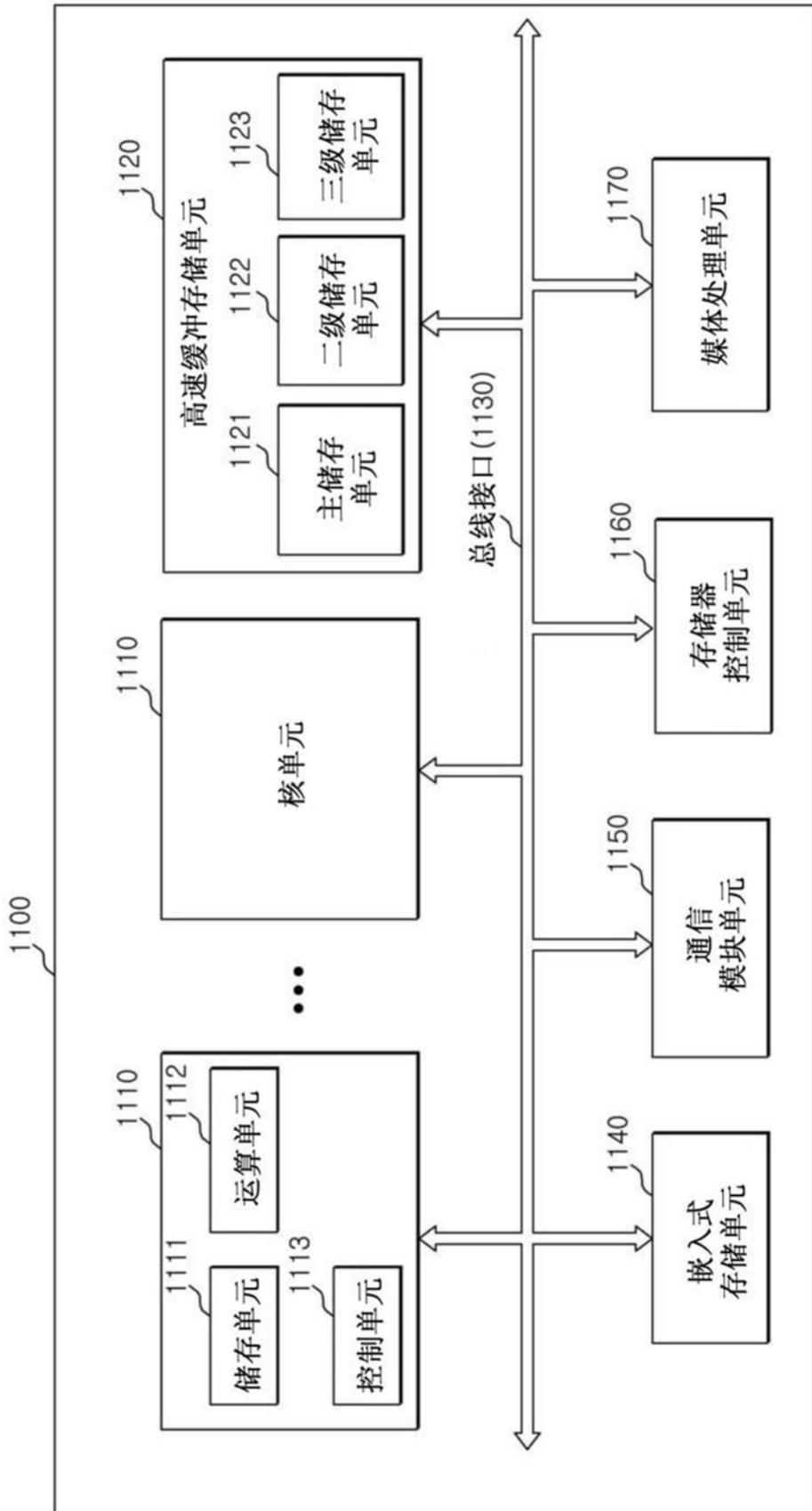


图7

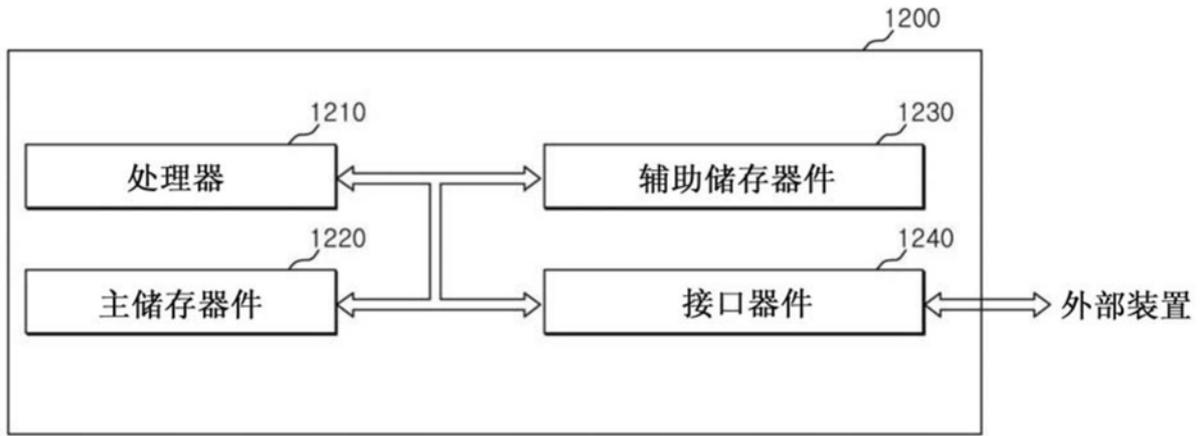


图8