(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01S 5/06

(45) 공고일자 2003년08월09일
(11) 등록번호 10-0394296
(24) 등록일자 2003년07월29일

(21) 출원번호	10-2000-7011339	(65) 공개번호	특2001-0106101
(22) 출원일자	2000년10월12일	(43) 공개일자	2001년11월29일
번역문 제출일자	2000년10월12일		
(86) 국제출원번호	PCT/US1998/07441	(87) 국제공개번호	WO 1999/53548
(86) 국제출원출원일자	1998년04월13일	(87) 국제공개일자	1999년10월21일

(81) 지정국 국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아-헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀랜드, 영국, 그루지야, 가나, 감비아, 기네비쏘, 헝가리, 인도네시아, 이스라엘, 아이슬란드, 일본, 케냐, 키르기즈, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 라이베리아, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 슬로베니아, 슬로바키아, 시에라리온, 타지키스탄, 투르크메니스탄, 터어키, 트리니다드토바고, 우크라이나, 우간다, 우즈베키스탄, 베트남, 유고슬라비아, 짐바브웨,

AP ARIPO특허 : 가나, 감비아, 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 짐바브웨,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르기즈, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크메니스탄,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 사이프러스, 독일, 덴마크, 스페인, 핀랜드, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴,

OA OAPI특허 : 부르키나파소, 베넹, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기네, 말리, 모리타니, 니제르, 세네갈, 차드, 토고,

(73) 특허권자 인텔 코오퍼레이션
미합중국 캘리포니아 산타클라라 미션 칼리지 블러바드 2200

(72) 발명자 라오발루리알.
미국캘리포니아95070사라토가맥파랜드에비뉴18950

(74) 대리인 특허법인 신성

심사관 : 박준영

(54) 집적회로에서의 광 클록 분배 방법 및 장치

요약

반도체내의 집적회로를 광학적으로 클로킹하기 위한 방법 및 장치가 기술된다. 반도체의 배면을 통해 반도체내에 배치된 P-N 접합에 클록 주파수로 레이저 펄스를 방출하기 위한 레이저가 구성된다. 상기 P-N 접합에 연결된 전류-전압 변환기는 상기 P-N 접합에서 생성된 광전류를 집적회로의 영역을 클로킹하도록 구성되는 클록 신호로 변환한다.

대표도

도 5

색인어

반도체, 집적회로, 광 클록, 클로킹, 레이저

명세서

기술분야

본 발명은 일반적으로 집적회로 클로킹(clocking)에 관한 것으로, 특히, 집적회로에서의 광 클록(optical clock) 분배망(distribution network)에 관한 것이다.

배경기술

오늘날 집적회로 산업에 직면한 쟁점은 작은 클록 스큐(clock skew)로 집적회로 다이(die) 전체에 클록 신호를 분배하는 문제이다. 클록 스큐는 칩의 서로 다른 부분에 대한 클록 에지(edge)의 도착 시간의 차이다. 동기 디지털 로직은 래칭 데이터(latching data)에 대한 정확한 클록을 필요로 한다. 이상적인 동기 로직에서는 클록이 모든 회로에 동시에 도착하도록 기대된다. 회로는 신뢰할 수 있는 동작을 수행하기 위하여 최악의 경우의 스큐에 대해 설계되어야 하기 때문에, 클록 스큐는 회로의 최대 동작 주파수를 감소시킨다. 집적회로의 글로벌 클록 분배에서의 클록 스큐의 주요 원인은 다이내에서의 클록 분배의 라우팅 임피던스(routing impedance) 변화이다. 따라서, H-트리형(H-Tree)과 같은 동일 길이의 클럭 분배망이라 할지라도 클록 스큐는 발생한다. 산업적 경험에 의한 방법으로, 상기 클록 스큐 예산(budget)은 주기 시간(cycle time)의 약 10% 정도이다. 따라서, 1 ns의 주기 시간에 해당하는 1 GHz의 클록 주파수에 대하여, 허용 가능한 클록 스큐는 100 ps 이하이다. VLSI 클록 주파수가 1 GHz 이상으로 증가함에 따라, 클록 스큐에서의 요건은 보다 어려워진다.

현재 선행 기술에 따른 글로벌 클록 분배망의 클록 스큐는 계층적 H-트리형의 사용에 의해 제어된다. 도1a는 고속 집적회로에서 클록 스큐의 영향을 감소 또는 제거하기 위해 구현된 계층적 H-트리형 클록 분배망(101)을 도시한 도면이다. 도1a에 도시한 바와 같이, 클록 구동기(103)는 중심 노드(105)에서 H-트리형 망(101)을 구동하기 위해 사용된다. 통상적으로, 클록 구동기(103)는 H-트리형 망(101)에 충분한 구동을 제공하기 위하여, 현재의 복합 고속 접적회로내의 큰 커패시턴스를 갖는 매우 큰 구동기임을 알 수 있다. 도1a에서 살펴볼 수 있는 바와 같이, 노드(107, 109, 111, 113) 사이에 형성된 "H" 형태의 클록 경로는, 중심 노드(105)와 노드(107, 109, 111, 113)에서의 "H" 형태의 각 주변점 사이에서 동일한 길이를 가진다. 따라서, H-트리형 망(101)의 단위 길이당 클록 신호의 전파 지연(propagation delay)이 동일하다고 가정하면, 클록 구동기(103)로부터 노드(107, 109, 111, 113)로 공급되는 클록 신호 사이에 클록 스큐는 존재하지 않을 것이다.

도1a는 또한 제1 "H" 레벨의 각 주변 노드에 연결된 "H" 형태의 또 다른 계층 레벨을 갖는 H-트리형 망(101)을 도시하고 있다. 따라서, 노드(107)로부터의 모 든 주변 노드(115)는 동일한 거리에 있고, 노드(109)로부터의 모든 주변 노드(117)는 동일한 거리에 있으며, 노드(111)로부터의 모든 주변 노드(119)는 동일한 거리에 있다. 마지막으로, 노드(113)로부터의 모든 주변 노드(121)는 동일한 거리에 있다. 따라서, 115, 117, 119 및 121로 표시된 모든 노드로부터의 클록 경로는 클록 구동기(103)로부터 동일한 거리에 있고, 이에 따라, 클록 구동기(103)로부터의 클록 지연은 H-트리형 망(101)의 모든 주변 노드에 대하여 동일할 것이므로, 각 노드 사이에 클록 스큐는 존재하지 않을 것이다. 따라서, 각 노드(115, 117, 119, 121)는, 클록 신호에 대한 수신국으로 동작할 수 있고, H-트리형 망(101)에서 유사하게 구성된 다른 노드에 대해 무시할 수 있을만한 클록 스큐를 갖는 노드에 근접한 집적회로 영역의 클로킹 요건을 제공하도록 구성될 수 있다.

집적회로가 점점 커지고, 보다 복잡해지며, 더 높은 주파수로 동작함에 따라, H-트리형 망(101)의 클록 라인이 항상 동일한 임피던스 특성을 갖지는 않기 때문에, H-트리형 망(101)이라 할지라도, 클록 스큐는 계속 극복해야 할 쟁점이 되고 있다. 결과적으로, 노드(115, 117, 119, 121)는 클록 구동기(103)로부터 동일한 거리 상에 있지만, H-트리형 망(101)의 경로를 통해 전송되는 클록 신호에는 동일하지 않은 전파 지연이 생길 수 있다. 그 결과, H-트리형 클록 분배망(101)의 단말점에서는 예상치 못한 클록 스큐가 발생된다.

클록 스큐 외에 칩 상에서의 클록 분배는, 신호들에 대해 더 낫게 사용되어 신호 경로성(routability)을 향상시킬 수 있는 집적회로 내의 귀중한 라우팅 자원(routing resource)을 소모한다. 집적회로의 설계자가 고려해야 할 추가적 관심사는 종래의 글로벌 클록 분배망이 전력 뿐만 아니라 집적 회로 다이 영역의 크기도 역시 증가한다는 점이다. 예를 들어, 현재의 고속 집적회로 칩에서의 글로벌 클록 분배는 통상적으로, 칩 전력의 약 10% 정도를 차지한다.

집적회로 전체에 클록 신호를 분배하는 또 다른 종래 기술이 연구되어 왔다. 이러한 종래 기술 중 일부는 도1b에 도시된 광 클록 분배망(151)을 포함한다. 오프 칩 광원(off chip optical source)(153)은 홀로그램(157)에서 스플릿 빔(sp

lit beam)(159, 161)으로 분리(split)되는 광 클록 신호(155)를 생성한다. 스플릿 빔(159, 161)을 각각 수신하기 위하여 집적 회로 다이(171) 전면의 표면(179)으로부터 검출기(163, 165)로 직통 조준선(direct line of sight)이 제공된다. 클록 신호(167)는 검출기(163)에 의해 발생되고, 클록 신호(169)는 검출기(165)에 의해 생성된다. 그리고 나서, 상기 클록 신호는 검출기(163, 165)로부터 온칩 메탈 배선(on chip metal interconnects)을 이용하여 국부적으로 분배되므로, 클록 신호(167, 169)는 집적회로의 각 해당 영역을 클로킹하는데 이용된다.
종래 광 클록 분배가 갖는 중대한 문제점은 C4 패키지 칩(Control Collapse Chip Connection packaged chip)(종종 플립 칩으로 간주됨) 및 C4/MCM(Multi Chip Modules)과 같은 진보된 패키징 기술에 대해 구현하기 어렵다는 것이다. 도2b는 C4 패키지 칩(251)을 도시한 도면이다. C4는 오늘날의 와이어 본드 패키지에서 사용되는 것과 같은 높은 인덕턴스 본드 와이어를 제거하고, 칩(255)과 패키지(261) 사이에 볼 본드(253)를 사용하여 고밀도 저 인덕턴스를 제공함에 따라, 미래의 고주파 칩을 위한 선택적 패키징이다. 도2a는 현재의 와이어 본드 패키지를 사용한 칩(201)을 도시한 도면이다. 도2a에 도시된 바와 같이, 와이어 본드(203)는 패키지(211)와 칩(205) 사이를 연결하기 위해 사용된다. C4 패키징에 대해 칩의 전면이 더 이상 접근이 불가능하고, 종래의 광 라우팅에 따라, 라우팅은 패키지로 집적되어질 필요가 있다. 이것은 현재 전기 및 광 라우팅을 모두 구비하여야 하는 C4 기판을 설계하는데 보다 복잡한 제약조건(constraint)을 만든다.
종래 광 분배망(151)의 또 다른 중대한 문제점은, 집적회로(171) 전면의 표면(179)으로부터 상기 스플릿 빔(159, 161)의 조준선에 위치한 검출기(163, 165)의 요건이, 통상적으로 다섯개 또는 그 이상의 금속 배선층(metal interconnect layer)을 사용하는 현재의 집적 회로에 있어서 어려운 일이라는 것이다. 많은 수의 금속 배선층을 적층함에 있어서, 라우팅 혼잡을 초래하지 않고 상기 스플릿 빔(159, 161)과 검출기(163, 165) 사이에 조준선을 생성하는 것은 매우 어려운 일이 된다. 이는 조준선이 P-N 접합 검출기 위의 어떠한 레벨의 배선에서도 금속 라우팅이 없어야함을 의미하기 때문이다. 따라서, P-N 접합 검출기는 라우팅 장애물이 되고, 검출기의 수가 증가함에 따라, 다이 사이즈의 증가를 가져오는데, 이것은 일반적으로 제조 수율(manufacruring yield) 및 성능을 저하시킨다.
따라서, 이러한 종래 기술의 문제점을 극복하기 위한 클록 분배망이 요구된다. 이러한 클록 분배망은 C4(플립 칩) 및 C4/MCM 패키징으로 패키지된 고속 및 고전력 집적 회로에 대해 최소의 클록 스큐를 제공해야 하며, 배면 히트 싱크(back side heat sink) 부착으로써 이러한 패키지에 대해 완전히 호환 가능해야 한다. 두번째로, 상기 클록 분배망은 글로벌 망의 큰 용량성(capacitive) 부하를 제거함으로써, 글로벌 클록 분배로 인한 전력 소모를 줄일 수 있어야 한다. 또한, 이러한 클록 분배망은 온칩 신호 라우팅을 방해하지 않아야 하고, 집적회로 칩이 크기 및 혼잡성(complexity) 면에서 증가하고 증가된 클록 주파수에서 동작함에 따라 작은 스큐를 갖는 클록 분배를 제공할 수 있어야 한다.

발명의 상세한 설명

발명의 요약
반도체내의 집적회로를 광학적으로 클로킹하기 위한 방법 및 장치가 기술된다. 일실시예에서는, 반도체의 배면을 통해 반도체 내에 배치된 P-N 접합에 클록 주파수로 레이저 펄스를 방출하기 위한 레이저(laser)가 구성된다. 상기 P-N 접합에 연결된 전류-전압 변환기는 상기 P-N 접합에서 생성된 광전류(photocurrent)를 클록 신호로 변환하는데, 이것은 집적 회로의 영역을 클로킹하도록 구성된다. 본 발명에 따른 부가적인 특징 및 장점은 아래에 기재된 상세한 설명, 도면 및 청구항을 통해 보다 명백해질 것이다.

도면의 간단한 설명

도1a는 계층적 H-트리형 클록 분배망을 도시한 도면.
도1b는 집적회로 다이 전면의 표면 상에 배치된 광검출기를 사용한 종래 광 클록 분배망을 도시한 도면.
도2a는 현재의 와이어 본드 기술을 설명하기 위한 도면.
도2b는 플립 칩 또는 C4 패키징 기술을 설명하기 위한 도면.
도3은 반도체의 배면을 통해 P-N 접합으로 방출되어지는 레이저 펄스를 도시한 도면.
도4는 본 발명의 기술에 따른 광 클록 수신국을 도시한 블록도.
도5는 본 발명의 기술에 따른 광 클록 분배망을 도시한 도면.
도6은 본 발명의 기술에 따른 광 클록 분배망의 다른 실시예를 도시한 도면.
도7은 본 발명의 기술에 따른 광 클록 분배망의 또 다른 실시예를 도시한 도면.

실시예

반도체 내의 집적회로를 광학적으로 클로킹하기 위한 방법 및 장치가 기술된다. 다음의 상세한 설명에서는, 본 발명의 완전한 이해를 제공하기 위하여 많은 특정 세부 항목들이 설명된다. 그러나, 이 분야의 통상의 지식을 가진 자에게는 본 발명을 실시하기 위하여 상기 특정 세부 항목들이 반드시 적용될 필요는 없다는 것이 이해될 것이다. 다른 경우에서, 본 발명을 모호하게 하지 않도록 하기 위해 잘 알려진 물질(material) 또는 방법은 설명되지 않았다.
본 발명은 모드 고정 또는 변조된 적외선 또는 가시광선 레이저를 사용하여 반도체의 배면을 통해 광 클록 신호를 인가하고, 실리콘 기판을 통해 집적회로 칩에 삽입된(embedded) P-N 접합 수신기로 빛을 집속(focusing)시킴으로써 집적회로를 클록킹하기 위한 방법 및 장치를 제공한다. 본 발명은 일반적인 CMOS 공정 및 C4 패키징 기술에 혼란없이 사용될 수 있는 광학 기술을 적용하는 장점을 포함한다. 본 발명에서 사용된 빔 분리(splitting) 및 집속(focusing)

소자는 실리콘과 분리된 광학 소자(optical element)에 제조되거나, 또는 광 도파관(optical wave guide)을 실리콘 배면에 증착하거나 마이크로 머신화(micro-machined)할 수 있다. 본 발명의 마스터 레이저로부터 P-N 접합 광수신기까지 동일한 경로 길이를 보증함으로써, 클록 주파수가 계속 증가됨에 따라, 글로벌 클록 분배망에서 증가되는 클록 스큐 부분은 본 발명에 의해 최소화될 수 있다. 상기 실리콘 칩에서의 글로벌 클록 분배망을 현재 기술되는 광 클록 분배망으로 대체함으로써, 칩 영역 및 칩 전력의 낭비를 줄일 수 있다. 또한, 종래의 글로벌 클록 라우팅에서 사용되었던 실리콘 칩 영역을 제거함으로써, 집적회로 다이의 크기를 줄일 수 있다. 본 발명에 따르면 클록 분배가 실리콘 및 패키지로부터 분리(decouple)되기 때문에, 개발 및 광학 기술을 이용함에 있어서 상기 클록 분배가 확장 가능해 진다.
본 발명의 일실시예에서는, 소정의 클록 주파수로 적외선 레이저 펄스를 생성하고 방출하기 위한 광 클록으로서 오프 칩 적외선 레이저(off chip infrared laser)가 구성된다. 실리콘은 부분적으로 적외선을 통과시키기 때문에, 상기 레이저 펄스가 실리콘을 관통하도록 구성되며, 광전류(photocurrent)를 생성하기 위해 상기 실리콘 내에 배치된 P-N 접합을 포함한 수신국으로 집속되어진다. 강도핑(heavy dopping)된 실리콘은 거의 실리콘 밴드 갭 주변의 파장에서 적외 방사선을 부분적으로 통과시킨다는 것을 알 수 있다. 특히, 실온에서의 진성 반도체의 밴드 갭은 1.11 eV 이다. 강도핑은 상기 밴드 갭을 약 100 meV 정도 감소시켜 1.01 eV 로 만든다.
도3은 본 발명의 기술에 따른 수신국(301) 부분을 도시한 것으로, 이것은 반도체(307) 내에 배치된 P-N 접합(303)을 포함한다. 본 발명의 일실시예에서, 반도체(307)는 실리콘으로 만들어진다. 반도체(307)는 C4 패키징된 집적회로의 일부분으로써, 상기 집적회로의 배면(305)은 이에 따라 노출되어진다. 결과적으로, 적외선 레이저 펄스(309)는 반도체(307) 배면(305)을 통해 P-N 접합(303)으로 집속되어진다. P-N 접합(303)으로 집속된 레이저 펄스(309)로부터의 에너지의 결과로, 광전류가 발생되는데, 이것은 본 발명의 기술에 따라 전압으로 변환되고 최종적으로 클록 신호로 변환된다. 본 발명의 일실시예에서, 상기 레이저 펄스(309)는 광학적으로 분리(split)되고, 반도체(307)의 배면(305)을 통해 동일하게 구성된 다수의 P-N 접합(303)측으로 집속(focus)된다.
본 발명의 일실시예에서는, 네오디뮴(Neodymium), 이트륨(Yittrium) 리튬(Lithium) 플루오르화물(Fluoride)(Nd:YLF) 레이저를 사용하는데, 이것은 1.054 ㎛ 파장을 갖는 광자(photon)와 약 1.178 eV 의 에너지를 발생시킨다. 따라서, 상기 적외선 레이저로부터의 Nd:YLF 광자는, 실리콘을 통해 배면으로부터 C4 패키지 칩의 회로에 삽입된 광 수신 다이오드 또는 P-N 접합으로 직접 전송될 수 있다. 상기 레이저 라디에이션(laser radiation)은 실리콘을 관통하여 P-N 접합내에 광전류를 발생시킨다. 약 720 ㎛ 두께의 기판을 통한 1.06 ㎛ 파장을 갖는 레이저 광자의 전송은 약 1-2% 인 것으로 측정되었다.
도4는 본 발명의 기술에 따른 수신국(401)을 도시한 것으로, 반도체에 배치된 광 검출기(407)를 포함하는데, 상기 반도체 배면(405)을 통해 광검출기(407) 상에 레이저 펄스(403)가 집속된다. 상기 레이저 펄스(403)의 결과로 광전류(I)(409)가 생성되는데, 이것은 전류-전압 변환기(411)에 의해 전압(413)으로 변환된다. 전압(V)(413)은 버퍼(415)에 의해 버퍼링되어 클록 신호(417)를 생성한다. 본 발명의 일실시예에서, 광 검출기(407)는 상기 반도체내에 배치된 P-N 접합이다. 집적회로의 소정 영역을 클로킹하기 위한 클록 신호(417)를 제공하기 위하여, 다수의 수신국(401)이 상기 집적회로 다이 전체에 분포된다. 본 발명의 일실시예에서는, 클록 신호(417)는 수신국(401) 근처의 집적회로 영역을 클로킹한다. 클록 신호(417)를 생성하기 위한 다수의 수신국(401)을 구비함으로써, 상기 클록은 최소의 클록 스큐로써 집적회로 전체에 광학적으로 분배될 수 있다.
본 발명의 일실시예에는, 광전류(I)(409)를 전압(V)(413)으로 변환하고, 클록 신호(417)를 생성하기 위하여 버퍼링하기 위해 잘 알려진 회로 기법이 사용된다. 실제적인 칩 스큐는 다이를 가로지르는 수신국(401)의 매칭 정도에 의해 어느 정도 결정되기 때문에, 광 검출기(407), 전류-전압 변환기(411) 및 버퍼(415)는 감도(sensitivity) 및 지터(jitter)에 대해 최적화된다. 또한, 각각의 로컬 버퍼링(local buffering) 단계는 추가적인 클록 스큐를 발생시키기 때문에, 각 수신국(401)에 적용된 로컬 버퍼링의 양은 실제적인 클록 스큐에 영향을 준다는 것을 알 수 있다.
도5는 본 발명의 기술에 따른 광 클록 분배망(501)의 일실시예를 도시한 도면이다. 마스터 레이저(503)는 소정의 클록 주파수로 마스터 레이저 펄스(505)를 방출하도록 구성된다. 광학 소자(507)는 마스터 레이저 펄스(505)를 수신하고, 도5에 도시된 바와 같이, 스플릿 레이저 펄스(509A-J)를 생성한다. 본 발명의 일실시예에서, 광 소자(507)는 스플릿 레이저 빔(509A-J)을 C4 패키지 집적회로의 반도체(513)의 배면(511)을 통해 P-N 접합(515A-J)으로 분리, 조준(collimate) 및 집속하기 위해 잘 알려진 기법을 사용한다. 각 P-N 접합(515A-J)은 도3 및 도4에서 상술한 것과 유사한 수신국에 개별적으로 포함된다. 따라서, 각 P-N 접합(515A-J)에 의해 분리된 클록 신호가 생성되고, 이에 따라 상기 집적회로 내의 특정 영역의 회로를 클로킹하는데 사용될 수 있다.
도5에서 알수 있는 바와 같이, 상기 집적회로의 클록은 칩 전체에 광학적으로 분배됨으로써, 실리콘으로부터 클록 분배망을 제거하며, 이에 따라, 도1에서 상술한 H-트리형 망(101)과 같은 종래의 클록 분배망과 관련된 문제점을 해결할 수 있다.
또한, 상기 반도체(513)의 배면(511)을 통해 클록 신호를 광학적으로 분배함으로써, 도1b에 도시된 종래의 광 클록 분배망(151)과 관련된 문제점 및 혼잡성(complexity)을 해결할 수 있다. 특히, 본 광 클록 분배망(501)은 칩 신호 라우팅을 방해하지 않는다. 종래 기술과는 달리, P-N 접합(515A-J)으로의 접근이 금속 배선 또는 패키지 기판에 의해 방해받지 않기 때문에, 본 발명에서 제공되는 P-N 접합(515A-J)으로의 조준선은 종래의 광 클록 분배망(151)에서와 같은 복잡한 라우팅 요건이나 금속 배선(173)의 혼잡(congestion)이 생기지 않는다.
본 발명의 일실시예에서, 스플릿 레이저 빔(509A-J)을 통한 P-N 접합(515A- J)으로의 마스터 레이저 빔(505)의 경로 길이는, 각 P-N 접합(515A-J) 사이의 클록 스큐를 최소화하기 위해 모두 동일한 길이로 구성된다. 다른 실시예에서, 제어 스큐는, 광학 소자(507)내에 보다 긴 광 경로 길이를 구현하여 광 신호를 임의로 지연시킴으로써 본 발명에 따라 쉽게 얻어진다. 본 발명의 또 다른 실시예에서, 광학 소자(507)는 광섬유로써 레이저(503)에 연결된다. 본 발명의 다른 실시예에서, 광학 소자(507)는 실리콘 기판(513)과 히트싱크(미도시) 사이에 배치된다. 이러한 실시예에서,

광학 소자(507)는 집적회로 다이로부터 충분히 열을 소실시키기 위하여 잘 알려진 기법을 사용하여 실리콘과 히트싱크 사이에 끼워진다.
상술한 바와 같이, 광학 소자(507)는 잘 알려진 기법으로 레이저 빔(509A-J)을 P-N 접합(515A-J)으로 분리, 조준 및 집속시킨다. 일실시예에서, 광학 소자(507)는 레이저 빔을 분리하고, 이것을 P-N 접합(515A-J)으로 분배 및 집속하기 위해 적용된 섬유 광학 시스템(fiber optic system)을 포함한다. 이 실시예는 상기 섬유 광학 소자의 단말에 개별적인 마이크로 렌즈와, 실리콘으로의 광 결합을 최대화하기 위한 실리콘/에어 굴절률의 매칭을 포함한다.
다른 실시예에서, 홀로그램이 생성된 컴퓨터가 각 스플릿 레이저 빔(509A-J)을 생성하기 위해 사용될 수 있다. 본 발명의 또 다른 실시예에서, 광학 소자(507)는 실리콘 배면 상에 적외선 레이저 광을 직접적으로 분리 및 집속하기 위한 식각 위상 홀로그램 그레이팅(etch phase hologram gratings)을 포함한다. 이러한 실시예는 사용된 제조 공정의 리소그래픽 레지스트레이션(lithographic registration)의 정확성에 대해 수신기의 팬아웃 빔(fan-out beam)을 자동 정렬(self align)하는 장점을 가진다. 본 발명의 다른 실시예에서, 광학 소자(507)는 실리콘 배면 위에 레이저 빔(509A-J)을 P-N 접합(515A-J)으로 분리, 조준 및 집속시키는 유리 또는 폴리머(polymer)로부터 제조된 도파관을 포함한다.
도6은 광 분배 회로(601)의 다른 실시예를 도시한 것으로, 이것은 클록 주파수로 광학 소자(607)에 레이저 펄스(605)를 방출하는 마스터 레이저(603)를 포함한다. 광학 소자(607)는 마스터 레이저 빔(605)을 스플릿 레이저 빔(609A-D, 609G-J)으로 분리한다. 스플릿 레이저 빔(609A-D)은 반도체(613)의 배면(611)을 통해 P-N 접합(615A-D)으로 집속된다. 스플릿 레이저 빔(609G-J)은 반도체(614)의 배면(612)을 통해 P-N 접합(615G-J)으로 집속된다. 도6으로부터 알 수 있는 바와 같이, 반도체(613, 614)는 동일한 칩 내에 포함되지 않는다. 따라서, 본 광 클록 분배망은 컴퓨터 시스템 내의 다수의 칩에 대해 매우 낮은 클록 스큐로 모든 수신국에 클록 신호를 제공한다.
본 발명의 일실시예에서, 반도체(613, 614)는 멀티칩 모듈의 집적회로 다이이다. 본 발명의 다른 실시예에서, 반도체(613, 614)는 전체 컴퓨터 시스템의 집적회로 다이 내에 포함된다. 즉, 광 클록 분배망(601)은 전체 컴퓨터 시스템에 대하여 최소의 클록 스큐로 클록을 제공하며, 이에 따라 단지 단일 집적회로 다이에 대해 클록 신호를 제공하는 것으로 한정되지 않는다. 본 발명의 각 집적회로 다이는 집적회로 상의 근접 영역을 클로킹하기 위한 로컬 클록 신호를 생성하는 P-N 접합(615)을 포함한다.
도7은 본 발명의 기술에 따른 광 클록 분배망(701)의 또다른 실시예를 도시 한 도면이다. 마스터 레이저(703)는 요구된 클록 주파수로 마스터 레이저를 광학 소자(707)로 방출하도록 구성되는데, 이것은 마스터 레이저 빔(705)을 스플릿 레이저 빔(709A-J)로 분리한다. 반도체(713)의 배면(711)을 관통한 후의 스플릿 레이저 빔(709A-J)에서 발생되는 감쇠를 보상하기 위하여, P-N 접합(715A-J)과 마스터 레이저(703) 사이에 배치된 반도체(713)를 부분적으로 얇게 만든 리세스(recess)(717A-J)가 반도체(713)에 추가된다. 결과적으로, 도5에 도시된 광 클록 분배망(501)에 비해, 스플릿 빔(709A-J)이 그 만큼의 반도체 물질을 통과하지 않는다. 따라서, P-N 접합(715A-J)에 도달하기 전의 스플릿 레이저 빔(709A-J)의 감쇠량은 감소되며, 각 P-N 접합(715A-J)으로의 적외선 레이저 전송은 향상된다. 본 발명의 일실시예에서, 리세스(715A-J)는, 일예로, 오늘날 집적회로에서의 트렌치, 바이어스 등을 형성하는데 사용되는 비등방성 습식 식각(anisotropic wet etch) 또는 그밖의 다른 기법과 같이 잘 알려진 기법을 사용하여 마이크로-머신화되거나 제조된다.
P-N 접합에 도달하는 스플릿 레이저 빔(709A-J)의 효율을 증가시키기 위해 사용되는 또 다른 기법은 반도체(713)의 배면(711)에서 반사되어 나오는 레이저의 파워량을 최소화하는 것이다. 본 발명의 일실시예는 반도체(713)의 배면(711)위에 배치된 비반사 코팅(anti-reflective coating)(719)을 포함한다. 반도체(713)의 배면(711)위의 비반사 코팅(719)에 의해, 반도체(713)의 배면(711)으로부터 반사되는 에너지양이 감소되어, 그 결과 반도체(713)로 인가되는 빛의 개선을 가져온다. 각 P-N 접합(715A-J) 위에 비반사 코팅(719) 및 반도체(713)의 밀링(milling)을 적용 하는 등의 기법을 사용함으로써, 각 수신국에 인가된 레이저 에너지양이 증가되어, 그 결과 광 클록 분배망(701)의 보다 높은 효율을 가져온다.
본 발명의 또 다른 실시예에서, 다시 도3을 참조하면, 레이저 펄스(309)는 적외선 레이저인 것으로 한정되지 않는다. 이러한 실시예에서, 반도체(307)의 상당 부분(308)을 트렌치 또는 리세스를 형성하기 위해 파냄으로써, 레이저 펄스(309)는 P-N 접합(303)에 도달하기 전에 반도체 물질의 약 0.2-1.0 μm 이상(사용된 정확한 파장에 따라 달라짐)을 관통할 필요가 없다. 반도체(307)로부터 제거된 부분(308)으로 가시광선(~0.4-0.7 μm) 또는 근적외선(~0.7-1.0 μm) 광 레이저 펄스(309)가 반도체(307)의 배면(305)으로부터 P-N 접합(303)으로 직접 집속될 수 있고, 본 발명의 지시에 따라 광전류가 생성된다. 반도체 물질의 약 0.2-1.0 μm 를 유지함으로써, P-N 접합을 밀착시킬 수 있다.
가시광선 또는 근적외선 소스를 사용하는 주요 장점은 수신기에서의 광학의 전기적 변환 효율성의 향상에 있다. 이것은 스펙트럼의 가시광선 및 근적외선 부분에 대한 광자 에너지가 스펙트럼의 적외선(파장≥1.1 μm) 부분에서 보다 훨씬 더 높고, 다이오드에서의 빛 흡수가 보다 효과적이기 때문이다($\lambda \times E = 1.24$, 여기서, λ는 μm 의 광자 에너지이고, E는 eV 의 광자 에너지임). 이것은 또한 적은 광 파워가 가시광선 소스에 요구됨을 의미한다. 남은 0.2-1.0 μm 의 반도체 부분은, 반도체 물질을 통한 광 감쇠를 최소화하는 동안 P-N 접합이 존재함을 보증한다.
예를 들어, 실리콘 밴드 갭보다 높은 광자 에너지를 가진 광 빔은 실리콘을 통해 급속히 감쇠될 것이다. 상기 감쇠 특성은 파장이 감소됨에 따라 더 커진다. 그러나, 실리콘의 두께가 0.2-1.0 μm 만큼 작은 경우, 상기 감쇠는 무시할 수 있다. 근적외선 동작에 대해서, 남는 실리콘 두께는 현저한 감쇠없이 1.0 μm 가 된다. 가시광선 동작에 대해서, 남는 실리콘 두께는 0.2 μm 영역 내에 있게 된다. 일실시예에서, 상기 트렌치 또는 리세스는, 상기 배치에 의해 노출된 수신기를 보호하기 위하여 가시광선 또는 근적외선 방사를 통과시키는 물질로 채워진다.

지금까지 기술된 것은 반도체 내의 집적회로를 광학적으로 클로킹하기 위한 방법 및 장치에 관한 것이다. 기술된 광 클록 분배망에 의해, 스큐가 비교적 없는 이상적인 클록을 고주파 집적회로에 분배할 수 있다. 게다가, 본 발명은 멀티 칩 모듈 또는 전체 컴퓨터 칩에 대해 클록 스큐없이 광 클로킹을 제공한다. 또한, 기술된 광 클록 분배망은 커다란 글로벌 클록 구동기 및 실리콘 칩으로부터의 글로벌 클록 분배를 제거함으로써, 칩 전력의 낭비를 줄일 수 있고, 신호 라우팅을 위해 이용할 수 있는 추가의 칩 영역을 제공하거나, 또는 전체 다이 사이즈를 감소시킬 수 있다, 이것은 짧은 배선 길이를 사용함으로써 보다 높은 제조 수율 및 고주파수 동작을 이끌어낼 수 있다.
이상의 상세한 설명에서, 본 발명의 방법 및 장치가 특정한 실시예를 참조하여 기술되었다. 그러나, 본 발명의 보다 넓은 정신 및 범주에서 동떨어지지 않은 다양한 수정 및 변경이 가능하다는 것이 명백할 것이다. 따라서, 본 명세서 및 도면은 한정이라기 보다는 예시로서 간주되어야 한다.

(57) 청구의 범위

청구항 1.
광 클록 분배망에 있어서,
적어도 하나의 정면과 배면을 포함하는 제1 반도체에 배치된 제1 P-N 접합;
상기 제1 반도체의 배면을 통해 상기 제1 P-N 접합으로 마스터 클록 주파수로 마스터 레이저 펄스를 방출하도록 구성된 마스터 레이저; 및
상기 제1 P-N 접합에 연결되며, 상기 제1 반도체에 배치된 집적회로의 제1 영역을 클로킹하도록 구성된 제1 클록 신호를 생성하는 제1 전류-전압 변환기
를 포함하는 광 클록 분배망.

청구항 2.
제1항에 있어서,
상기 제1 전류-전압 변환기와 상기 집적회로의 상기 제1 영역 사이에 연결된 제1 버퍼
를 더 포함하는 광 클록 분배망.

청구항 3.
제1항에 있어서,
상기 제1 반도체내의 제2 P-N 접합;
상기 마스터 레이저와 상기 제1 및 제2 P-N 접합 사이에 연결되며, 상기 마 스터 레이저 펄스를 상기 제1 반도체의 배면을 통해 상기 제1 및 제2 P-N 접합으로 각각 집속되는 제1 및 제2 스플릿 레이저 펄스로 분리하도록 구성된 광학 소자; 및
상기 제2 P-N 접합에 연결되며, 상기 제1 반도체내의 상기 집적회로의 제2 영역을 클로킹하도록 구성된 제2 클록 신호를 생성하는 제2 전류-전압 변환기 - 여기서, 상기 제1 및 제2 클록 신호는 상기 마스터 클록 주파수를 가짐 -
를 더 포함하는 광 클록 분배망.

청구항 4.
제1항에 있어서,
제2 반도체내의 제2 P-N 접합;
상기 마스터 레이저와 상기 제1 및 제2 P-N 접합 사이에 연결되며, 상기 마스터 레이저 펄스를 제1 및 제2 스플릿 레이저 펄스로 분리하도록 구성된 광학 소자 - 여기서, 상기 제1 스플릿 레이저 펄스는 상기 제1 반도체의 배면을 통해 상기 제1 P-N 접합으로 집속되고, 상기 제2 스플릿 레이저 펄스는 상기 제2 반도체의 배면을 통해 상기 제2 P-N 접합으로 집속됨 -; 및
상기 제2 P-N 접합에 연결되며, 상기 제2 반도체내의 집적회로의 제2 영역을 클로킹하도록 구성된 제2 클록 신호를 생성하는 제2 전류-전압 변환기 - 여기서, 상기 제1 및 제2 클록 신호는 상기 마스터 클록 주파수를 가짐 -
를 더 포함하는 광 클록 분배망.

청구항 5.
제1항에 있어서,
상기 제1 반도체는 상기 마스터 레이저와 상기 제1 P-N 접합 사이에 배치된 리세스를 정의하는 부분을 포함하고, 상기 리세스는 상기 제1 반도체의 배면을 통해 상기 제1 P-N 접합으로의 상기 마스터 레이저 펄스의 전송을 증가시키는
광 클록 분배망.

청구항 6.
제3항에 있어서,
상기 광학 소자는 상기 제1 및 제2 스플릿 레이저 펄스 간에 실질적으로 스큐없이 상기 제1 및 제2 스플릿 레이저 펄스를 분리하도록 구성된
광 클록 분배방.

청구항 7.
제3항에 있어서,
상기 광학 소자는 상기 제1 스플릿 레이저 펄스를 집속시키도록 구성된 제1 마이크로 렌즈 및 상기 제2 스플릿 레이저 펄스를 집속시키도록 구성된 제2 마이크로 렌즈를 포함하는

광 클록 분배망

청구항 8.

제3항에 있어서,

상기 광학 소자는 상기 제1 스플릿 레이저 펄스를 집속시키도록 구성된 제1 도파관 및 상기 제2 스플릿 레이저 펄스를 집속시키도록 구성된 제2 도파관을 포함하는

광 클록 분배망.

청구항 9.

제3항에 있어서,

상기 광학 소자는 상기 제1 및 제2 스플릿 레이저 펄스를 생성하도록 구성된 홀로그램을 포함하는

광 클록 분배망.

청구항 10.

제8항에 있어서,

상기 홀로그램은 상기 제1 반도체의 배면에 식각된

광 클록 분배망.

청구항 11.

제1항에 있어서,

상기 마스터 레이저는 약 1.054 ㎛ 파장에서 동작하는

광 클록 분배망.

청구항 12.

제1항에 있어서,

상기 마스터 레이저는 약 1.06 ㎛ 파장에서 동작하는

광 클록 분배망.

청구항 13.

제5항에 있어서,

상기 마스터 레이저는 약 0.4 내지 0.7 ㎛ 파장에서 동작하는

광 클록 분배망.

청구항 14.

제5항에 있어서,

상기 마스터 레이저는 약 0.7 내지 1.0 ㎛ 파장에서 동작하는

광 클록 분배망.

청구항 15.

제14항에 있어서,

상기 리세스는 가시광선 투과 물질로 충전된

광 클록 분배망.

청구항 16.

제1항에 있어서,

상기 마스터 레이저는 모드 고정 레이저인

광 클록 분배망.

청구항 17.

제1항에 있어서,

상기 마스터 레이저는 변조된 레이저인

광 클록 분배망.

청구항 18.

제1항에 있어서,

상기 제1 반도체는 실리콘을 포함하는

광 클록 분배망.

청구항 19.

제4항에 있어서,

상기 제1 및 제2 반도체는 멀티칩 모듈에 포함되는

광 클록 분배망.

청구항 20.

제4항에 있어서,

상기 제1 및 제2 반도체는 컴퓨터 시스템에 포함되는

광 클록 분배망.

청구항 21.

적어도 하나의 정면과 배면을 포함하는 반도체내의 집적회로를 광학적으로 클로킹하기 위한 방법에 있어서,

마스터 클록 주파수로 마스터 레이저 펄스를 방출하도록 구성된 마스터 레이저를 동작시키는 단계;

상기 마스터 레이저 펄스를 상기 반도체의 배면을 통해 상기 반도체에 배치된 제1 P-N 접합으로 집속시키는 단계;
상기 마스터 레이저 펄스에 응답하여 상기 제1 P-N 접합에서 생성된 전류를 클록 신호로 변환하는 단계; 및
상기 반도체에 배치된 상기 집적회로의 제1 영역을 클로킹하는 단계
를 포함하는 방법.

청구항 22.

제21항에 있어서,
상기 제1 P-N 접합에서 생성된 전류를 클록 신호로 변환하는 단계 후에 상기 클록 신호를 버퍼링하는 단계
를 더 포함하는 방법.

청구항 23.

제21항에 있어서,
상기 마스터 레이저 펄스를 제1 및 제2 스플릿 레이저 펄스로 분리시키는 단계
를 더 포함하고,
여기서, 상기 반도체의 배면을 통해 상기 마스터 레이저 펄스를 집속시키는 단계는 상기 제1 및 제2 스플릿 레이저 펄스를 상기 제1 P-N 접합 및 제2 P-N 접합으로 각각 집속시키는 단계를 포함하는
방법.

청구항 24.

제23항에 있어서,
상기 제1 및 제2 P-N 접합은 상기 반도체내에 배치되고, 상기 제2 스플릿 레이저 펄스는 상기 반도체의 배면을 통해 집속되어지는
방법.

청구항 25.

제23항에 있어서,
상기 제2 P-N 접합은 제2 반도체내에 배치되고, 상기 제2 스플릿 레이저 펄스는 상기 제2 반도체의 배면을 통해 집속되어지는
방법.

청구항 26.

제25항에 있어서,
상기 제2 스플릿 레이저 펄스에 응답하여 상기 제2 P-N 접합에서 생성된 전류를 상기 클록 신호로 변환하는 단계; 및
상기 제2 반도체내에 배치된 집적회로의 제2 영역을 클로킹하는 단계
를 더 포함하는 방법.

청구항 27.

제21항에 있어서,
상기 반도체의 배면을 통해 상기 제1 P-N 접합으로의 상기 마스터 레이저 펄스의 전송을 증가시키기 위하여, 상기 제1 P-N 접합과 상기 마스터 레이저 사이에 배치된 반도체 부분을 얇게 만드는(thinning) 단계
를 포함하는 방법.

청구항 28.

광 클록 분배망에 있어서,
적어도 하나의 정면과 배면을 포함하는 제1 반도체내에 배치되며, 광자를 검출하기 위한 제1 광검출 수단;
클록 주파수로 광자를 갖는 마스터 레이저 펄스를 생성하기 위한 마스터 레이저 생성 수단 - 여기서, 상기 제1 광검출 수단은 상기 제1 반도체의 배면을 통해 상기 마스터 레이저 펄스를 검출함 -; 및
상기 제1 광검출 수단에 연결되며, 상기 마스터 레이저 펄스에 응답하여 제1 클록 신호를 생성하기 위한 제1 클록 신호 생성 수단 - 여기서 상기 제1 클록 신호는 상기 제1 반도체내에 배치된 집적회로의 제1 영역을 클로킹하도록 구성됨 -
을 포함하는 광 클록 분배망.

청구항 29.

제28항에 있어서,
상기 제1 클록 신호 생성 수단은,
상기 제1 광검출 수단에 연결되며, 상기 제1 광검출 수단에 의해 생성된 전류 신호를 상기 클록 신호로 변환하기 위한 제1 변환 수단; 및
상기 제1 변환 수단과 상기 제1 반도체내의 배치된 상기 집적회로의 상기 제1 영역 사이에 연결되며, 상기 클록 신호를 버퍼링하기 위한 제1 퍼퍼링 수단을 포함하는
광 클록 분배망.

청구항 30.

제28항에 있어서,
상기 제1 반도체내에 배치되며, 광자를 검출하기 위한 제2 광검출 수단;
상기 마스터 레이저 생성 수단과 상기 제1 및 제2 광검출 수단 사이에 배치되며, 상기 마스터 레이저 펄스를 제1 및 제2 스플릿 레이저 펄스로 분리하기 위한 광학 수단 - 상기 광학 수단은 상기 제1 및 제2 스플릿 레이저 펄스를 상기 제1 반도체의 배면을 통해 상기 제1 및 제2 광검출 수단으로 각각 집속시킴 -; 및

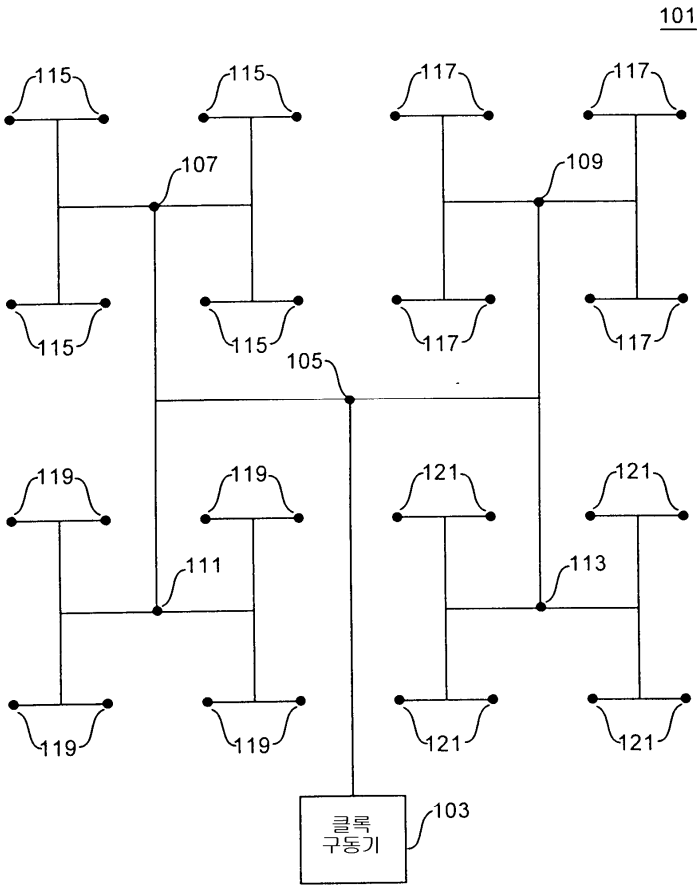
상기 제2 광검출 수단에 연결되며, 상기 마스터 레이저 펄스에 응답하여 제2 클록 신호를 생성하기 위한 제2 클록 신호 생성 수단 - 여기서, 상기 제2 클록 신호는 상기 제1 반도체내에 배치된 상기 집적회로의 제2 영역을 클로킹하도록 구성됨 -
을 더 포함하는 광 클록 분배망.

청구항 31.

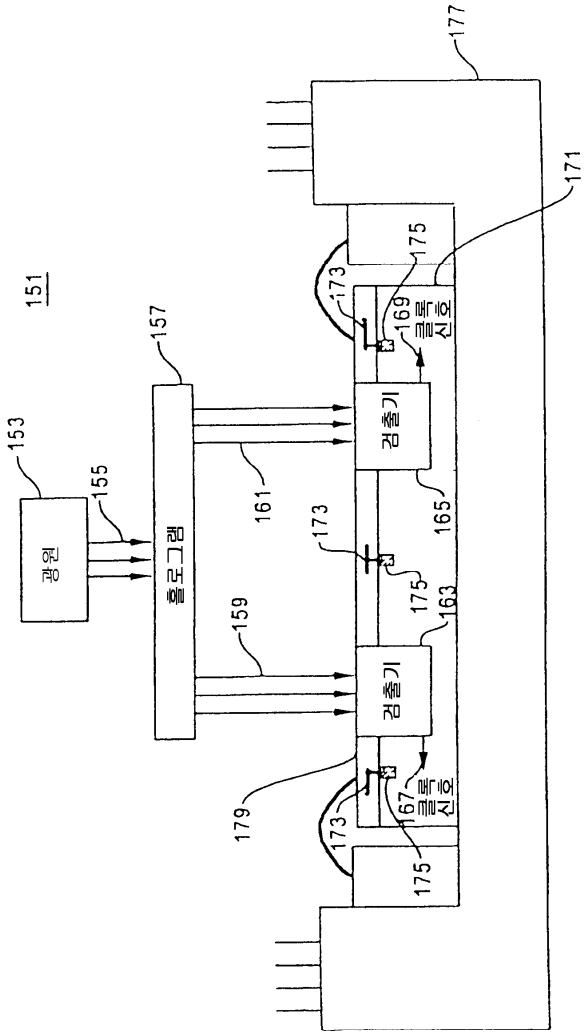
제28항에 있어서,
제2 반도체내에 배치되며, 광자를 검출하기 위한 제2 광검출 수단;
상기 마스터 레이저 생성 수단과 상기 제1 및 제2 광검출 수단 사이에 배치 되며, 상기 마스터 레이저 펄스를 제1 및 제2 스플릿 레이저 펄스로 분리하기 위한 광학 수단 - 상기 광학 수단은 상기 제1 스플릿 레이저 펄스를 상기 제1 반도체의 배면을 통해 상기 제1 광검출 수단으로 집속시키고, 상기 제2 스플릿 레이저 펄스를 상기 제2 반도체의 배면을 통해 상기 제2 광검출 수단으로 집속시킴 -; 및
상기 제2 광검출 수단에 연결되며, 상기 마스터 레이저 펄스에 응답하여 제2 클록 신호를 생성하기 위한 제2 클록 신호 생성 수단 - 여기서, 상기 제2 클록 신호는 상기 제2 반도체내에 배치된 집적회로의 제2 영역을 클로킹하도록 구성됨 -
을 더 포함하는 광 클록 분배망.

도면

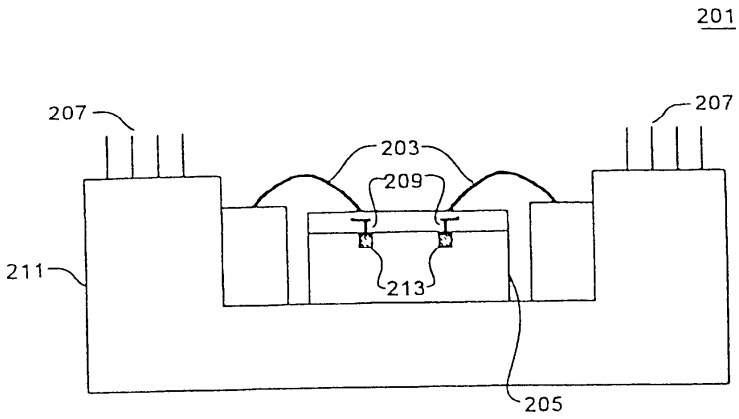
도면1a



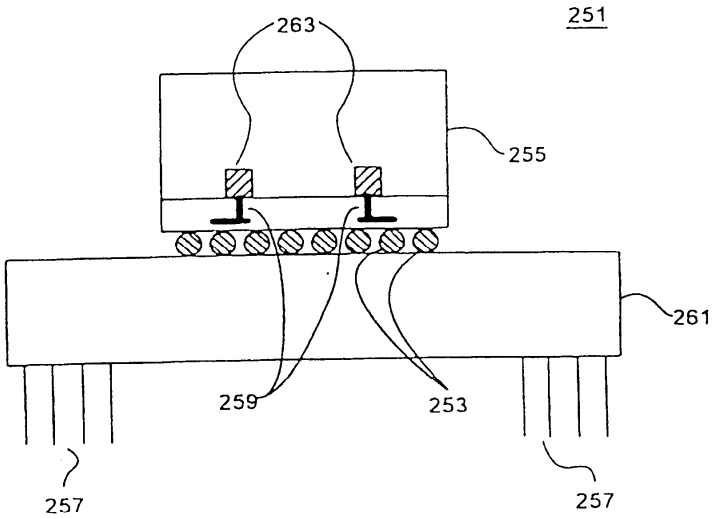
도면1b


177
171
175
173
169
클록 신호
151
157
153
155
161
165
광원
홀로그램
검출기
173
175
163
159
검출기
179
167
클록 신호
173
175

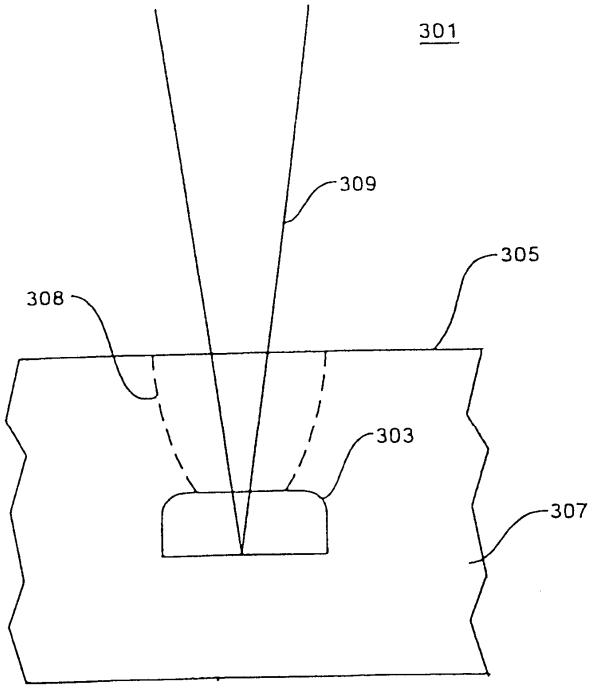
도면2a


201
207
207
203
209
211
213
205

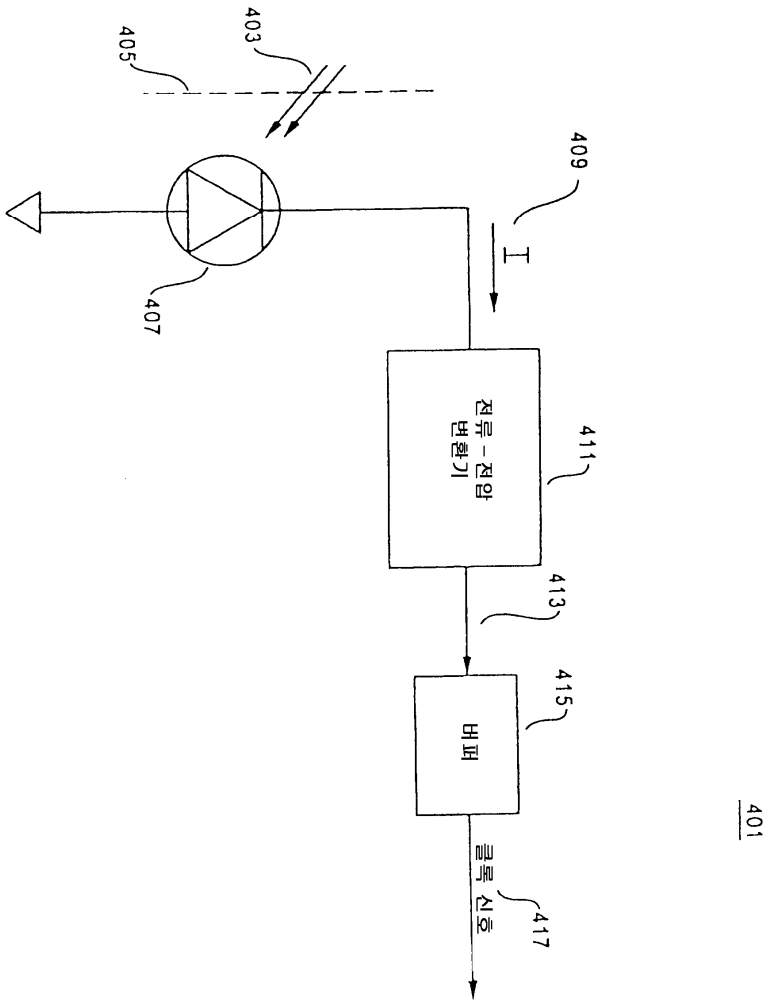
도면2b



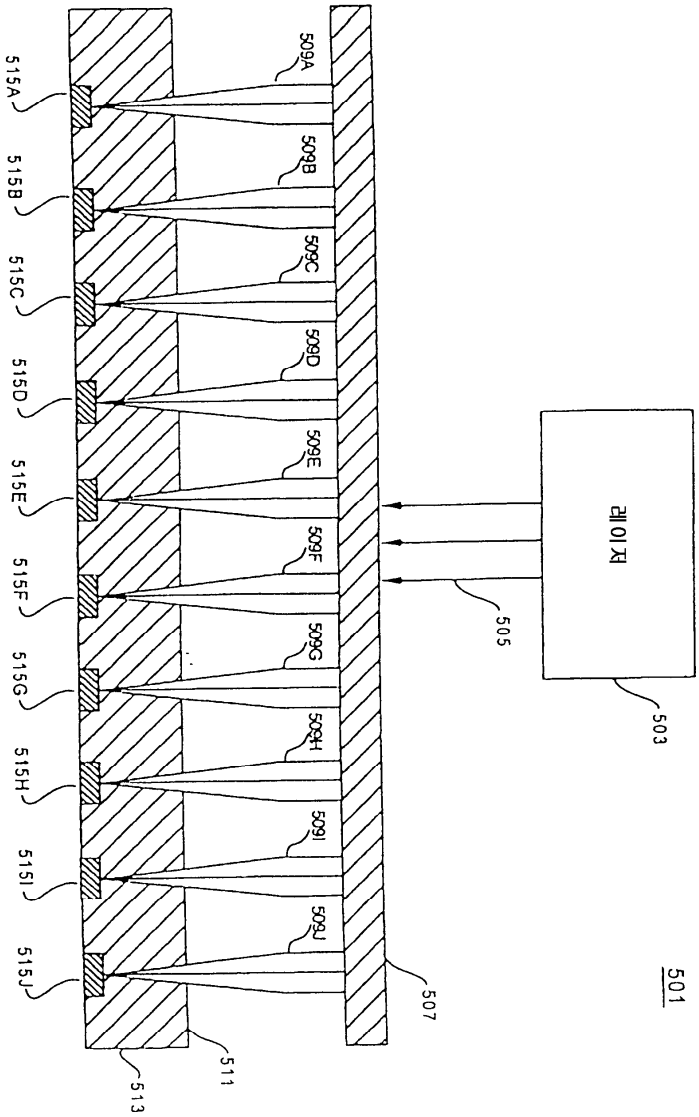
도면3



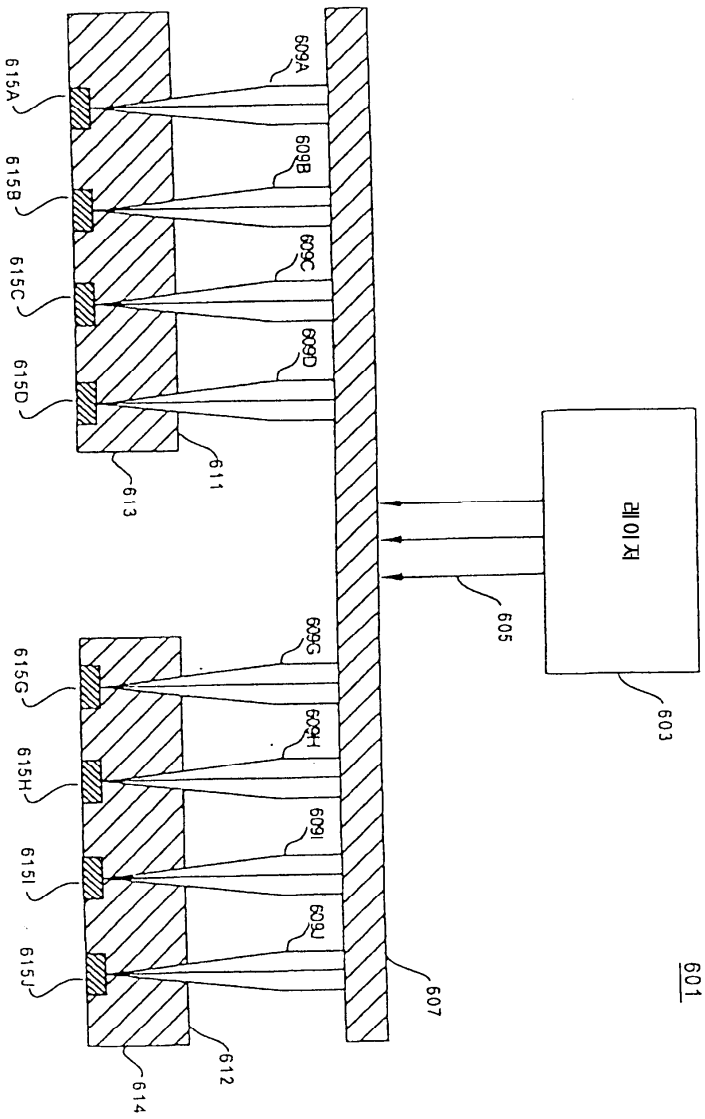
도면4



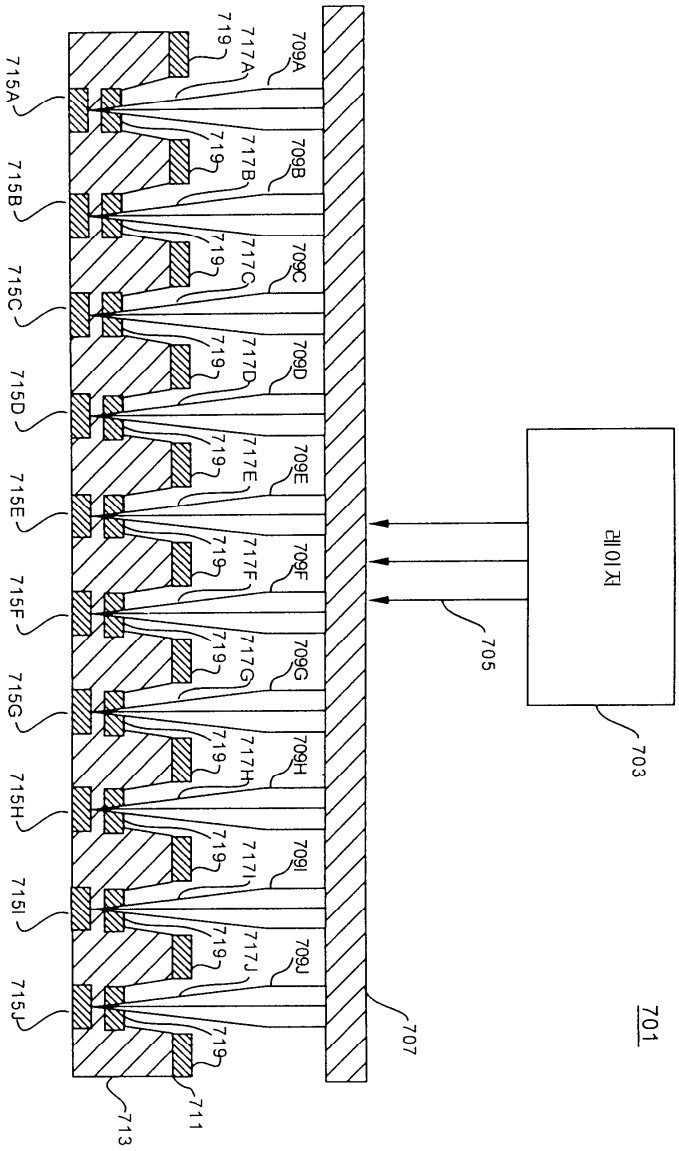
도면5


509A
509B
509C
509D
509E
509F
509G
509H
509I
509J
515A
515B
515C
515D
515E
515F
515G
515H
515I
515J
레이저
505
503
507
501
511
513

도면6


609A
609B
609C
609D
609G
609H
609I
609J
615A
615B
615C
615D
615G
615H
615I
615J
611
612
613
614
607
605
레이저
603
601

도면7


709A
709B
709C
709D
709E
709F
709G
709H
709I
709J
717A
717B
717C
717D
717E
717F
717G
717H
717I
717J
719
715A
715B
715C
715D
715E
715F
715G
715H
715I
715J
711
713
707
705
703
레이저
701