

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-217899

(P2008-217899A)

(43) 公開日 平成20年9月18日(2008.9.18)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 0 1 T	5 B 0 1 8
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 0 1 Z	5 B 1 2 5
G 0 6 F 12/16 (2006.01)	G 1 1 C 17/00 6 3 9 B	
	G 0 6 F 12/16 3 1 0 R	

審査請求 未請求 請求項の数 7 O L (全 25 頁)

(21) 出願番号 特願2007-53358 (P2007-53358)  
 (22) 出願日 平成19年3月2日(2007.3.2)

(71) 出願人 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (71) 出願人 000221199  
 東芝マイクロエレクトロニクス株式会社  
 神奈川県川崎市川崎区駅前本町25番地1  
 (74) 代理人 100109900  
 弁理士 堀口 浩  
 (72) 発明者 常盤 直哉  
 神奈川県川崎市川崎区駅前本町25番地1  
 東芝マイクロエレクトロニクス株式会社  
 内  
 Fターム(参考) 5B018 GA04 KA15 NA06

最終頁に続く

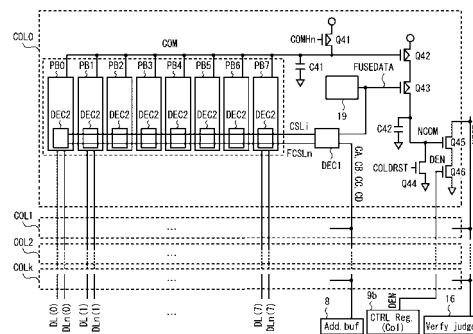
(54) 【発明の名称】 不揮発性半導体記憶装置、及び不揮発性半導体記憶システム

(57) 【要約】

【課題】 不良カラム情報を外部に通知することにより、記憶領域を有効に使用することが可能な半導体記憶装置を提供することを目的とする。

【解決手段】 カラム切り離しデータ保持回路19の一方のデータノードN21が保持するデータを示すFUSEDATA信号、及びアドレスバッファ8内部のアドレスカウンタが生成するカラムアドレスプリデコード信号をデコーダ回路DEC1に入力する。デコーダ回路DEC1の出力信号に基づき、不良カラムにおいては、データラッチLAT2に保持されるデータ出力は不許可とされ、相補データ線DL、DLnは常に固定データを出力する。同様に、不良カラムにおいては、相補データ線DL、DLnからデータラッチLAT2へのデータ入力是不許可とされ、データラッチLAT2の保持するデータは変更されない。

【選択図】 図5



**【特許請求の範囲】****【請求項 1】**

電氣的書き換え可能な不揮発性メモリセルが配列されたメモリセルアレイと、前記メモリセルの同時に読み出し或いは書き込みされる一括処理単位の読み出しデータ或いは書き込みデータを一時的に保持可能な第 1 のデータ保持回路と、前記第 1 のデータ保持回路のデータ状態を装置外部に取り出す手段と、電源投入時にデータ状態が自動的に設定され、且つ、装置外部より入力されたコマンドによってデータ状態を変更可能な第 2 のデータ保持回路とを具備し、前記一括処理単位は、装置内部で利用する単位数と、装置外部に連続して出力、或いは装置外部から連続して入力できる最大単位数の和に等しいことを特徴とする不揮発性半導体記憶装置。

10

**【請求項 2】**

電氣的書き換え可能な不揮発性メモリセルが配列されたメモリセルアレイと、前記メモリセルの同時に読み出し或いは書き込みされる一括処理単位の読み出しデータ或いは書き込みデータを一時的に保持可能な第 1 のデータ保持回路と、前記第 1 のデータ保持回路のデータ状態を装置外部に取り出す手段と、電源投入時にデータ状態が自動的に設定され、且つ、装置外部より入力されたコマンドによってデータ状態を変更可能な第 2 のデータ保持回路とを具備し、前記一括処理単位は、装置内部で利用する単位数と、装置外部に連続して出力、或いは装置外部から連続して入力できる最大単位数との和以上で、且つ、装置内部で利用する単位数と、装置外部に連続して出力、或いは装置外部から連続して入力できる最大単位数と、装置内部で利用する単位数を上限として設けられる冗長領域の単位数の和を超えないことを特徴とする不揮発性半導体記憶装置。

20

**【請求項 3】**

前記第 2 のデータ保持回路の状態を装置外部に出力することが可能であることを特徴とする請求項 1 または請求項 2 に記載の不揮発性半導体記憶装置。

**【請求項 4】**

前記第 1 のデータ保持回路の状態に拘わらず、前記第 2 のデータ保持回路の状態に応じて外部出力結果を変更可能な手段を有することを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項に記載の半導体記憶装置。

30

**【請求項 5】**

前記第 2 のデータ保持回路の状態に応じて、前記第 1 のデータ保持回路のデータを変更せずに保持可能な手段を有することを特徴とする請求項 1 乃至請求項 4 のいずれか 1 項に記載の不揮発性半導体記憶装置。

**【請求項 6】**

前記第 1 のデータ保持回路及び前記第 2 のデータ保持回路は、少なくとも 1 ビットを単位として設けられることを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項に記載の不揮発性半導体記憶装置。

**【請求項 7】**

請求項 1 乃至請求項 6 のいずれか 1 項に記載の不揮発性半導体記憶装置と、当該不揮発性半導体記憶装置を制御可能なコントローラとを有する不揮発性半導体記憶システムにおいて、前記コントローラは、前記不揮発性半導体記憶装置から通知された情報に基づき認識される不良カラムアドレスの管理を行う制御ブロックを具備し、当該不良カラムアドレスに対応する不良カラムをデータ入力の対象から除外し、且つ、当該不良カラムアドレスに対応する不良カラムからの読み出しデータを破棄することを特徴とする不揮発性半導体記憶システム。

40

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、不揮発性半導体記憶装置に係り、特に電氣的書き換え可能な不揮発性半導体

50

記憶装置の不良カラム管理手法に関する。

【背景技術】

【0002】

従来、電氣的書き換え可能な不揮発性半導体記憶装置の一つとして、NAND型フラッシュメモリが知られている。NAND型フラッシュメモリにおいては、製造工程中に発生したメモリセルの不良を救済するため、任意の不良カラムを任意の冗長カラムに自動的に置換する冗長カラム救済方式(フレキシブルカラムリダンダンシ)が実装されている。冗長カラム救済方式では、必要の都度、入力カラムアドレスと不良カラムアドレスとの一致検出を行い、入力カラムアドレスと不良カラムアドレスとが一致した場合に、アクセスするカラムを振り替える(例えば、特許文献1参照。)

10

【0003】

不良アドレス記憶回路には通常、フューズ回路やROM回路が用いられるが、これらの回路を設けず、メモリセルアレイ内に他の各種初期設定データと共に不良アドレスを記憶する方式も開示されている(例えば、特許文献2参照。)。この場合、不良アドレスは電源投入時に自動的に読み出されて初期設定レジスタに転送される。以降の動作では、初期設定レジスタに保持される不良アドレスに基づいて、不良カラムの置換制御が行われる。

【0004】

また、NAND型フラッシュメモリにおけるデータ書き込みシーケンスは、所定の書き込み電圧印加と書き込みベリファイを繰り返して行われる。即ち、ベリファイ読み出し後、全てのデータの書き込みが完了しているか否かをチェックするベリファイ判定(パス/フェイル判定)が行われ、全てのビットの書き込み完了が判定されると、書き込みシーケンスは終了し、書き込みが不十分なビットがあると判定されると、再度書き込み電圧が印加される。

20

【0005】

書き込み電圧印加回数の最大値(書き込みサイクル数、或いはループ数)Nmaxは、予め設定されている。書き込み回数がNmaxに達しても全ビットの書き込みが終了しない場合には、書き込みが“フェイル”として書き込みシーケンスは終了する。

【0006】

不良メモリセルを含むカラムに対してベリファイ判定を行う場合、不良メモリセルの書き込みが完了しないことにより、最大書き込み回数Nmaxまで書き込みが繰り返されて“フェイル”となるため、書き込みシーケンスが長時間化する。このため、ベリファイ判定回路に不良カラムを切り離すためのデータを保持するラッチ回路を備え、不良カラムをベリファイ判定の判定対象から除外する構成が開示されている(例えば、特許文献3参照。)

30

【0007】

更に、出荷後、NAND型フラッシュメモリの使用中に後発的に発生した不良を救済するため、チップ外部からのコマンド入力に従って不良カラム切り離しデータの書き込みが可能なラッチ回路を設けた構成が開示されている(例えば、特許文献4参照。)

【0008】

しかしながら、冗長カラム救済方式は、必要の都度、NAND型フラッシュメモリ内部に設けられた比較回路において入力カラムアドレスと不良カラムアドレスとの一致検出を行い、アクセスするカラムを振り替える置換制御を行うため、高速動作を阻害する一要因となっていた。

40

【0009】

また、装置内部に不良カラムが存在しない、或いは、予め実装してある冗長カラム数よりも少ない不良カラム数しか存在しない場合は、未使用の冗長カラムを残したまま出荷される。この場合、メモリセルとして正常であるにも拘わらず、未使用領域、即ちチップ外部からも内部からもデータを書き込むことのできない領域が存在することとなり、メモリセルを有効に使用しているとは言えず、利便性を低下させていた。

【特許文献1】特開2001-250395号公報

50

【特許文献2】特開2001-176290号公報

【特許文献3】特開2003-140899号公報

【特許文献4】特開2006-79695号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明は、不良カラム情報を外部に通知することにより、記憶領域を有効に使用することが可能な不揮発性半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0011】

10

本発明の一態様に係る不揮発性半導体記憶装置は、電氣的書き換え可能な不揮発性メモリセルが配列されたメモリセルアレイと、前記メモリセルの同時に読み出し或いは書き込みされる一括処理単位の読み出しデータ或いは書き込みデータを一時的に保持可能な第1のデータ保持回路と、前記第1のデータ保持回路のデータ状態を装置外部に取り出す手段と、電源投入時にデータ状態が自動的に設定され、且つ、装置外部より入力されたコマンドによってデータ状態を変更可能な第2のデータ保持回路とを具備し、前記一括処理単位は、装置内部で利用する単位数と、装置外部に連続して出力、或いは装置外部から連続して入力できる最大単位数の和に等しいことを特徴とする。

【0012】

20

また、本発明の別態様に係る不揮発性半導体記憶装置は、電氣的書き換え可能な不揮発性メモリセルが配列されたメモリセルアレイと、前記メモリセルの同時に読み出し或いは書き込みされる一括処理単位の読み出しデータ或いは書き込みデータを一時的に保持可能な第1のデータ保持回路と、前記第1のデータ保持回路のデータ状態を装置外部に取り出す手段と、電源投入時にデータ状態が自動的に設定され、且つ、装置外部より入力されたコマンドによってデータ状態を変更可能な第2のデータ保持回路とを具備し、前記一括処理単位は、装置内部で利用する単位数と、装置外部に連続して出力、或いは装置外部から連続して入力できる最大単位数との和以上で、且つ、装置内部で利用する単位数と、装置外部に連続して出力、或いは装置外部から連続して入力できる最大単位数と、装置内部で利用する単位数を上限として設けられる冗長領域の単位数の和を超えないことを特徴とする。

30

【発明の効果】

【0013】

本発明によれば、不良カラム情報を外部に通知することにより、記憶領域を有効に使用することが可能な不揮発性半導体記憶装置を提供できる。

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施形態について図面を参照して説明する。

【0015】

(第1の実施形態)

40

図1は、本実施形態に係る不揮発性半導体記憶システムの構成を示すブロック図である。不揮発性半導体記憶システムは、NAND型フラッシュメモリ100及びフラッシュコントローラ200を有する。

【0016】

フラッシュコントローラ200は、図1に示すように、CPU21(Central Processing Unit)、ROM22(Read Only Memory)、RAM23(Random Access Memory)、バッファ24、ECC回路25、及び不良アドレス管理ブロック26を有し、外部ホスト等のシステムからの要求に従い、NAND型フラッシュメモリ100にアクセスし、データの書き込み、読み出し、及び消去等の制御を行う。

【0017】

CPU21は、不揮発性半導体記憶システム全体の動作を制御し、不揮発性半導体記憶

50

システムが電源供給を受けた際に、ROM 22 に格納されるファームウェアをRAM 23 上に読み出して、所定の処理を実行する。

【0018】

ROM 22 は、CPU 21 により制御されるファームウェア等を格納し、RAM 23 は、CPU 21 の作業エリアとして使用される。

【0019】

バッファ24 は、外部ホスト等から転送されるデータをNAND型フラッシュメモリ100へ書き込む際に、一定量のデータを一時的に記憶したり、NAND型フラッシュメモリ100から読み出されるデータを外部ホスト等へ転送する際に、一定量のデータを一時的に記憶したりする。

【0020】

ECC回路25 は、NAND型フラッシュメモリ100にデータを書き込む際に、外部ホスト等からフラッシュコントローラ200に入力される書き込みデータに基づきECC符号を生成し、当該データに付与する。また、NAND型フラッシュメモリ100からデータを読み出す際に、読み出しデータに基づき生成したECC符号と、書き込みの際に付与されたECC符号とを比較することにより、エラーを検出、或いは訂正する。

【0021】

不良アドレス管理ブロック26 は、NAND型フラッシュメモリ100から通知される不良カラムアドレス情報を基に構成され、当該不良カラムアドレス情報を管理する。不良カラムアドレスに関しては後述する。

【0022】

次に、NAND型フラッシュメモリ100の構成に関して説明する。図2は、NAND型フラッシュメモリ100の機能ブロック構成を示し、図3は、そのメモリアレイ構成を示す。

【0023】

NAND型フラッシュメモリ100は、入力バッファ1、入力バッファ2、コマンドデコーダ3、ステートマシン4、ROM5、RAM6、電源オン検地回路7、アドレスバッファ8、コントロールレジスタ9a、コントロールレジスタ9b、ロウデコーダ10、センスアンプ回路11、高電圧発生回路12、コントロールレジスタ13、メモリアレイ14、選択回路15、ベリファイ判定回路16、データバッファ17、及び出力バッファ18を有する。

【0024】

チップイネーブル信号 $CEN_x$ 、ライトイネーブル信号 $WEN_x$ 、リードイネーブル信号 $REN_x$ 、コマンドラッチイネーブル信号 $CLE_x$ 、アドレスラッチイネーブル信号 $ALE_x$ 、ライトプロテクト信号 $WP_n_x$ 等の外部制御信号は、制御ピンを介して入力バッファ1に入力される。コマンド、アドレス、及びデータは、入出力ピン(I/Oピン)を介して入力バッファ2に入力される。

【0025】

また、図2には明示しないが、NAND型フラッシュメモリ100が、書き込み、読み出し、及び消去動作等に対してレディ状態にあるか、ビジー状態にあるかを示すステータス信号 $RB_x$ が、フラッシュコントローラ200に対して出力可能に構成されている。

【0026】

入出力ピンから入力されたコマンドは、入力バッファ2を介してコマンドデコーダ3に転送され、コマンドデコーダ3でデコードされた後、ステートマシン4に転送される。

【0027】

ステートマシン4は、NAND型フラッシュメモリ100の内部制御回路であり、その制御プログラムの一部、或いは全部は、ROM5、RAM6に保持されている。不揮発性半導体記憶システムが電源供給を受け、電源オン検知回路7が電源オンを検知すると、制御プログラムの一部、或いは全部がRAM6に転送される。ステートマシン4は、RAM6に転送された制御プログラムに基づき、コマンドデコーダ3から入力されたコマンドに

10

20

30

40

50

応じて、書き込み、読み出し、及び消去等の各種動作を制御する。

【0028】

入出力ピンから入力されたアドレスは、アドレスバッファ8を介して、ステートマシン4の制御により定められた所定のタイミングにおいて、コントロールレジスタ9a及びコントロールレジスタ9bに入力され、ロウデコーダ10やセンスアンプ回路11に転送される。

【0029】

高電圧発生回路12は、ステートマシン4からコントロールレジスタ13を介して与えられる信号により制御され、書き込み、読み出し、及び消去等の各種動作に応じて必要とされる高電圧を発生する。

10

【0030】

メモリセルアレイ14は、図3に示すように、電氣的書き換え可能な不揮発性メモリセルMC0乃至MC31(以下、一般にメモリセルMCと称する場合がある)が直列接続されたNANDセルユニット(NANDストリング)NUを配列して構成される。

【0031】

メモリセルMCは、例えば、半導体基板にトンネル絶縁膜を介して形成された浮遊ゲート電極、及び当該浮遊ゲート電極上にゲート間絶縁膜を介して積層された制御ゲート電極を有する。メモリセルMCは、浮遊ゲート電極に蓄積された電荷の多寡による閾値電圧の変化を利用して、例えば、上位ページデータ“x”と下位ページデータ“y”とにより定義され、閾値電圧の順にデータ“11”、“10”、“00”、“01”が割り付けられた4値データ“xy”の1つを不揮発に保持可能とされる。

20

【0032】

NANDセルユニットNUの一端は、選択ゲートトランジスタST1を介してビット線BLに、他端は選択ゲートトランジスタST2を介して共通ソース線CELSRCに接続される。同一行のメモリセルMCの制御ゲート電極は、それぞれメモリセル列方向に延在して共通接続され、ワード線WL0乃至WL31(以下、一般にワード線WLと称する場合がある)を構成する。また、選択ゲートトランジスタST1、ST2の制御ゲート電極は、それぞれメモリセル列方向に延在して共通接続され、選択ゲート線SGD、SGSを構成する。

30

【0033】

メモリセル列方向に複数配列されるNANDセルユニットNUの集合は、データ消去の最小単位となるブロックBLKを構成し、メモリセル行方向に複数のブロックBLK0乃至BLKnが配置されている。

【0034】

ロウデコーダ10は、ワード線WLの一端側に配置され、コントロールレジスタ9aから入力されたアドレスに従い、ワード線WL、選択ゲート線SGS、及び選択ゲート線SGDの選択駆動を行う。

【0035】

センスアンプ回路11は、ビット線BLの一端側に配置され、データの書き込み及び読み出しに供せられる。また、センスアンプ回路11は、複数のページバッファPBを具備し、選択回路15を介して、ブロックBLK内のビット線BLにおいて端から数えて偶数番目のビット線BLから構成されるグループである偶数ビット線BLE、或いは奇数番目のビット線BLから構成されるグループである奇数ビット線BLoのいずれか一方に選択的に接続される。

40

【0036】

選択回路15は、2つのグループのビット線BLE、BLoから一方のみを選択してセンスアンプ回路11に接続し、且つ、2つのグループのビット線BLE、BLoの他方を非選択としてセンスアンプ回路11に接続しない。また、データ読み出し時には、非選択側のビット線BLを接地することにより、ビット線BL間の結合ノイズを低減させる。

【0037】

50

この場合、1本のワード線WL及び偶数ビット線BLEにより選択されるメモリセルMCの集合が、書き込み及び読み出しの単位である1ページを構成し、1本のワード線WL及び奇数ビット線BLoにより選択されるメモリセルMCの集合が他の1ページを構成する。

【0038】

ベリファイ判定回路16は、センスアンプ回路11に付随して設けられ、データ書き込み時にセンスアンプ回路11内のページバッファPBが有するデータラッチLAT1の保持するデータに基づいて、後述するベリファイ判定動作を行う。

【0039】

書き込みデータは、データバッファ17を介して、センスアンプ回路11にロードされ、センスアンプ回路11に読み出されたデータは、出力バッファ18を介して、外部に出力される。

【0040】

図4は、センスアンプ回路11の1つのページバッファPBの構成例を示している。センスノードNsenとビット線BLとの間に配置されたNMOSトランジスタQ1は、ビット線制御信号BLCLAMPにより制御され、ビット線BLのプリチャージ電圧をクランプする働き、及びビット線BLの電圧を増幅するプリセンスアンプとしての働きをする。センスノードNsenには、ビット線プリチャージ制御信号BLPREにより制御されるプリチャージ用NMOSトランジスタQ2が接続され、また必要に応じて電荷保持用のキャパシタC1が接続される。

【0041】

センスノードNsenは、ビット線制御信号BLC1により制御される転送用NMOSトランジスタQ3を介して、データラッチLAT1の一方のデータノードN1に接続されている。データノードN1とセンスノードNsenの間には、読み出しデータを一時的に記憶するためのデータ記憶回路DSが設けられている。ドレインが電圧端子VREGに接続されたNMOSトランジスタQ4のゲートがデータ記憶ノードNRである。

【0042】

この記憶ノードNRとデータラッチLAT1のデータノードN1との間に、データ転送制御信号DTGにより制御されるデータ転送用NMOSトランジスタQ6が配置されている。また、記憶ノードNRが保持するデータに応じて、センスノードNsenに電圧VREGを転送するために、NMOSトランジスタQ4とセンスノードNsenとの間に、電圧転送制御信号REGにより制御されるNMOSトランジスタQ5が配置されている。

【0043】

データ記憶回路DSは、本実施形態においては1つ配置されているが、複数配置しても良い。データ記憶回路DSは、書き込み時に前サイクルの書き込みデータを保持して、後述するベリファイ判定動作において、“0”書き込み不十分のメモリセルMCについてのみ、“0”データをデータラッチLAT1のデータノードN1に書き戻すための書き戻し回路として用いられる。

【0044】

一方、データラッチLAT1の他方のデータノードN2は、後述するベリファイチェック回路VCKを介して、第1の検知線COMに接続されている。

【0045】

また、センスノードNsenには、ビット線制御信号BLC2により制御される転送用NMOSトランジスタQ7を介して、データキャッシュとして機能する第1のデータ保持回路としてのデータラッチLAT2が接続されている。データラッチLAT1とLAT2との間では、1ページ分の書き込みまたは読み出しデータが同時に転送される。

【0046】

メモリセルMCが4値データを保持可能である場合、例えば下位ページ書き込みのために上位ページデータを参照し、或いは上位ページデータ書き込みに下位ページデータを参照する、ということが必要になる。

10

20

30

40

50

## 【0047】

例えば、下位ページを参照して上位ページを書く必要があるとすると、データラッチLAT1に書き込むべき上位データを保持し、下位ページデータが既にメモリセルMCに書かれている場合には、これを読み出してデータラッチLAT2に保持する。そして、この下位ページデータを参照しながら、上位ページデータの書き込みベリファイ制御を行う。

## 【0048】

データラッチLAT2のデータノードN11、N12は、カラム選択信号CSLiにより制御されるカラム選択ゲートQ11、Q12を介して、相補データ線DL、DLnに接続されている。この相補データ線DL、DLnはページ内の入出力端子を単位として集約され、差動アンプによりそのデータ状態を判定される。

10

## 【0049】

相補データ線DL、DLnにはPMOSTランジスタQ21、NMOSTランジスタQ22がそれぞれ接続されている。PMOSTランジスタQ21のソースは電源電圧Vddに接続され、NMOSTランジスタQ22のソースは接地電圧Vssに接続される。PMOSTランジスタQ21、NMOSTランジスタQ22のゲートは、デコーダ回路DEC2により制御され、相補的にオン、オフされるように構成されている。デコーダ回路DEC2は、後述する活性化信号FCSLnによって制御される。

## 【0050】

図5に、1ページを構成するセンスアンプ回路11の構成を示す。図4に示した1ビットのデータを保持するページバッファPBが有する第1の検知線COMは、ページバッファPB0乃至PB7を単位として（即ち、バイト単位で）共通接続され、1カラムを構成している。第1の検知線COMの論理レベル情報は、PMOSTランジスタQ42及びQ43を介して第2の検知線NCOMに、更に、NMOSTランジスタQ45を介して、第3の検知線LSENに伝達される。第3の検知線LSENの論理レベル情報は、ベリファイ判定回路16に入力され、ステートマシン4に通知される。

20

## 【0051】

即ち、ベリファイ判定のためのデータ線は、第1の検知線COM、第2の検知線NCOM、及び第3の検知線LSENの階層構造を有する。

## 【0052】

第1の検知線COMは、図4に示すように、各々のページバッファPBが有するベリファイチェック回路VCKを介してデータラッチLAT1に接続されている。

30

## 【0053】

書き込み或いは消去時のベリファイ読み出しでは、書き込みが完了すると、データラッチLAT1のデータノードN1がオール“1”状態になるようにその保持データが制御される。このデータラッチLAT1のデータノードN1のオール“1”状態をカラム単位で検出するのが、第1の検知線COMである。

## 【0054】

第1の検知線COMは、制御信号COMHnにより制御されるプリチャージ用PMOSTランジスタQ41で電源電圧Vddにプリチャージされる。ベリファイ信号VFYによりベリファイチェック回路VCKが活性化された時に、データラッチLAT1のデータノードN1が1つでもデータ“0”（書き込み不十分）であると、プリチャージされた第1の検知線COMが放電される。この場合、書き込み或いは消去が“フェイル”であること、即ち、書き込み或いは消去が完了していないことを示す。

40

## 【0055】

図4に示すベリファイ信号VFYは、例えば8つのページバッファPBの全ベリファイチェック回路VCKを同時に活性化するように構成される。これは、カラム単位でのパス/フェイル判定を行う場合であるが、ビット単位でのパス/フェイル判定を行う場合には、このベリファイ信号VFYを個々のページバッファPBについて順次入力してチェックを繰り返せば良い。

## 【0056】

50



第1の検知線COMは、図5に示すように、それぞれのレベル遷移を検知するためのPMOSトランジスタQ42のゲートに接続されている。PMOSトランジスタQ42のソースは、電源電圧Vddに接続され、ドレインは、後述する第2のデータ保持回路としてのカラム切り離しデータ保持回路19の一方のデータノードN22が保持するデータであるFUSEDATA信号により制御されるPMOSトランジスタQ43を介して、第2の検知線NCOMに接続されている。

【0057】

図6は、カラム切り離しデータ保持回路19の内部構成を示す回路図である。カラム切り離しデータ保持回路19は、例えば不良カラム等について、当該カラムをベリファイ判定の対象から除外するために設けられ、出荷前のテスト結果に従って、不良カラム切り離しデータが書き込まれる。即ち、メモリセルアレイ14の初期設定データ記憶領域に保持されるカラム切り離しデータが、電源投入時に自動的に読み出されて、カラム切り離しデータ保持回路19に書き込まれる。

10

【0058】

また、カラム切り離しデータ保持回路19に保持されるデータは、出荷後、NAND型フラッシュメモリ100の使用中に発生した不良カラムをベリファイ判定の対象から除外するために、NAND型フラッシュメモリ100外部からのコマンド入力により書き換え可能に構成される。

【0059】

そのため、図6に示すように、カラム切り離しデータ保持回路19の他方のデータノードN21と接地電圧Vssとの間に、カラム選択信号CSLにより制御されるNMOSトランジスタQ31と、活性化信号FCENにより制御されるNMOSトランジスタQ32とが直列接続されている。また、データノードN22には、リセット信号FCRSTにより制御されるリセット用NMOSトランジスタQ33が接続されている。尚、カラム選択信号CSLは、デコーダ回路DEC1の出力信号であるカラム選択信号CSLiとは異なるものである。

20

【0060】

出荷後に所定のシーケンスにより行われる不良チェックで、新たに不良カラムが発見された場合、これをベリファイ判定対象から除外するために、所定のコマンド入力に従って、カラム切り離しデータ保持回路19にカラム切り離しデータが書き込まれる。

30

【0061】

即ち、カラム選択信号CSLによりNMOSトランジスタQ31がオン、図示略のコントロールレジスタ9bにより活性化される活性化信号FCENによりNMOSトランジスタQ32がオンすることで、カラム切り離しデータ保持回路19の他方のデータノードN21を“0”、一方のデータノードN22を“1”とするカラム切り離しデータがラッチされる。

【0062】

即ち、カラム切り離しデータ保持回路19が保持するカラム切り離しデータは、正常カラム(不良カラムではないカラム)においては、PMOSトランジスタQ43をオンとする、即ち、FUSEDATA信号を“0”とするデータである。一方、不良カラムにおいては、PMOSトランジスタQ43をオフとする、即ち、FUSEDATA信号を“1”とするデータである。

40

【0063】

尚、出荷後の不良チェックは、システム起動時の初期設定動作中に行っても良いし、或いは、任意のタイミングで所定のコマンド入力により行っても良い。

【0064】

第2の検知線NCOMは、第1の検知線COMと一対一対応で配置され、正常カラムについて、第1の検知線COMのレベル遷移を検知するためのものであり、また、リセット信号COLDRSTにより制御されるリセット用NMOSトランジスタQ44を介して、接地電圧Vssに接続される。リセット信号COLDRSTにより、NMOSトランジスタQ

50

44 をオンにすることで、第2の検知線 NCOM は接地電圧  $V_{SS}$  にリセットされる。

【0065】

第2の検知線 NCOM は、それぞれのレベル遷移を検知するための NMOS トランジスタ Q45 のゲートに接続され、NMOS トランジスタ Q45 のドレインは第3の検知線 LSEN に共通接続されている。

【0066】

第3の検知線 LSEN は、各カラムにおける第2の検知線 NCOM のレベル遷移を検知するために設けられる一括検知線である。NMOS トランジスタ Q45 のソースには、NMOS トランジスタ Q45 と直列に、コントロールレジスタ 9b から入力される活性化信号 DEN により制御される NMOS トランジスタ Q46 が接続されている。

10

【0067】

ベリファイ判定時において、書き込み不十分なメモリセル MC が存在し、プリチャージされた第1の検知線 COM がベリファイチェック回路 VCK を介して放電される場合、第1の検知線 COM が論理レベル“L”に遷移し、対応する PMOS トランジスタ Q42 がオンになる。

【0068】

ここで、正常カラムにおいては、PMOS トランジスタ Q43 がオンであり、第2の検知線 NCOM は、PMOS トランジスタ Q42、Q43 を介して充電され、論理レベル“H”に遷移する。一方、不良カラムにおいては、PMOS トランジスタ Q43 がオフであり、第1の検知線 COM のレベル遷移に拘わらず、第2の検知線 NCOM は論理レベル“L”の初期状態を保つ（充電されない）。

20

【0069】

ベリファイ判定動作中は、NMOS トランジスタ Q46 が常にオンであるから、第2の検知線 NCOM が論理レベル“H”への遷移を示す場合、NMOS トランジスタ Q45 がオンとなり、第3の検知線 LSEN が放電される。一方、第2の検知線 NCOM が論理レベル“L”の初期状態を保つ場合、NMOS トランジスタ Q45 がオフとなり、第3の検知線 LSEN は放電されない。

【0070】

ベリファイ判定回路 16 は、この第3の検知線 LSEN の論理レベルの遷移を検知してベリファイ判定を行う。即ち、第3の検知線 LSEN が放電され、論理レベル“L”へ遷移すればベリファイ判定の結果として“フェイル”が、第3の検知線 LSEN が放電されず、論理レベル“H”を保つ場合はベリファイ判定の結果として“パス”がステートマシン 4 に通知される。

30

【0071】

ステートマシン 4 は、ベリファイ判定の結果に基づき、例えば“フェイル”であれば再度書き込み電圧を印加する等の条件判定を行う。従って、カラム切り離しデータ保持回路 19 を設けることにより、不良カラムにあっては、強制的に“パス”とする、即ち、ベリファイ判定の対象から除外することが可能となる。

【0072】

本実施形態に係る半導体記憶システムにおいては、カラム切り離しデータ保持回路 19 の一方のデータノード N22 が保持するデータである FUSEDATA 信号を、デコーダ回路 DEC1 にも入力する。これにより、回路面積の増大を最小限に抑えつつ、不良カラムアドレス情報を NAND 型フラッシュメモリ 100 外部、例えばフラッシュコントローラ 200 に通知することが可能となる。以下、この点について、NAND 型フラッシュメモリ 100 の動作を踏まえて詳細に説明する。

40

【0073】

図7は、図5に示したデコーダ回路 DEC1 と、ページバッファ PB の入力信号であるカラム選択信号 CSLi 及び活性化信号 FC SLn との関係を示す。本実施形態において、カラム切り離しデータ保持回路 19 は、1バイト単位（1カラム単位）で配置されているから、デコーダ回路 DEC1 も同様に、1カラムに対し1つ配置する。従って、デコー

50

ダ回路DEC1の出力信号であるカラム選択信号CSLi及び活性化信号FCSLnは、当該カラムのページバッファPBに共通信号として入力される。

【0074】

デコード回路DEC1は、FUSEDATA信号、及びアドレスバッファから生成されるカラムアドレスプリデコード信号CA、CB、CC、及びCDを入力信号とする。ここで、カラムアドレスプリデコード信号CA、CB、CC、及びCDは、当該カラムが選択される場合のみ全て“1”が入力され、当該カラムが選択されない場合は、少なくとも一箇所以上に“0”が入力されるように構成するものとする。

【0075】

デコード回路DEC1において、カラムアドレスプリデコード信号CA、CB、CC、及びCDは、NAND回路DEC1Aに入力される。NAND回路DEC1Aの出力信号CSLnは、NOR回路DEC1B及びインバータ回路DEC1Cに入力される。インバータ回路DEC1Cの出力信号は、NAND回路DEC1Dに入力される。

10

【0076】

FUSEDATA信号は、NOR回路DEC1B及びNAND回路DEC1Dに入力される。NOR回路DEC1Bの出力信号がカラム選択信号CSLiであり、NAND回路DEC1Dの出力信号が活性化信号FCSLnである。

【0077】

例えば、メモリセルMCに保持された書き込みデータをページ単位でデータラッチLAT2に保持し、当該データをNAND型フラッシュメモリ100外部に読み出すシリアルリードの場合、アドレスバッファ14は、リードイネーブル信号Renxに応じて、アドレスバッファ14内部に構成されたアドレスカウンタを変更し、これによりカラムアドレスプリデコード信号CA、CB、CC、及びCDを生成し、アドレスカウンタが示すカラムアドレスにアクセスする。

20

【0078】

アクセス先のカラムにおけるデコード回路DEC1に対しては、カラムアドレスプリデコード信号CA、CB、CC、及びCDとして全て“1”が入力される。当該カラムが正常カラムである場合には、FUSEDATA信号は“0”であるから、デコード回路DEC1の出力信号であるカラム選択信号CSLiは“1”、活性化信号FCSLnも“1”となる。

30

【0079】

この場合、カラム選択信号CSLiが活性化されることで、NMOSトランジスタQ11、Q12がオンとなり、データラッチLAT2に保持されるデータ出力が許可される。

【0080】

また、活性化信号FCSLnがデコード回路DEC2に入力されることにより、PMOSトランジスタQ21、NMOSトランジスタQ22は共にオフとされる。

【0081】

一方、当該カラムが不良カラムである場合には、FUSEDATA信号は“1”であるから、デコード回路DEC1の出力信号であるカラム選択信号CSLiは“0”、活性化信号FCSLnも“0”となる。

40

【0082】

この場合、カラム選択信号CSLiは不活性のままであるから、NMOSトランジスタQ11、Q12がオフとなり、データラッチLAT2に保持されるデータ出力は不許可とされる。また、活性化信号FCSLnがデコード回路DEC2に入力されることにより、PMOSトランジスタQ21、NMOSトランジスタQ22は共にオンとなり、データラッチLAT2に保持されているデータによらず、相補データ線DL、DLnを強制的に固定する。よって、不良カラムにおいて、相補データ線DL、DLnは常に固定データを出力する。

【0083】

更に、例えばNAND型フラッシュメモリ100外部からの書き込みデータを、例えば

50

1 バイト単位でデータラッチ L A T 2 に投入するプログラムデータロードの場合、アドレスバッファ 1 4 は、ライトイネーブル信号 W E n x に応じて、アドレスバッファ 1 4 内部に構成されたアドレスカウンタを変更し、これによりアドレスプリデコード信号 C A、C B、C C、及び C D を生成し、アドレスカウンタが示す一意のカラムアドレスにアクセスする。

**【 0 0 8 4 】**

アクセス先のカラムにおける D E C 1 に対しては、カラムアドレスプリデコード信号 C A、C B、C C、及び C D として全て “ 1 ” が入力される。当該カラムが正常カラムである場合には、F U S E D A T A 信号は “ 0 ” であるから、デコード回路 D E C 1 の出力信号であるカラム選択信号 C S L i は “ 1 ”、活性化信号 F C S L n も “ 1 ” となる。

10

**【 0 0 8 5 】**

この場合、カラム選択信号 C S L i が活性化されることで、N M O S トランジスタ Q 1 1、Q 1 2 がオンとなり、データラッチ L A T 2 へのデータの入力が許可される。また、活性化信号 F C S L n がデコード回路 D E C 2 に入力されることにより、P M O S トランジスタ Q 2 1、N M O S トランジスタ Q 2 2 は共にオフとされる。

**【 0 0 8 6 】**

一方、当該カラムが不良カラムである場合には、F U S E D A T A 信号は “ 1 ” であるから、デコード回路 D E C 1 の出力信号であるカラム選択信号 C S L i は “ 0 ”、活性化信号 F C S L n も “ 0 ” となる。この場合、カラム選択信号 C S L i は不活性のままであるから、データラッチ L A T 2 へのデータ入力は不許可とされる。よって、データラッチ L A T 2 の保持するデータは変更されない。

20

**【 0 0 8 7 】**

本実施形態に係る半導体記憶システムにおいては、上述の構成及び動作を利用して、半導体記憶システム起動時に、図 8 に示すシーケンスにより不良カラム情報をフラッシュコントローラ 2 0 0 に通知する。図 8 は、不良カラム情報出力動作を示すフローチャートである。

**【 0 0 8 8 】**

先ず、不揮発性半導体記憶システムに電源が供給されると、電源オン検知回路 7 が電源オンを検知し、N A N D 型フラッシュメモリ 1 0 0 が起動する ( S 8 0 1 )。

**【 0 0 8 9 】**

ステートマシン 4 は、電源オン検知回路 7 からの出力信号を受けて、メモリセルアレイ 1 4 内の初期設定データ領域に保持されている各種初期設定データ、及び出荷前のテストで予め分かっている不良カラムアドレスを含むデータを読み出す。各種初期設定データは、初期設定データ用のレジスタにセットされ、不良カラムアドレスデータは、カラム切り離しデータ保持回路 1 9 に書き込まれる ( S 8 0 2 )。

30

**【 0 0 9 0 】**

次に、ページ単位のデータラッチ L A T 2 を、第 1 のデータ、例えば “ 0 ” データ ( 消去状態 ) に初期化する ( S 8 0 3 )。

**【 0 0 9 1 】**

フラッシュコントローラ 2 0 0 に対して初期化動作終了が通知されると、フラッシュコントローラ 2 0 0 は、N A N D 型フラッシュメモリ 1 0 0 に対して、不良カラム情報出力コマンドを入力し、不良カラム情報出力動作が開始される ( S 8 0 4 )。

40

**【 0 0 9 2 】**

次に、相補データ線 D L、D L n を介して、データラッチ L A T 2 のデータを読み出す ( S 8 0 5 )。ここで、相補データ線 D L、D L n を介して、N A N D 型フラッシュメモリ 1 0 0 に読み出されるデータを第 2 のデータとする。本実施形態においては、F U S E D A T A 信号が “ 0 ”、即ち正常カラムであれば、第 2 のデータとして、例えばデータラッチ L A T 2 に保持されるデータと同じ “ 0 ” データが読み出されるように構成する。

**【 0 0 9 3 】**

一方、F U S E D A T A 信号が “ 1 ”、即ち不良カラムであれば、相補データ線 D L、

50

D L n はデータラッチ L A T 2 と切り離されており、デコーダ回路 D E C 2 により固定されたデータを出力可能である。本実施形態においては、第 2 のデータとして、例えば、“ 1 ” データが読み出されるように構成する。

【 0 0 9 4 】

即ち、相補データ線 D L 、 D L n を介して N A N D 型フラッシュメモリ 1 0 0 外部に読み出された第 2 のデータが、データラッチ L A T 2 に保持される第 1 のデータ“ 0 ”と同じ“ 0 ”データであれば、当該カラムが正常カラムであることを、“ 1 ”データであれば、当該カラムが不良カラムであることをフラッシュコントローラ 2 0 0 が認識する ( S 8 0 6 ) 。

【 0 0 9 5 】

当該カラムが不良カラムであれば、フラッシュコントローラ 2 0 0 内部の不良アドレス管理ブロック 2 6 により管理される不良カラム管理テーブルを更新する ( S 8 0 7 ) 。

【 0 0 9 6 】

当該カラムが不良カラムでない場合、或いは不良カラムであって、不良アドレス管理ブロック 2 6 により管理される不良カラム管理テーブルを更新した後、当該カラムアドレスが最終カラムアドレスであるかを判定する ( S 8 0 8 ) 。最終カラムでない場合は、アドレスカウンタによりカラムアドレスをインクリメントし、不良カラム情報出力動作を続ける。全てのカラムの判定が終了すると、N A N D 型フラッシュメモリ 1 0 0 は不良カラム情報出力動作を終了する ( S 8 0 9 ) 。

【 0 0 9 7 】

以上のように、N A N D 型フラッシュメモリ 1 0 0 の初期設定動作に引き続いて不良カラム情報出力動作を行うことにより、フラッシュコントローラ 2 0 0 が不良カラムアドレスを認識し、この情報を基に、不良カラムの管理を行うことが可能となる。

【 0 0 9 8 】

フラッシュコントローラ 2 0 0 は、通知された情報を基に内部の不良アドレス管理ブロック 2 6 を構成して、不良カラムに対する書き込みデータロードを除外する、或いは無効データを入力する。また、不良カラムからのデータ読み出しにおいては、その読み出しデータを破棄する、或いは当該カラムからの読み出しを行わない等の制御を行う。

【 0 0 9 9 】

また、不良カラムにおいては、データラッチ L A T 2 の初期状態を、カラム不良を回避するデータに予め設定しておくことで、書き込み、読み出し、消去等の動作中においても、カラム不良が装置動作に与える影響を最小限にすることが可能となる。

【 0 1 0 0 】

カラム不良には、例えばカラムリーク不良、カラムオープン不良等が存在する。これらの不良は、例えば上述した出荷後の不良チェックに際して検知することが可能である。或いは、カラムリーク不良またはカラムオープン不良のいずれか一方の発生頻度が支配的である場合には、これに応じて、予めデータラッチ L A T 2 をいずれか一方の不良を回避するデータに設定しても良い。

【 0 1 0 1 】

図 9 は、本実施形態に係る不揮発性半導体記憶システムにおけるページ内不良管理方式を示す模式図である。ページ内の論理カラムアドレスは、N A N D 型フラッシュメモリ 1 0 0 外部との間でデータ入出力が可能な外部アクセス可能領域(第 1 のデータ領域)と、装置内部で、例えば、書き込み管理情報(多値書き込み動作で利用されるフラグ情報等)、プロテクト情報等の各種情報を保持、或いは読み出すための内部占有領域(第 2 のデータ領域)の 2 領域に分けられる。

【 0 1 0 2 】

N A N D 型フラッシュメモリ 1 0 0 内部の書き込み及び読み出し動作における有効データ処理単位(一括処理単位)である 1 ページを構成する論理カラムアドレス数は、これら領域の総和で構成することを特徴とする。ここで、有効データ処理単位内には、電氣的に外部に接続され得るが、データを書き込む、或いは読み出すことのできない領域(例えば

10

20

30

40

50

、ダミー領域等)は含まない。

【0103】

図9は、外部アクセス可能領域において、例えば論理カラムアドレス0001hに不良カラムが存在する場合を示している。この不良カラム情報が、フラッシュコントローラ200に通知され、不良アドレス管理ブロック26において管理される。

【0104】

また、図10は、図9の一部を変形したページ内不良管理方式を示す模式図である。ページ内の論理カラムアドレスは、外部アクセス可能領域、内部占有領域、及び内部占有領域専用の冗長領域(第3のデータ領域)に区分され、有効データ処理単位である1ページを構成する論理カラムアドレス数は、これら領域の総和で構成することを特徴とする。

10

【0105】

内部占有領域は少数バイト数、例えば4バイト程度である。しかしながら、その領域には動作状態に影響がある重要なデータを保持する可能性が高い。例えば、図10では、内部占有領域の論理カラムアドレス10DBhに不良カラムが存在しているが、内部占有領域にはこのような不良カラムは存在しないことが望ましい。

【0106】

このため、内部占有領域においては、従来のアドレス比較方式による冗長カラム救済(フレキシブルカラムリダンダンシ)ではなく、1ビットのフラグ信号により、内部占有領域を使用するか、内部占有領域専用冗長領域を使用するかを判定する。例えば、図10では、内部占有領域の論理カラムアドレス10DBhが、内部占有領域専用冗長領域のCRD1に置換される場合を示している。

20

【0107】

また、内部占有領域専用冗長領域は、必ずしも内部占有領域と同じ単位数設ける必要はない。即ち、内部占有領域専用冗長領域の単位数は、内部占有領域の単位数以下で適宜設定すれば良い。

【0108】

また、内部占有領域は、一般に、データ入出力のサイクルタイムよりも遅い速度(例えば、前者は30nsサイクル、後者は100nsサイクル)でアクセスされることから、内部占有領域専用冗長領域に限っては、不良カラムアドレスレジスタにアドレスを保持し、当該カラムへのアクセスがあったかどうかを都度比較、比較結果によってアクセス先を変更する回路を有しても良い。即ち、装置外部にデータを出力もしくは外部からデータを入力する領域において高速動作を実現できれば良い。

30

【0109】

以上のように、本実施形態に係る不揮発性半導体記憶システムにおいては、システムを構成するNAND型フラッシュメモリ100の内部に簡素な構成を追加し、一方で、冗長カラム救済方式の一部または全部を除去することで、不揮発性半導体記憶装置のコストメリットを向上させ、高速動作の一障害要因を排除することができ、更には、ユーザに従来よりも多い記憶容量の提供を可能とする。

【0110】

また、本実施形態に係る不揮発性半導体記憶システムは、図11に示すように、1つのフラッシュコントローラ200が、複数(例えば、4個)のNAND型フラッシュメモリ100を制御する場合であっても、同様に構成することが可能である。

40

【0111】

また、本実施形態に係る不揮発性半導体記憶システムにおいては、不良カラム情報出力動作をNAND型フラッシュメモリ100の起動時に行うこととしたが、これに限らず、フラッシュコントローラ200から所定のコマンドが入力された時に開始しても良い。

【0112】

また、本実施形態に係る不揮発性半導体記憶システムは、メモリカード内部に組み込んで使用しても良いし、メモリマクロとして混載用途に用いても良い。

【0113】

50

また、メモリセルMCは電荷蓄積層としてポリシリコンからなる浮遊ゲート電極を用いた構造であっても良いし、ONO膜(シリコン酸化膜 シリコン窒化膜 シリコン酸化膜)中のシリコン窒化膜に電子をトラップさせる構造であっても良い。

【0114】

また、8値、16値等、1つのメモリセルが保持可能な情報数が増えた場合、本実施形態におけるセンスアンプ11よりも更に複数個のラッチ回路が必要となるが、この場合も本実施形態の構成は同様に適用できる。

【0115】

また、本実施形態に係る不揮発性半導体記憶システムにおいては、センスアンプ回路11内部のページバッファPBが、選択回路15を介して偶数ビット線BLE或いは奇数ビット線BLoのいずれか一方に選択的に接続される場合について説明したが、これに限らず、1本のビット線BLに対し1つのページバッファPBが対応する回路構成であっても良い。

10

【0116】

尚、この発明は、本実施形態に限定されるものではなく、発明の要旨を逸脱しない範囲でその実施方法を変更することが可能である。

【0117】

(第2の実施形態)

図12は、本実施形態に係るNAND型フラッシュメモリ101の機能ブロック構成を示すブロック図である。以下、第1の実施形態と実質的に同一な構成要素には同じ参照符号を付して、本実施形態の特徴部分のみを説明する。

20

【0118】

本実施形態に係るNAND型フラッシュメモリ101は、センスアンプ回路11から出力バッファ回路18への出力信号経路に、第3の検知線LSENの情報を読み出すために、コマンドデコーダ3から通知される情報により出力を切り替えることが可能なセレクト回路20を配置することを特徴とする。

【0119】

第3の検知線LSENへの出力構成を、図13に示す。図13は、1ページを構成するセンスアンプ回路11の構成を示す。本実施形態において、センスアンプ回路11は、FUSEDATA信号を第3の検知線LSENに伝達するため、ドレインがNMOSトランジスタQ45と接続され、ソースが接地電圧Vssに接続されたNMOSトランジスタQ46のゲートを、デコーダ回路DEC3により制御するように構成する。

30

【0120】

デコーダ回路DEC3は、例えば、NAND回路DEC3Aとインバータ回路DEC3Bを有し、NAND回路DEC3Aの出力信号がインバータ回路DEC3Bに入力される構成となっている。NAND回路DEC3Aは、コントロールレジスタ9bから転送される活性化信号DEN、及びDEC4から出力されるカラム選択信号CSLiを入力とする。

【0121】

デコーダ回路DEC4は、図14に示すように、例えば、NAND回路DEC4Aとインバータ回路DEC4Bを有し、NAND回路DEC4Aの出力信号CSLnがインバータ回路DEC4Bに入力される構成となっている。NAND回路DEC4Aは、アドレスバッファ8から転送されるカラムアドレスプリデコード信号を入力とする。

40

【0122】

また、PMOSトランジスタQ43のソース側には、コントロールレジスタ9bから転送される活性化信号DENにより制御されるPMOSトランジスタQ47を接続し、不良カラム情報出力動作中は第1の検知線COMの状態によらず、電源電圧Vddに接続されるように構成する。

【0123】

これにより、アドレスバッファ14内に配置されたアドレスカウンタより生成されるカ

50

ラムアドレスプリデコード信号 C A、C B、C C、及び C D により一意に選択されたカラムアドレスにおける F U S E D A T A 信号のみを、第 3 の検知線 L S E N に伝達することが可能となる。第 3 の検知線 L S E N に伝達された情報は、セクタ回路 2 0、出力バッファ 1 8 を介してフラッシュコントローラ 2 0 0 に通知される。

【 0 1 2 4 】

本実施形態に係る半導体記憶システムにおいては、上述の構成及び動作を利用して、半導体記憶システム起動時に、以下のシーケンスにより不良カラム情報をフラッシュコントローラ 2 0 0 に通知する。説明に当たっては図 1 5 を参照する。図 1 5 は、不良カラム情報出力動作を示すフローチャートである。

【 0 1 2 5 】

先ず、半導体記憶システムに電源が供給されると、電源オン検知回路 7 が電源オンを検知し、N A N D 型フラッシュメモリ 1 0 1 が起動する ( S 1 5 0 1 )。ステートマシン 4 は、電源オン検知回路 7 からの出力信号を受けて、メモリセルアレイ 1 4 内の初期設定データ領域に保持されている各種初期設定データ、及び出荷前のテストで予め分かっている不良カラムアドレスを含むデータを読み出す。各種初期設定データは、初期設定データ用のレジスタにセットされ、不良カラムアドレスデータは、カラム切り離しデータ保持回路 1 9 に書き込まれる ( S 1 5 0 2 )。

【 0 1 2 6 】

フラッシュコントローラ 2 0 0 に対して初期化動作終了が通知されると、フラッシュコントローラ 2 0 0 は、N A N D 型フラッシュメモリ 1 0 0 に対して、不良カラム情報出力コマンドを入力し、不良カラム情報出力動作が開始される ( S 1 5 0 3 )。

【 0 1 2 7 】

N A N D 型フラッシュメモリ 1 0 1 は、当該コマンドを受け取ると、不良カラム情報出力動作を開始する。

【 0 1 2 8 】

次に、第 3 の検知線 L S E N を介して、不良カラム切り離しデータ保持回路 1 9 が保持する F U S E D A T A 信号を読み出す ( S 1 5 0 4 )。この際、セクタ回路 2 0 はコマンドデコーダ 3 から入力される信号 F O U T により “ 1 ” 状態とされ、第 3 のデータ線 L S E N に伝達された F U S E D A T A 信号を出力バッファ 1 6 に転送するように切り替えられる。

【 0 1 2 9 】

F U S E D A T A 信号は “ 0 ” であれば正常カラム、“ 1 ” であれば不良カラムであることを意味するから、F U S E D A T A 信号により当該カラムが不良カラムであるか否かが判別される。尚、不良カラム情報出力動作中は、活性化信号 D E N により N M O S トランジスタ Q 4 6 及び P M O S トランジスタ Q 4 7 が常にオンとされる ( S 1 5 0 5 )。

【 0 1 3 0 】

例えば、F U S E D A T A 信号が “ 0 ” ( 正常カラム ) である場合、P M O S トランジスタ Q 4 3 がオンとなる。この時、P M O S トランジスタ Q 4 7 は活性化信号 D E N によりオンとされているため、電源電圧 V d d により第 2 の検知線 N C O M が論理レベル “ H ” に遷移する。従って、N M O S トランジスタ Q 4 5 がオンとなり、第 3 の検知線 L S E N は、活性化信号 D E N によりオンとされている N M O S トランジスタ Q 4 6 を介して放電される。

【 0 1 3 1 】

一方、F U S E D A T A 信号が “ 1 ” ( 不良カラム ) である場合、P M O S トランジスタ Q 4 3 がオフとなるため、第 2 の検知線 N C O M の論理レベルは変化せず、N M O S トランジスタ Q 4 5 はオフである。従って、第 3 の検知線 L S E N は N M O S トランジスタ Q 4 6 を介して放電されない。

【 0 1 3 2 】

フラッシュコントローラ 2 0 0 は、この様な第 3 の検知線 L S E N のレベル遷移を、セクタ回路 2 0 及び出力バッファ回路 1 8 を介して検知することで、当該カラムが不良カ

10

20

30

40

50



ラムであるか否かを判別することが可能である。

【0133】

当該カラムが不良カラムであれば、不良カラムアドレス管理テーブルの情報を更新する（S1506）。当該カラムが不良カラムでない場合、或いは不良カラムであって、不良アドレス管理ブロック26に不良カラムアドレス情報を保持した後、当該カラムアドレスが最終カラムアドレスであるかを判定する（S1507）。最終カラムでない場合は、アドレスカウンタによりカラムアドレスをインクリメントし、不良カラム情報出力動作を続ける。全てのカラムの判定が終了すると、NAND型フラッシュメモリ100は不良カラム情報出力動作を終了する（S1508）。

【0134】

以上のように、NAND型フラッシュメモリ100の初期設定動作に引き続いて不良カラム情報出力動作を行うことにより、フラッシュコントローラ200が不良カラムアドレスを認識し、この情報を基に、不良カラムの管理を行うことが可能となる。

【0135】

本実施形態に係る不揮発性半導体メモリシステムにおいても、第1の実施形態と同様の効果が得られる。その他は、第1の実施形態と同様である。

【0136】

（第3の実施形態）

図16は、本実施形態に係るメモリカード300の構成を示すブロック図である。本実施形態に係るメモリカード300は、上述した第1の実施形態または第2の実施形態に係る不揮発性半導体記憶システムを内部に有する。

【0137】

メモリカード300は、その外観が例えば9つの端子群を有するSDTMメモリカード形状に形成されており、図示略の外部ホスト等に対し、一種の外部記憶装置として用いられる。外部ホストは具体的には、画像データ、音楽データ、或いはIDデータ等の各種データを処理するパーソナルコンピュータや、PDA、デジタルスチルカメラ、携帯電話等の各種電子機器である。

【0138】

インタフェース用信号端子310には、外部ホストからメモリカード300へのクロック転送に使用されるCLK端子、コマンド転送と当該コマンドに対するレスポンス転送に使用されるCMD端子、読み書きされるデータの入出力端子として使用されるDAT0、DAT1、DAT2、及びDAT3端子、電源供給に使用されるVdd端子、及び接地に使用される2つのGND端子の合計9個の信号端子が配置されている。

【0139】

これら9個の信号端子と、ホストインタフェースとが電氣的に接続され、コマンド、アドレス、及びデータ等の送受信が行われる。

【0140】

（第4の実施形態）

図17は、本実施形態に係るメモリカードホルダ320を示す模式図である。図17に示すメモリカードホルダ320には、第3の実施形態に係るメモリカード300が挿入可能である。メモリカードホルダ320は、図示略の外部ホスト等に接続され、メモリカード300と外部ホストとの間のインタフェース装置として機能する。

【0141】

（第5の実施形態）

図18は、第3の実施形態または第4の実施形態に係るメモリカード300、或いはメモリカードホルダ320のどちらも受けることが可能な接続装置330を示している。メモリカード300やメモリカードホルダ320は接続装置330に装着され、電氣的に接続される。接続装置330は、接続ワイヤ340及びインタフェース回路350によりボード360に接続されている。ボード360は、CPU370及びバス380を有する。

【0142】

10

20

30

40

50

また、図 19 に示すように、メモリカード 300 或いはメモリカードホルダ 320 が接続装置 330 に挿入され、接続装置 330 がワイヤ 340 により PC 390 に接続される構成であっても良い。

【図面の簡単な説明】

【0143】

【図 1】本発明の第 1 の実施形態に係る不揮発性半導体記憶システムの構成を示すブロック図。

【図 2】本発明の第 1 の実施形態に係る不揮発性半導体記憶システムにおける NAND 型フラッシュメモリの構成を示すブロック図。

【図 3】本発明の第 1 の実施形態に係る不揮発性半導体記憶システムにおける NAND 型フラッシュメモリのメモリコア部のセルアレイ構成図。

【図 4】本発明の第 1 の実施形態に係る不揮発性半導体記憶システムにおける NAND 型フラッシュメモリのページバッファを示す回路図。

【図 5】本発明の第 1 の実施形態に係る不揮発性半導体記憶システムにおける NAND 型フラッシュメモリのセンスアンプ回路を示す回路図。

【図 6】本発明の第 1 の実施形態に係る不揮発性半導体記憶システムにおける NAND 型フラッシュメモリのカラム切り離しデータ保持回路を示す回路図。

【図 7】本発明の第 1 の実施形態に係る不揮発性半導体記憶システムにおける NAND 型フラッシュメモリのデコーダ回路を示す回路図。

【図 8】本発明の第 1 の実施形態に係る不揮発性半導体記憶システムにおける NAND 型フラッシュメモリの不良カラム検出シーケンスを示す回路図。

【図 9】本発明の第 1 の実施形態に係る不揮発性半導体記憶システムにおけるページ内不良管理方式を示す模式図。

【図 10】本発明の第 1 の実施形態に係る不揮発性半導体記憶システムにおけるページ内不良管理方式を示す模式図。

【図 11】本発明の第 1 の実施形態に係る不揮発性半導体記憶システムの別の構成を示すブロック図。

【図 12】本発明の第 2 の実施形態に係る不揮発性半導体記憶システムにおける NAND 型フラッシュメモリの構成を示すブロック図。

【図 13】本発明の第 2 の実施形態に係る不揮発性半導体記憶システムにおける NAND 型フラッシュメモリのセンスアンプ回路を示す回路図。

【図 14】本発明の第 2 の実施形態に係る不揮発性半導体記憶システムにおける NAND 型フラッシュメモリのデコーダ回路を示す回路図。

【図 15】本発明の第 2 の実施形態に係る不揮発性半導体記憶システムにおける NAND 型フラッシュメモリの不良カラム検出シーケンスを示す回路図。

【図 16】本発明の第 3 の実施形態に係るメモリカードの構成を示すブロック図。

【図 17】本発明の第 4 の実施形態に係るメモリカードホルダを示す模式図。

【図 18】本発明の第 5 の実施形態に係る接続装置を示す模式図。

【図 19】本発明の第 5 の実施形態に係る接続装置を示す模式図。

【符号の説明】

【0144】

100、101 NAND 型フラッシュメモリ

1 入力バッファ

2 入力バッファ

3 コマンドデコーダ

4 ステートマシン

5 ROM

6 RAM

7 電源オン検知回路

8 アドレスバッファ

10

20

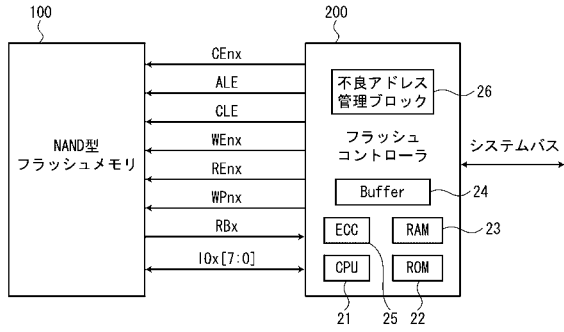
30

40

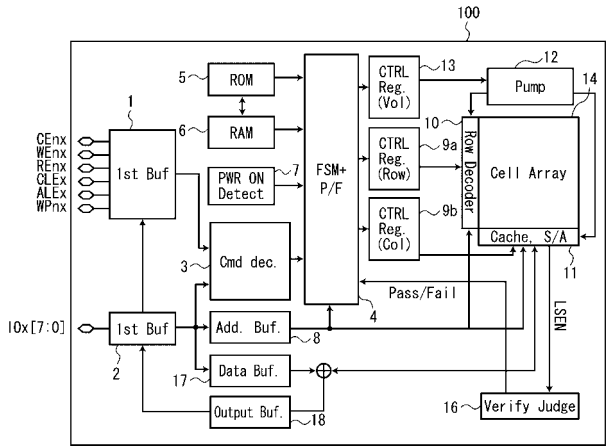
50

9 a	コントロールレジスタ	
9 b	コントロールレジスタ	
1 0	ロウデコーダ	
1 1	センスアンプ回路	
1 2	高電圧発生回路	
1 3	コントロールレジスタ	
1 4	メモリセルアレイ	
1 5	選択回路	
1 6	ベリファイ判定回路	
1 7	データバッファ	10
1 8	出力バッファ	
1 9	カラム切り離しデータ保持回路	
2 0	セレクタ回路	
2 0 0	フラッシュコントローラ	
2 1	C P U	
2 2	R O M	
2 3	R A M	
2 4	バッファ	
2 6	不良アドレス管理ブロック	
2 5	E C C 回路	20
3 0 0	メモリカード	
3 1 0	インタフェース用信号端子	
3 1 0	メモリカードホルダ	
3 3 0	接続装置	
3 4 0	接続ワイヤ	
3 5 0	インタフェース回路	
3 6 0	ボード	
3 7 0	C P U	
3 8 0	バス	
3 9 0	P C	30

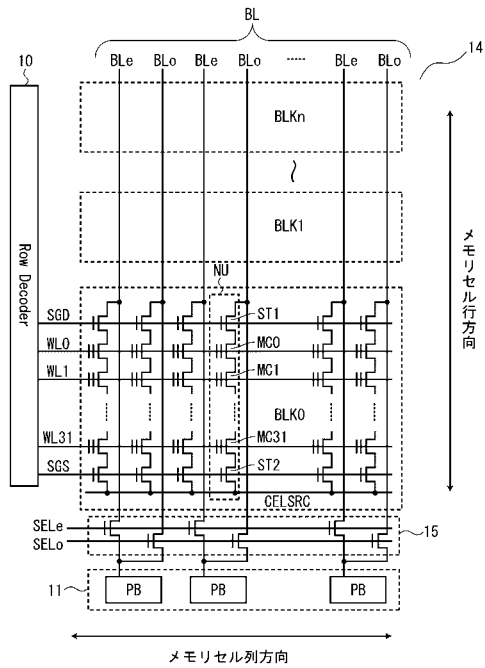
【 図 1 】



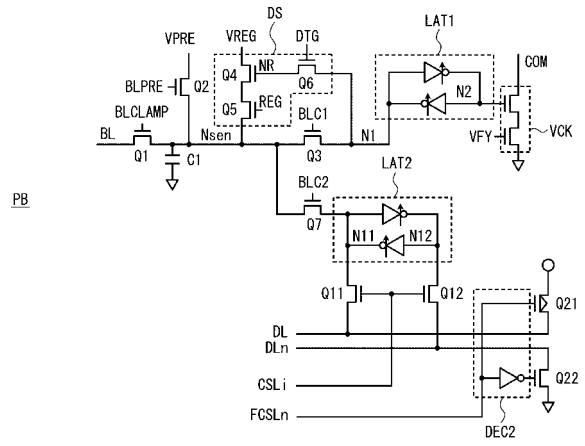
【 図 2 】



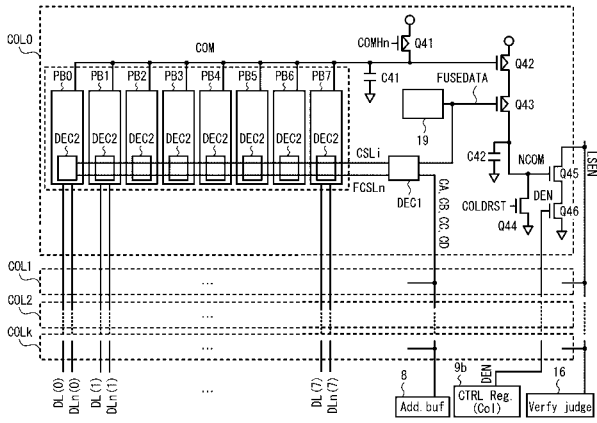
【 図 3 】



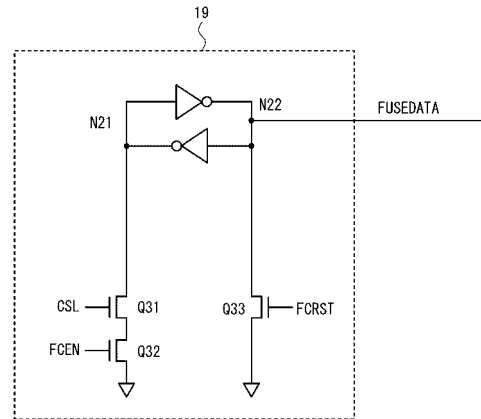
【 図 4 】



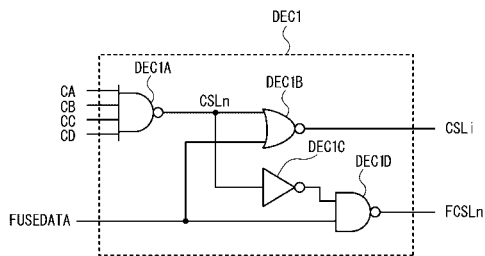
【 図 5 】



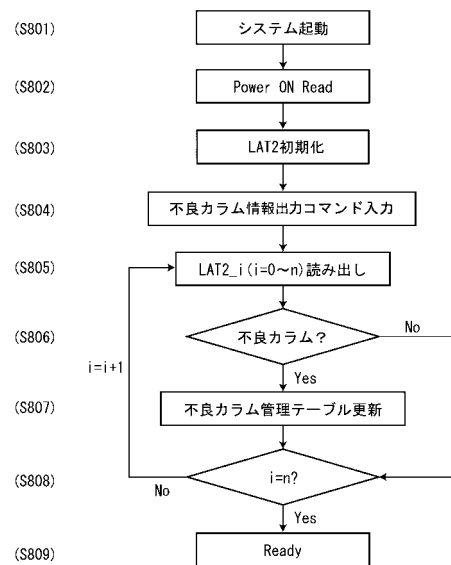
【 図 6 】



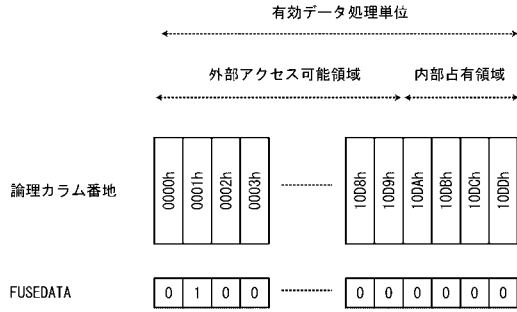
【 図 7 】



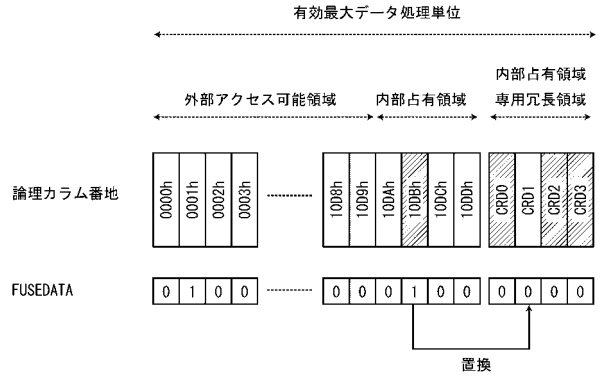
【 図 8 】



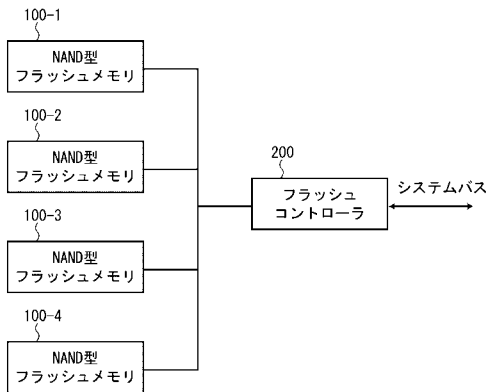
【 図 9 】



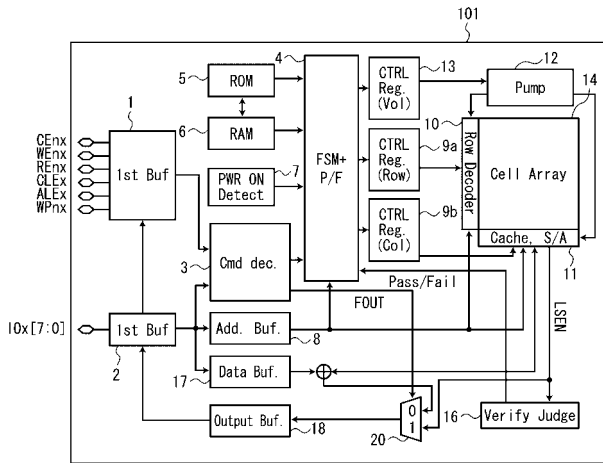
【 図 1 0 】



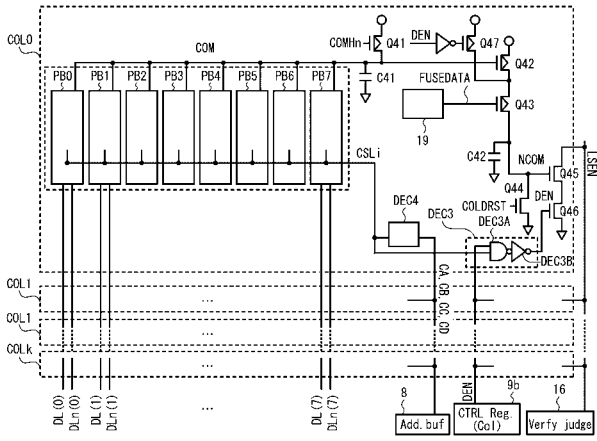
【 図 1 1 】



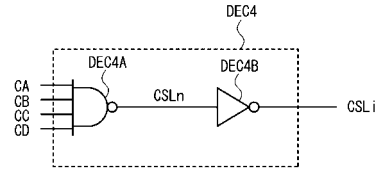
【 図 1 2 】



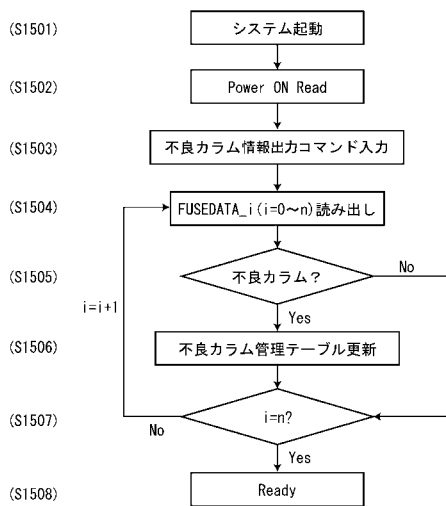
【 図 1 3 】



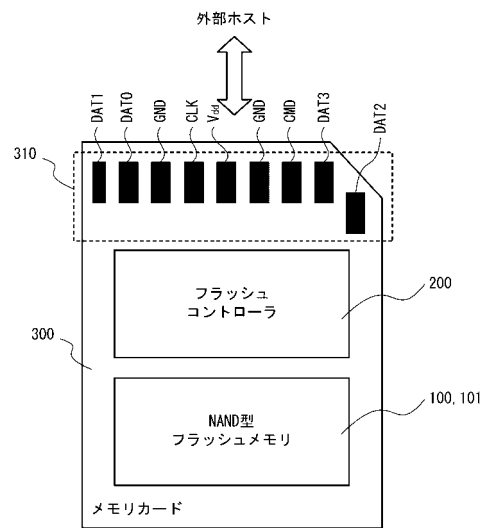
【 図 1 4 】



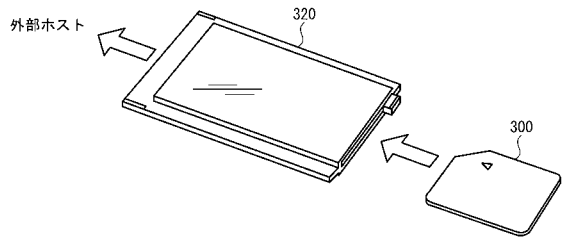
【 図 1 5 】



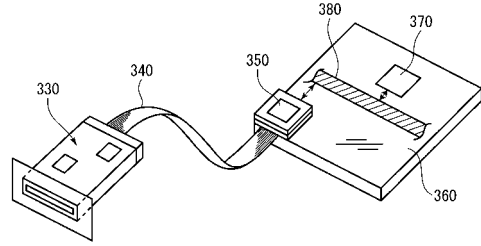
【 図 1 6 】



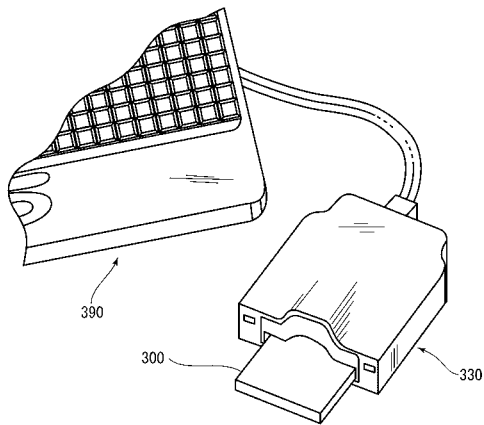
【図 17】



【図 18】



【図 19】





---

フロントページの続き

Fターム(参考) 5B125 BA02 BA19 CA08 DA03 DB02 DB08 DD01 DD04 DE09 DE13  
DE20 EA05 EF02 EF03 EK01 EK06 FA01 FA04 FA10