



(12) 发明专利

(10) 授权公告号 CN 102412184 B

(45) 授权公告日 2014.03.12

(21) 申请号 201110133619.6

CN 101419942 A, 2009.04.29,

(22) 申请日 2011.05.23

US 6514833 B1, 2003.02.04,

(73) 专利权人 上海华力微电子有限公司

CN 1471173 A, 2004.01.28,

地址 201210 上海市浦东新区张江高科技园
区高斯路 568 号

CN 101123253 A, 2008.02.13,

CN 101740456 A, 2010.06.16,

CN 1949472 A, 2007.04.18,

(72) 发明人 郑春生 张文广 徐强 陈玉文

CN 1359145 A, 2002.07.17,

CN 1797736 A, 2006.07.05,

(74) 专利代理机构 上海新天专利代理有限公司
31213

审查员 张云

代理人 王敏杰

(51) Int. Cl.

H01L 21/762(2006.01)

H01L 21/265(2006.01)

H01L 21/336(2006.01)

(56) 对比文件

CN 101930946 A, 2010.12.29,

US 7482245 B1, 2009.01.27,

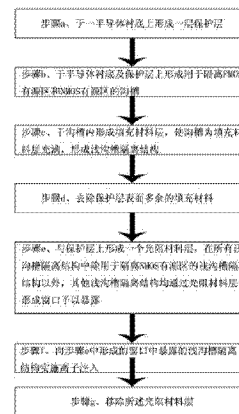
权利要求书1页 说明书3页 附图2页

(54) 发明名称

离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法

(57) 摘要

本发明公开了一种离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,其中,包括以下步骤:步骤 a、于半导体衬底上形成一层保护层;步骤 b、于所述半导体衬底及保护层上形成用于隔离 PMOS 有源区和 NMOS 有源区的沟槽;步骤 c、于所述沟槽内形成填充材料层,使所述沟槽为所述填充材料层充满,形成浅沟槽隔离结构;步骤 d、去除所述保护层表面多余的填充材料。本发明的有益效果是:对采用 HARP 工艺做浅槽隔离的器件,对 PMOS 周围的隔离氧化物采用离子注入调整应力从受拉变为受压,从而使 PMOS 沟道区域应力状态改变,性能提高,工艺简单可行,有效克服选择性浅槽填充的工艺复杂性。



CN 102412184 B

1. 一种离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,其特征在于,包括以下步骤:

步骤 a、于一半导体衬底上形成一层保护层;

步骤 b、于所述半导体衬底及保护层上形成用于隔离 PMOS 有源区和 NMOS 有源区的沟槽;

步骤 c、于所述沟槽内形成填充材料层,使所述沟槽为所述填充材料层充满,形成浅沟槽隔离结构;

步骤 d、去除所述保护层表面多余的填充材料;

步骤 e、于所述保护层上形成一光阻材料层,在所有所述浅沟槽隔离结构中除用于隔离 NMOS 有源区的所述浅沟槽隔离结构以外,其他所述浅沟槽隔离结构均通过所述光阻材料层中形成窗口予以暴露;

步骤 f、向步骤 e 中形成的窗口中暴露的所述浅沟槽隔离结构实施离子注入;

步骤 g、移除所述光阻材料层;

其中,步骤 f 采用氩、锗、硅或氧离子对暴露的所述浅沟槽隔离结构进行重掺杂工艺。

2. 如权利要求 1 所述离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,其特征在于,所述半导体衬底为单晶硅。

3. 如权利要求 1 所述离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,其特征在于,所述步骤 a 形成的所述保护层为氮化硅薄膜。

4. 如权利要求 1 所述离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,其特征在于,所述步骤 a 形成所述保护层的方法为化学汽相淀积法或者物理汽相淀积法。

5. 如权利要求 1 所述离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,其特征在于,所述步骤 b 形成所述沟槽的方法为:形成图案化硬掩膜层覆于所述步骤 a 中形成的保护层上,利用所述图案化硬掩膜层进行干法刻蚀以形成沟槽。

6. 如权利要求 1 所述离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,其特征在于,所述步骤 c 形成所述填充材料层采用高深宽比填充工艺。

7. 如权利要求 1 所述离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,其特征在于,所述步骤 d 中去除多余填充材料的方法为化学机械研磨。

8. 如权利要求 1 所述离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,其特征在于,所述步骤 e 形成所述光阻材料层地方法为光阻旋涂。

9. 如权利要求 1 所述离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,其特征在于,所述步骤 e 于所述光阻材料层形成窗口的方法为光刻。

10. 如权利要求 1 所述离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,其特征在于,所述步骤 g 移除所述光阻材料层的方法为清洗。

离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法

技术领域

[0001] 本发明涉及一种浅沟槽隔离结构的制备方法,尤其是一种用于半导体制造领域的离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法。

背景技术

[0002] 亚常压化学汽相淀积(SA-CVD)和高浓度等离子体化学汽相淀积(HDP-CVD)工艺已广泛地用于半导体产业中,应用之一就是浅沟槽隔离(Shallow Trench Isolation, STI),即用高质量二氧化硅(SiO₂)来隔离有源区(Active Areas, AA)。对小于90nm的技术节点,这两种CVD技术表现出一些差异,但SA-CVD所具有的填充能力强、SiO₂膜应力可调及不存在对底层材料造成损坏等方面的优点使其成为70nm节点以下半导体器件的优选STI填充方案。由于未来技术节点的降低而不断提高STI纵宽比,所以HDP-CVD SiO₂工艺的发展空间越来越小,人们开始采用SA-CVD工艺,即在540℃温度下的O₃/TEOS化学组分的高深宽比工艺(HARP)。在STI应用中,采用HARP取代HDP的主要优点是能够保持优良的STI填充能力并可拓展到45nm技术节点和更低的节点上。HARP填充的STI具有拉伸应力,该拉伸应力将会缓冲NMOS源漏极掺杂所引起的压缩应力,从而减小NMOS导电沟道和源漏极的缺陷,大大提高NMOS的性能。但该STI的拉伸应力会与PMOS源漏极掺杂所引起的向PMOS中部拉伸的拉伸应力产生竞争,导致拉伸应力较大的STI将PMOS向两侧拉伸,从而造成PMOS内部缺陷增多,如此将降低PMOS的性能。

[0003] 中国专利可提高半导体器件性能的沟槽隔离结构制作方法(CN200710047357.5)公开了一种提出一种通过HDPCVD和HARP的混合型空隙填充方案,分别运用与NMOS和PMOS,从而一起提高器件的性能。但是此种工艺需要两次化学机械研磨,两次空隙填充,非常复杂,成品率低。

发明内容

[0004] 针对上述存在的问题,本发明提供一种离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,以简单的工艺达到调整STI应力的技术效果,从而起到改善器件性能的目的。

[0005] 本发明实现其技术目的所采用的技术手段为:

[0006] 一种离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,其中,包括以下步骤:

[0007] 步骤a、于一半导体衬底上形成一层保护层;

[0008] 步骤b、于所述半导体衬底及保护层上形成用于隔离PMOS有源区和NMOS有源区的沟槽;

[0009] 步骤c、于所述沟槽内形成填充材料层,使所述沟槽为所述填充材料层充满,形成浅沟槽隔离结构;

[0010] 步骤d、去除所述保护层表面多余的填充材料;

[0011] 步骤 e、于所述保护层上形成一光阻材料层,在所有所述浅沟槽隔离结构中除用于隔离 NMOS 有源区的所述浅沟槽隔离结构以外,其他所述浅沟槽隔离结构均通过所述光阻材料层中形成窗口予以暴露;

[0012] 步骤 f、向步骤 e 中形成的窗口中暴露的所述浅沟槽隔离结构实施离子注入;

[0013] 步骤 g、移除所述光阻材料层。

[0014] 上述离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,其中,所述半导体衬底为单晶硅

[0015] 上述离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,其中,所述步骤 a 形成的所述保护层为氮化硅薄膜。

[0016] 上述离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,其中,所述步骤 a 形成所述保护层的方法为化学汽相淀积法或者物理汽相淀积法。

[0017] 上述离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,其中,所述步骤 b 形成所述沟槽的方法为:形成图案化硬掩膜层覆于所述步骤 a 中形成的保护层上,利用所述图案化硬掩膜层进行干法刻蚀以形成沟槽。

[0018] 上述离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,其中,所述步骤 c 形成所述填充材料层采用高深宽比填充工艺。

[0019] 上述离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,其中,所述步骤 d 中去除多余填充材料的方法为化学机械研磨。

[0020] 上述离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,其中,所述步骤 e 形成所述光阻材料层地方法为光阻旋涂。

[0021] 上述离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,其中,所述步骤 e 于所述光阻材料层形成窗口的方法为光刻。

[0022] 上述离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,其中,所述步骤 f 实施离子注入采用重掺杂。

[0023] 上述离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,其中,所述步骤 f 实施离子注入所采用的离子可择自氩、锗、硅或氧。

[0024] 上述离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法,其中,所述步骤 g 移除所述光阻材料层的方法为清洗。

[0025] 本发明的有益效果是:对采用 HARP 工艺做浅槽隔离的器件,对 PMOS 周围的隔离氧化物采用离子注入调整应力从受拉变为受压,从而使 PMOS 沟道区域应力状态改变,性能提高,工艺简单可行,有效克服选择性浅槽填充的工艺复杂性。

附图说明

[0026] 图 1 为本发明离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法的流程图;

[0027] 图 2 为本发明离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法实施后的状态结构图。

具体实施方式

[0028] 下面结合附图和具体实施例对本发明作进一步说明,但不作为本发明的限定。

[0029] 如图 1、图 2 所示,本发明离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法包括以下步骤:

[0030] 步骤 a、于一半导体衬底 1 上形成一层保护层 2,此处半导体衬底为单晶硅,保护层 2 为化学汽相沉积法或者物理汽相沉积法形成的氮化硅薄膜。

[0031] 步骤 b、于半导体衬底 1 及保护层 2 上形成用于隔离 PMOS 有源区 11 的沟槽 31 和隔离 NMOS 有源区 12 的沟槽 32,此处形成沟槽 31 和沟槽 32 的方法例如先形成图案化硬掩膜层覆于步骤 a 中形成的保护层上 2,利用图案化硬掩膜层进行干法刻蚀以形成沟槽 31 和沟槽 32。

[0032] 步骤 c、于沟槽 31 和沟槽 32 内形成填充材料层,使沟槽 31 和沟槽 32 为填充材料层充满,形成浅沟槽隔离结构,此处采用亚常压化学气相沉积高深宽比工艺进行填充。

[0033] 步骤 d、去除保护层 2 表面多余的填充材料,此处可采用化学机械研磨去除多余的填充材料。

[0034] 步骤 e、与保护层 2 上形成一个光阻材料层 4,使除用于隔离 NMOS 有源区 12 的浅沟槽隔离结构暴露,此处采用光阻旋涂形成光阻材料层,并采用光刻手段形成窗口 5 以暴露浅沟槽隔离结构。也即仅用于隔离 PMOS 有源区 11 的浅沟槽隔离结构均通过光阻材料层 4 中形成的窗口 5 予以暴露,而同时用于隔离 NMOS 有源区 12 和 PMOS 有源区 11 的浅沟槽隔离结构(例如 NMOS 有源区 12 和 PMOS 有源区 11 交界处的浅沟槽隔离结构)被光阻材料层 5 所覆盖并不暴露。

[0035] 步骤 f、向步骤 e 中形成的窗口 5 暴露的所述浅沟槽隔离结构实施离子注入,注入离子采用重掺杂,离子可择自氩、锗、硅或氧。

[0036] 步骤 g、通过清洗的方式移除光阻材料层 4。

[0037] 后续还可以通过热处理来加强调整应力的效果。

[0038] 本发明离子注入调整隔离氧化物应力的浅沟槽隔离结构制备方法维持了 HARP 工艺对 NMOS 的性能提高,同时通过对 PMOS 周围的 STI 实施离子注入,调整应力从受拉变为受压,从而使 PMOS 沟道区域应力状态改变,克服了 HARP 工艺对 PMOS 的性能影响,从而提高了器件的整体性能。在 NMOS 与 PMOS 交界区的 STI 结构由于为相邻的 NMOS 和 PMOS 共用,为不影响 NMOS 器件的性能所以不对共用的 STI 进行离子注入,虽然在交界区与 NMOS 相邻的 PMOS 沟道内没有形成受压力,但是也可以通过非共用一侧的 STI 由离子注入产生的推力平衡共用 STI 一侧带来的拉力,PMOS 性能提升虽不如其他区域明显但也可得到明显改善。

[0039] 以上所述仅为本发明较佳的实施例,并非因此限制本发明的申请专利范围,所以凡运用本发明说明书及图示内容所作出的等效结构变化、利用公知的与本发明中提到具等同作用的物质进行代替,利用公知的与本发明中提到的手段方法具等同作用的手段方法进行替换,所得到的实施方式或者实施结果均包含在本发明的保护范围内。



图 1

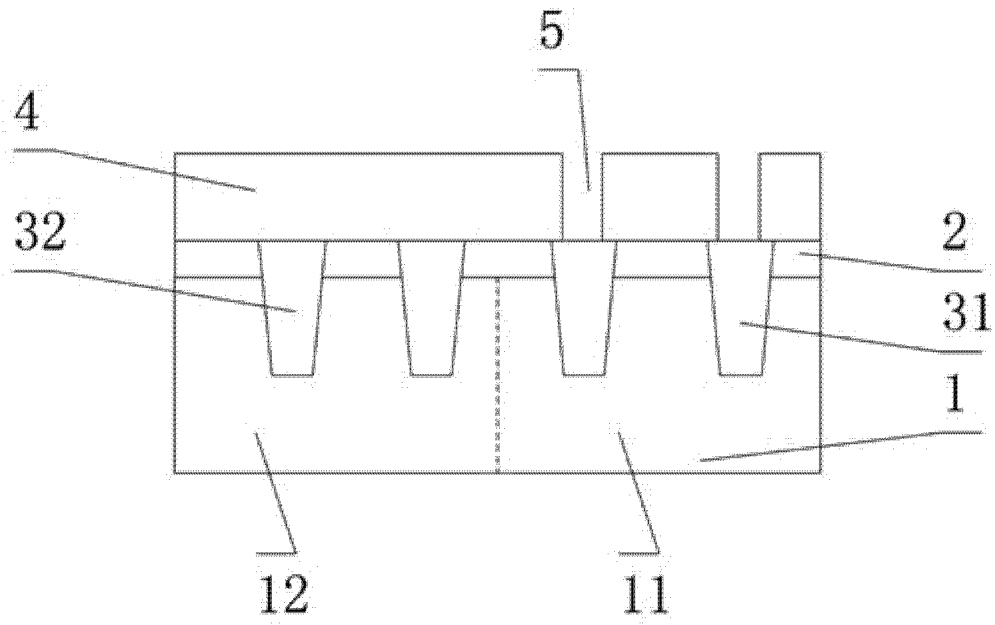


图 2