

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4424604号  
(P4424604)

(45) 発行日 平成22年3月3日(2010.3.3)

(24) 登録日 平成21年12月18日(2009.12.18)

(51) Int. Cl. F I  
 HO 1 L 27/105 (2006.01) HO 1 L 27/10 4 4 8  
 HO 1 L 45/00 (2006.01) HO 1 L 45/00 A

請求項の数 7 (全 11 頁)

(21) 出願番号 特願2004-357232 (P2004-357232)  
 (22) 出願日 平成16年12月9日(2004.12.9)  
 (65) 公開番号 特開2006-19685 (P2006-19685A)  
 (43) 公開日 平成18年1月19日(2006.1.19)  
 審査請求日 平成17年12月19日(2005.12.19)  
 (31) 優先権主張番号 2004-050134  
 (32) 優先日 平成16年6月30日(2004.6.30)  
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 591024111  
 株式会社ハイニックスセミコンダクター  
 HYNIX SEMICONDUCTOR  
 INC.  
 大韓民国京畿道利川市夫鉢邑牙美里山13  
 6-1  
 San 136-1, Ami-Ri, Bu  
 bal-Eup, Ichon-Shi, K  
 youngki-Do, Korea  
 (74) 代理人 110000051  
 特許業務法人共生国際特許事務所  
 (72) 発明者 張 憲 龍  
 大韓民国 京畿道 安養市 萬安區 安養  
 洞 97-3 ジンファンアパート 125  
 -803

最終頁に続く

(54) 【発明の名称】 相変化記憶素子及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

その上面に所定の下部構造が備えられた半導体基板上に形成され、前記半導体基板の所定の部分を露出させる複数の第1コンタクトホールと該第1コンタクトホール間の半導体基板の一部を露出させる第2コンタクトホールとを有する第1絶縁膜と、

前記第1コンタクトホールを埋め込む導電プラグと、

前記第1絶縁膜上に形成されて前記第2コンタクトホールを埋め込むビットラインと、

前記ビットラインを含んだ第1絶縁膜上に形成された第2絶縁膜と、

前記第2絶縁膜上の所定の部分に順次形成された上部電極、相変化膜パターン及びハードマスク膜と、

前記第2絶縁膜上に形成されて前記上部電極、相変化膜パターン及びハードマスク膜の両側を覆って前記ハードマスク膜の上部の表面を露出させる第3絶縁膜と、

前記第3及び第2絶縁膜内を貫通して形成されて前記導電プラグを露出させる複数の第3コンタクトホールと、

前記ハードマスク膜上の前記第3絶縁膜との隣接部位に形成され、前記相変化膜パターンの両側の表面を露出させる複数の第4コンタクトホールと、

前記第3、第4コンタクトホールを埋め込む第1、第2下部電極コンタクトと、

前記第3絶縁膜上に形成されて、前記第1、第2下部電極コンタクトが各々連結された複数の下部電極とを有することを特徴とする相変化記憶素子。

【請求項2】

前記相変化膜パターンは、 $GeSb_2Te_4$ 膜及び $Ge_2Sb_2Te_5$ 膜の内のいずれか一つより形成することを特徴とする請求項1記載の相変化記憶素子。

【請求項3】

前記第3絶縁膜は、HDP、USG、TEOS、SOG、HLD、BPSG及びPSG酸化膜で構成されたグループから選択されるいずれかの一つより形成することを特徴とする請求項1記載の相変化記憶素子。

【請求項4】

前記第4コンタクトホールは、100nm以下の直径を有して形成されることを特徴とする請求項1記載の相変化記憶素子。

【請求項5】

その上面に所定の下部構造が備えられた半導体基板上に第1絶縁膜を形成してから、前記第1絶縁膜を選択的にエッチングして、前記半導体基板の所定の部分を露出させる複数の第1コンタクトホールを形成するステップと、

前記第1コンタクトホールを導電膜で埋め込んで導電プラグを形成するステップと、

前記第1絶縁膜を選択的にエッチングして前記導電プラグ間の半導体基板の一部を露出させる第2コンタクトホールを形成するステップと、

前記第1絶縁膜上に前記第2コンタクトホールを埋め込むビットラインを形成するステップと、

前記ビットラインを含んだ前記第1絶縁膜上に第2絶縁膜を形成するステップと、

前記第2絶縁膜上に上部電極用導電膜、相変化膜及びハードマスク膜を順次形成した後、これらを選択的にエッチングして上部電極、相変化膜パターン及びハードマスク膜を形成するステップと、

前記上部電極、相変化膜パターン及びハードマスク膜を形成するステップの結果物の上に第3絶縁膜を形成してから、ハードマスク膜の表面が露出するまで前記第3絶縁膜をCMP処理するステップと、

前記第3、第2絶縁膜を選択的にエッチングして、前記導電プラグを露出させる複数の第3コンタクトホールを形成するステップと、

前記ハードマスク膜を選択的にエッチングして前記相変化膜パターンの両側の表面を露出させる複数の第4コンタクトホールを形成するステップと、

前記第3、第4コンタクトホールを埋め込む第1、第2の下部電極コンタクトを形成するステップと、

前記第3絶縁膜上に前記第1、第2下部電極コンタクトが各々連結された複数の下部電極を形成するステップとを有することを特徴とする相変化記憶素子の製造方法。

【請求項6】

前記第1絶縁膜上に前記第2コンタクトホールを埋め込むビットラインを形成するステップは、前記第2コンタクトホールを含んだ前記第1絶縁膜上に前記第2コンタクトホールを埋め込むように金属膜を蒸着するステップと、前記金属膜をパターンニングするステップとを有することを特徴とする請求項5記載の相変化記憶素子の製造方法。

【請求項7】

前記第4コンタクトホールは、電子ビームを用いたフォトリソグラフィ工程を実施して、100nm以下の直径を有するように形成することを特徴とする請求項5記載の相変化記憶素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶素子に関し、より詳しくは、電子ビームを用いたフォトリソグラフィ工程を適用して下部電極コンタクトと相変化膜との間の接触面積を減少させることにより、相変化膜の相変化(phase change)に必要なとされる書込電流(writing current)を低めることのできる相変化記憶素子及びその製造方法に関する。

10

20

30

40

50

## 【背景技術】

## 【0002】

半導体記憶素子は、DRAM (dynamic random access memory) 及びSRAM (static random access memory) のように、時間が経過することにつれて、データをなくす揮発性で、かつ、データの入・出力が速いRAM製品と、一度データを入力すればその状態が維持できるけれど、データの入・出力が遅いROM (read only memory) 製品とに大別できる。このような典型的な記憶素子は格納された電荷の有無によって論理 '0' または論理 '1' を表す。

## 【0003】

ここで、揮発性記憶素子のDRAMは、周期的なりフレッシュ (refresh) 動作が必要であるので、高い電荷格納能力が求められ、これによってキャパシタ (capacitor) 電極の表面積を増加させるために多くの努力が試みられている。ところが、キャパシタ電極の表面積の増加は、DRAM素子の集積度の増加を困難にしている。

一方、不揮発性メモリ装置は、非常に大きい電荷保存能力を有するが、特に、EEPROM (electrically erasable and programmable ROM) のように、電気的に入・出力可能なフラッシュ記憶 (flash memory) 素子に対する需要が増加している。

## 【0004】

このようなフラッシュ記憶セルは、一般的にシリコン基板上に形成されたフローティングゲート (floating gate) を備える垂直積層型ゲート構造を有する。多層ゲート構造は、典型的には一つ以上のトンネル酸化膜または誘電膜と、フローティングゲートの上部または周辺に形成されたコントロールゲート (control gate) を有し、フラッシュ記憶セルのデータを書き込みまたは消去する原理はトンネル酸化膜を介して電荷をトンネルリング (tunneling) させる方法を使用する。その際、電源電圧に比べて高い動作電圧が要求される。このことより、フラッシュ記憶素子は書込及び消去動作に必要なとする電圧を形成するために昇圧回路が要求される。

## 【0005】

従って、不揮発性特性及びランダムアクセスが可能で、素子の集積度も増加させながら構造が簡単な新しい記憶素子を開発するための多くの努力があり、これによって現れた代表的なものとして相変化記憶素子 (phase change random access memory; PRAM) がある (例えば、特許文献1参照)。

## 【0006】

相変化記憶素子は、相変化膜としてカルコゲナイド (chalcogenide) 膜を広く使用する。その際、カルコゲナイド膜はゲルマニウム (Ge)、スチビウム (アンチモン) (Sb) 及びテルリウム (テルル) (Te) を含有する化合物膜 (以下、'GST膜' と記す) として、GST膜は提供される電流によって発生する、ジュール熱 (joule heat) に従って非晶質 (amorphous) 状態と結晶質 (crystalline) 状態との間で相変化することで電気的にスイッチ (switch) される。

## 【0007】

図1は、相変化記憶素子をプログラム及び消去させる方法を説明するためのグラフであって、横軸は時間を示し、縦軸は相変化膜に加えられる温度を示す。

図1に示すように、相変化膜を溶融温度 (melting temperature;  $T_m$ ) より高い温度で短時間 (第1動作区間;  $t_1$ ) の間加熱した後に、速い速度で冷却させれば (quenching) 相変化膜は非晶質状態 (amorphous state) に変わる (曲線 'A' 参照)。これに対し、相変化膜を溶融温度 ( $T_m$ ) より低く、結晶化温度 (crystallization temperature;  $T_c$ ) より高い温度で第1動作区間 ( $t_1$ ) より長時間 (第2動作区間;  $t_2$ ) の間加熱した後に冷却させれば、相変化膜は結晶状態 (crystalline state) に変わる (曲線 'B' 参照)。

10

20

30

40

50

## 【 0 0 0 8 】

ここで、非晶質状態を有する相変化膜の比抵抗 ( r e s i s t i v i t y ) は、結晶質状態を有する相変化膜の比抵抗より高い。従って、読み取りモードで相変化膜を介して流れる電流を感知することにより、相変化記憶セルに格納された情報が論理 ' 1 ' であるか、または、論理 ' 0 ' であるかを判別することができる。

## 【 0 0 0 9 】

上述のように、相変化膜の相変化のためにはジュール熱が必要である。通常的な相変化記憶素子において、相変化膜と接触する面積を通じて高い密度の電流を流せば、相変化膜の接触面の結晶状態が変わり、接触面が小さければ小さいほど相変化物質の状態を変化させるのに必要な電流密度は小さくてすむ。

10

## 【 0 0 1 0 】

図 2 は、従来の相変化記憶素子を説明するための断面図である。  
図 2 に示すように、従来の相変化記憶素子は、下部電極 ( b o t t o m e l e c t r o d e ) 1 1 が形成された半導体基板 1 0 と、下部電極 1 1 上に形成されて下部電極 1 1 の所定の部分を露出させる第 1 コンタクトホール 1 3 を有する第 1 絶縁膜 1 2 と、第 1 コンタクトホール 1 3 を埋め込む下部電極コンタクト ( b o t t o m e l e c t r o d e c o n t a c t ) 1 4 と、下部電極コンタクト 1 4 を含んだ第 1 絶縁膜 1 2 上に形成されて、下部電極コンタクト 1 4 を露出させる第 2 コンタクトホール 1 6 を有する第 2 絶縁膜 1 5 と、第 2 コンタクトホール 1 6 を埋め込む相変化膜 1 7 と、相変化膜 1 7 を含んだ第 2 絶縁膜 1 5 上に形成された上部電極 ( t o p e l e c t r o d e ) 1 8 とを有する。

20

## 【 0 0 1 1 】

このような従来の相変化記憶素子において、下部電極 1 1 及び上部電極 1 8 との間に電流が流れると、下部電極コンタクト 1 4 と相変化膜 1 7 との接触面 1 9 を通じる電流強さ ( すなわち、それによって発生する熱 ) によって接触面 1 9 の相変化膜の結晶状態が変わる。この時、相変化膜 1 7 の状態を変化させるために必要な熱は相変化膜 1 7 と下部電極コンタクト 1 4 の接触面 1 9 に直接的な影響を受ける。従って、相変化膜 1 7 と下部電極コンタクト 1 4 との間の接触面積は可能な限り小さくしなければならない。

## 【 0 0 1 2 】

ところが、このような従来の相変化記憶素子では、下部電極コンタクト 1 4 を介して下部電極 1 1 と相変化膜 1 7 とが連結されているので、相変化膜 1 7 と下部電極コンタクト 1 4 との間の接触面積が全面的にコンタクトホールに対するフォトリソグラフィ工程の制限に直接的に支配され、接触面積を減少させることに困難性があった。これにより、相変化膜 1 7 の相変化に必要なとされる書き込み電流 ( w r i t i n g c u r r e n t ) を低めることに困難性があるという問題があった。

30

## 【 0 0 1 3 】

【特許文献 1】特表平 1 1 - 5 1 0 3 1 7 号公報

## 【発明の開示】

【発明が解決しようとする課題】

## 【 0 0 1 4 】

そこで、本発明は上記従来の相変化記憶素子及びその製造方法における問題点に鑑みてなされたものであって、本発明の目的は、電子ビーム ( e - b e a m ) を用いたフォトリソグラフィ工程を適用して下部電極コンタクトと相変化膜との間の接触面積を減少させることにより、相変化膜の相変化に必要なとされる書き込み電流を低めることができる相変化記憶素子及びその製造方法を提供することにある。

40

【課題を解決するための手段】

## 【 0 0 1 5 】

上記目的を達成するためになされた本発明による相変化記憶素子は、その上面に所定の下部構造が備えられた半導体基板上に形成され、前記半導体基板の所定の部分を露出させる複数の第 1 コンタクトホールと該第 1 コンタクトホール間の半導体基板の一部を露出させる第 2 コンタクトホールとを有する第 1 絶縁膜と、前記第 1 コンタクトホールを埋め込

50

む導電プラグと、前記第1絶縁膜上に形成されて前記第2コンタクトホールを埋め込むビットラインと、前記ビットラインを含んだ第1絶縁膜上に形成された第2絶縁膜と、前記第2絶縁膜上の所定の部分に順次形成された上部電極、相変化膜パターン及びハードマスク膜と、前記第2絶縁膜上に形成されて前記上部電極、相変化膜パターン及びハードマスク膜の両側を覆って前記ハードマスク膜の上部の表面を露出させる第3絶縁膜と、前記第3及び第2絶縁膜内を貫通して形成されて前記導電プラグを露出させる複数の第3コンタクトホールと、前記ハードマスク膜上の前記第3絶縁膜との隣接部位に形成され、前記相変化膜パターンの両側の表面を露出させる複数の第4コンタクトホールと、前記第3、第4コンタクトホールを埋め込む第1、第2下部電極コンタクトと、前記第3絶縁膜上に形成されて、前記第1、第2下部電極コンタクトが各々連結された複数の下部電極とを有することを特徴とする。

10

## 【0016】

前記相変化膜パターンは、 $GeSb_2Te_4$ 膜及び $Ge_2Sb_2Te_5$ 膜の内のいずれか一つより形成することを特徴とする。

前記第3絶縁膜は、HDP、USG、TEOS、SOG、HLD、BPSG及びPSG酸化膜で構成されたグループから選択されるいずれかの一つより形成することを特徴とする。

前記第4コンタクトホールは、100nm以下の直径を有して形成されることを特徴とする。

## 【0017】

20

上記目的を達成するためになされた本発明による相変化記憶素子の製造方法は、その上面に所定の下部構造が備えられた半導体基板上に第1絶縁膜を形成してから、前記第1絶縁膜を選択的にエッチングして、前記半導体基板の所定の部分を露出させる複数の第1コンタクトホールを形成するステップと、前記第1コンタクトホールを導電膜で埋め込んで導電プラグを形成するステップと、前記第1絶縁膜を選択的にエッチングして前記導電プラグ間の半導体基板の一部を露出させる第2コンタクトホールを形成するステップと、前記第1絶縁膜上に前記第2コンタクトホールを埋め込むビットラインを形成するステップと、前記ビットラインを含んだ前記第1絶縁膜上に第2絶縁膜を形成するステップと、前記第2絶縁膜上に上部電極用導電膜、相変化膜及びハードマスク膜を順次形成した後、これらを選択的にエッチングして上部電極、相変化膜パターン及びハードマスク膜を形成するステップと、前記上部電極、相変化膜パターン及びハードマスク膜を形成するステップの結果物の上に第3絶縁膜を形成してから、ハードマスク膜の表面が露出するまで前記第3絶縁膜をCMP処理するステップと、前記第3、第2絶縁膜を選択的にエッチングして、前記導電プラグを露出させる複数の第3コンタクトホールを形成するステップと、前記ハードマスク膜を選択的にエッチングして前記相変化膜パターンの両側の表面を露出させる複数の第4コンタクトホールを形成するステップと、前記第3、第4コンタクトホールを埋め込む第1、第2の下部電極コンタクトを形成するステップと、前記第3絶縁膜上に前記第1、第2下部電極コンタクトが各々連結された複数の下部電極を形成するステップとを有することを特徴とする。

30

## 【0018】

40

前記第1絶縁膜上に前記第2コンタクトホールを埋め込むビットラインを形成するステップは、前記第2コンタクトホールを含んだ前記第1絶縁膜上に前記第2コンタクトホールを埋め込むように金属膜を蒸着するステップと、前記金属膜をパターニングするステップとを有することを特徴とする。

前記第4コンタクトホールは、電子ビームを用いたフォトリソグラフィ工程を実施して、100nm以下の直径を有するように形成することを特徴とする。

## 【発明の効果】

## 【0019】

本発明に係る相変化記憶素子によれば、下部電極の下部に2個の下部電極コンタクト、例えば、導電プラグと連結される第1下部電極コンタクトと、相変化膜パターンと連結さ

50

れ、100nm以下の小径を有する第2下部電極コンタクトが全て連結されるようにすることによって、相変化膜パターンの相変化に必要とされる電流の流れを円滑にすることができ、特に、相変化膜パターンと連結される第2下部電極コンタクトは電子ビームを用いたフォトリソグラフィ工程により100nm以下の小径を有するように形成されるので、相変化膜パターンと第2下部電極コンタクトとの間の接触面での相変化に必要とする書込電流を低めることができるという効果がある。

【発明を実施するための最良の形態】

【0020】

次に、本発明に係る相変化記憶素子及びその製造方法を実施するための最良の形態の具体例を図面を参照しながら説明する。

10

【0021】

図3は、本発明の実施の形態に係る相変化記憶素子を説明するための断面図である。

本発明の実施の形態に係る相変化記憶素子は、図3に示すように、その上面に所定の下部構造(図示していない)が備えられた半導体基板40上に形成され、前記半導体基板40の所定の部分を露出させる複数の第1コンタクトホール42及び第1コンタクトホール42間の半導体基板40を一部露出させる第2コンタクトホール44を有する第1絶縁膜41と、第1コンタクトホール42を埋め込む導電プラグ43と、第1絶縁膜41上に形成されて第2コンタクトホール44を埋め込むビットライン45と、ビットライン45を含んだ第1絶縁膜41上に形成された第2絶縁膜46と、第2絶縁膜46上の所定の部分に順次形成された上部電極47、相変化膜パターン48及びハードマスク(hard mask)膜49と、第2絶縁膜46上に形成されて上部電極47、相変化膜パターン48及びハードマスク膜49の両側壁を覆って、ハードマスク膜49の上部の表面を露出させる第3絶縁膜50と、第3、第2絶縁膜50、46を貫通して形成されて導電プラグ43を露出させる複数の第3コンタクトホール51aと、ハードマスク膜49上の第3絶縁膜50の隣接部位に形成されて、相変化膜パターン48の両側の表面を露出させる複数の第4コンタクトホール51bと、第3コンタクトホール51aを埋め込む第1下部電極コンタクト52aと、第4コンタクトホール51bを埋め込む第2下部電極コンタクト52bと、第3絶縁膜50上に形成されて前記第1、第2の下部電極コンタクト52a、52bが各々連結された複数の下部電極53とを有する。

20

【0022】

ここで、上部電極47、第1、第2の下部電極コンタクト52a、52b及び下部電極53は全てポリシリコンベースの物質及び金属系物質の内のいずれかの一つの物質より形成するのが好ましく、相変化膜パターン48はGST膜より形成し、その際、GST膜としては、 $GeSb_2Te_4$ 膜及び $Ge_2Sb_2Te_5$ 膜の内のいずれか一つを用いるのが好ましい。また、第3絶縁膜50はHDP(High Density Plasma)、USG(Un-doped Silicate Glass)、TEOS(Tetra Ethyl Ortho Silicate)、SOG(Spin-on Glass)、HLD(High temperature pressure Low Dielectric)、BPSG(BoroPhosphoSilicate Glass)、及びPSG(PhosphoSilicate Glass)酸化膜で構成されたグループから

30

40

【0023】

そして、第4コンタクトホール51bは100nm以下の直径を有するように形成する。ここで、第2下部電極コンタクト52bの下部に相変化膜パターン48との接触面54が形成され、下部電極53と上部電極47との間に電流が流れれば、接触面54で相変化膜パターン48の相変化が起きる。その際、接触面54の直径は第4コンタクトホール51bの直径と同じ大きさを有することになるので、100nm以下の小さな大きさを有することになる。これにより、相変化膜パターン48の相変化に必要とする書込電流もそれに従って小さくなることになる。

【0024】

50

一方、下部電極53の下部に2個の下部電極コンタクト、例えば、導電プラグ43と連結される第1下部電極コンタクト52aと、相変化膜パターン48とが連結され、100nm以下の小径を有する第2下部電極コンタクト52bが全て連結されているので、相変化に必要とされる電流の流れが円滑になる。

【0025】

次に、図3に示した相変化記憶素子の製造方法について説明する。

図4乃至図9は、本発明の実施の形態に係る相変化記憶素子の製造方法を説明するための断面図である。

本発明の実施の形態に係る相変化記憶素子の製造方法は、まず、図4に示すように、その上面に所定の下部構造（図示していない）が備えられた半導体基板40上に第1絶縁膜41を形成してから、第1絶縁膜41を選択的にエッチングして半導体基板40の所定の部分を露出させる複数の第1コンタクトホール42を形成する。次に、第1コンタクトホール42を導電膜で埋め込んで導電プラグ43を形成する。

【0026】

次に、導電プラグ43間の半導体基板40の一部を露出させるように第1絶縁膜41を選択的にエッチングして第2コンタクトホール44を形成する。続いて、第2コンタクトホール44を埋め込むように第1絶縁膜41上に金属膜を蒸着した後、これをパターニングしてビットライン45を形成する。

【0027】

次に、図5に示すように、ビットライン45を含んだ第1絶縁膜41上に第2絶縁膜46を形成した後、これを化学的機械的研磨（Chemical Mechanical Polishing；以下、CMP）処理をして平坦化させる。

【0028】

次に、図6に示すように、平坦化が完了した第2絶縁膜46上に上部電極用導電膜（図示していない）、相変化膜（図示していない）及びハードマスク膜（図示していない）を順次形成する。ここで、上部電極用導電膜としてはポリシリコンベースの物質及び金属系物質の内のいずれか一つの物質を用いる。また、相変化膜としてはGST膜を用い、その際、GST膜としては $GeSb_2Te_4$ 膜及び $Ge_2Sb_2Te_5$ 膜の内のいずれか一つを用いる。次に、ハードマスク膜、相変化膜及び上部電極用導電膜を選択的にエッチングして上部電極47、相変化膜パターン48及びハードマスク膜49を各々形成する。

【0029】

次に、図7に示すように、上記結果物の上面に第3絶縁膜50を形成してから、ハードマスク膜49の表面が露出するまで第3絶縁膜50をCMP処理する。その際、第3絶縁膜50としては、HDP、USG、TEOS、SOG、HLD、BPSG及びPSG酸化膜で構成されたグループから選択されるいずれか一つを用いる。

【0030】

次に、図8に示すように、第3絶縁膜50及び第2絶縁膜46を選択的にエッチングして、導電プラグ43を露出させる複数の第3コンタクトホール51aを形成してから、ハードマスク膜49の第3絶縁膜50隣接部位を選択的にエッチングして相変化膜パターン48の両側の表面を露出させる第4コンタクトホール51bを形成する。ここで、第4コンタクトホール51bは電子ビーム（e-beam）を用いたフォトリソグラフィ工程で実施して100nm以下の直径を有するように形成する。

【0031】

次に、図9に示すように、第3、第4コンタクトホール51a、51bを埋め込む第1、第2の下部電極コンタクト52a、52bを形成した後、第3絶縁膜50上に第1、第2の下部電極コンタクト52a、52bの各々と連結される複数の下部電極53を形成する。その際、第1、第2の下部電極コンタクト52a、52b及び下部電極53は全てポリシリコンベースの物質及び金属系物質の内のいずれか一つの物質より形成する。

【0032】

そして、第2下部電極コンタクト52bの下部に相変化膜パターン48との接触面54

10

20

30

40

50

が形成され、下部電極 5 3 と上部電極 4 7 との間に電流が流れれば、接触面 5 4 で相変化膜パターン 4 8 の相変化が生じる。

ここで、接触面 5 4 の直径は第 4 コンタクトホール 5 1 b の直径と同じ大きさを有することになるので、100 nm 以下の小径を有することになる。これによって、相変化膜パターン 4 8 の相変化 ( phase change ) に必要とされる書込電流 ( Writing Current ) を減少することができる。

【 0 0 3 3 】

また、下部電極 5 3 の下部に 2 個の下部電極コンタクト、例えば、導電プラグ 4 3 と連結される第 1 下部電極コンタクト 5 2 a と、相変化膜パターン 4 8 と連結されて 100 nm 以下の小径を有する第 2 下部電極コンタクト 5 2 b が全て連結されるように形成されるので、相変化膜パターン 4 8 の相変化に必要とされる電流の流れが円滑になる。

【 0 0 3 4 】

尚、本発明は、上述の実施の形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【 図面の簡単な説明 】

【 0 0 3 5 】

【 図 1 】 相変化記憶素子をプログラム及び消去させる方法を説明するためのグラフである。

【 図 2 】 従来の相変化記憶素子を説明するための断面図である。

【 図 3 】 本発明の実施の形態に係る相変化記憶素子を説明するための断面図である。

【 図 4 】 本発明の実施の形態に係る相変化記憶素子の製造方法を説明するための断面図である。

【 図 5 】 本発明の実施の形態に係る相変化記憶素子の製造方法を説明するための断面図である。

【 図 6 】 本発明の実施の形態に係る相変化記憶素子の製造方法を説明するための断面図である。

【 図 7 】 本発明の実施の形態に係る相変化記憶素子の製造方法を説明するための断面図である。

【 図 8 】 本発明の実施の形態に係る相変化記憶素子の製造方法を説明するための断面図である。

【 図 9 】 本発明の実施の形態に係る相変化記憶素子の製造方法を説明するための断面図である。

【 符号の説明 】

【 0 0 3 6 】

4 0	半導体基板
4 1	第 1 絶縁膜
4 2	第 1 コンタクトホール
4 3	導電プラグ
4 4	第 2 コンタクトホール
4 5	ビットライン
4 6	第 2 絶縁膜
4 7	上部電極
4 8	相変化膜パターン
4 9	ハードマスク膜
5 0	第 3 絶縁膜
5 1 a	第 3 コンタクトホール
5 1 b	第 4 コンタクトホール
5 2 a	第 1 下部電極コンタクト
5 2 b	第 2 下部電極コンタクト
5 3	下部電極

10

20

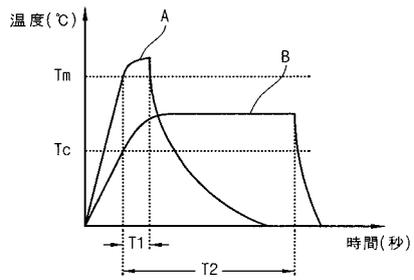
30

40

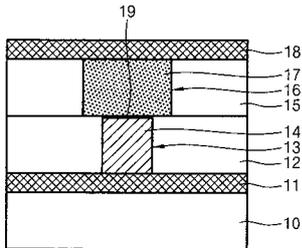
50

5 4 接触面

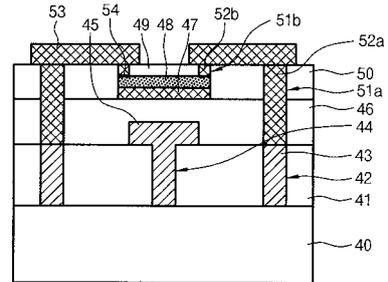
【図1】



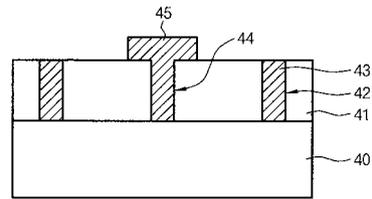
【図2】



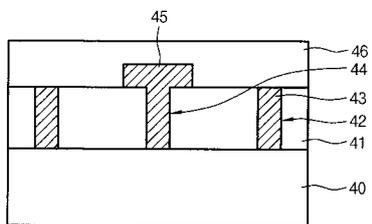
【図3】



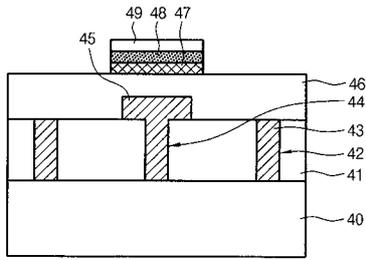
【図4】



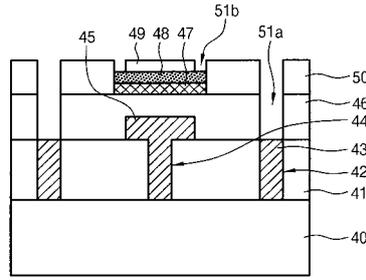
【図5】



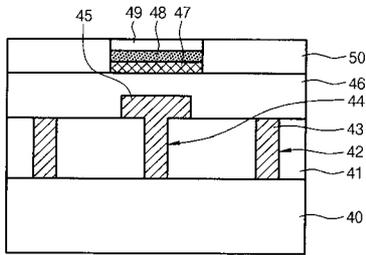
【図 6】



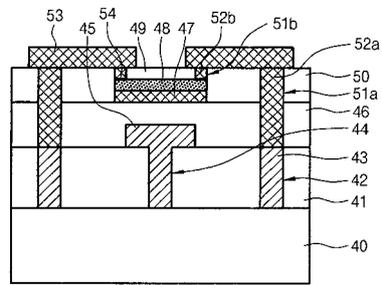
【図 8】



【図 7】



【図 9】



---

フロントページの続き

審査官 河合 俊英

- (56)参考文献 特開2005 - 244235 (JP, A)  
特表2006 - 510218 (JP, A)  
特開2003 - 174144 (JP, A)  
特表2005 - 510005 (JP, A)  
国際公開第03 / 044802 (WO, A1)  
特開2003 - 298013 (JP, A)  
特開2004 - 272975 (JP, A)  
特表2006 - 514440 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

H01L 27 / 105  
H01L 45 / 00