



1. 一种薄膜晶体管,包括:设置在衬底基板上的有源层和设置在所述有源层上的栅极叠层,其中,所述栅极叠层包括:

设置在所述有源层上的栅极绝缘层;

设置在所述栅极绝缘层上的栅极电极;

设置在所述栅极电极上的覆盖层,所述覆盖层比所述栅极电极更容易捕获氧原子。

2. 根据权利要求1所述的薄膜晶体管,其中,所述覆盖层包括含镓氧化物。

3. 根据权利要求2所述的薄膜晶体管,其中,所述含镓氧化物包括下列材料的至少一种:IGZO、GZO、IGO、氧化镓、或其组合。

4. 根据权利要求3所述的薄膜晶体管,其中,所述含镓氧化物是氧缺乏的。

5. 根据权利要求1-4中任一项所述的薄膜晶体管,其中,所述覆盖层的材料和所述有源层的材料相同。

6. 根据权利要求1-4中任一项所述的薄膜晶体管,其中,所述薄膜晶体管还包括:设置在所述覆盖层上的介质层,其中,所述介质层覆盖所述有源层的上表面。

7. 根据权利要求6所述的薄膜晶体管,其中,所述薄膜晶体管还包括设置在所述介质层上的第一接触;

以及位于所述介质层中的第一孔,

其中,所述第一接触经由所述过第一孔连接到薄膜晶体管的源/漏极区域。

8. 根据权利要求7所述的薄膜晶体管,其中,所述薄膜晶体管还包括:

位于所述介质层中的第一布线,所述第一布线具有与所述栅极叠层相同的结构,所述第一布线的顶表面高于所述有源层的顶表面;

设置在所述介质层上的第二接触;

设置在所述介质层中的第二孔,

其中,所述第二接触经由所述第二孔连接到所述第一布线。

9. 根据权利要求8所述的薄膜晶体管,其中,所述薄膜晶体管还包括:

设置在所述有源层和所述衬底基板之间的遮光层,以阻挡来自所述有源层下方的光进入所述有源层;

第二布线,所述第二布线与所述遮光层位于同一层;

设置在所述介质层上的第三接触;

穿过所述介质层的第三孔,

其中,所述第三接触经由所述过第三孔连接到所述第二布线。

10. 根据权利要求9所述的薄膜晶体管,其中,所述薄膜晶体管还包括:设置在所述有源层和所述衬底基板之间的缓冲层,

其中,所述缓冲层覆盖所述遮光层的上表面、所述第二布线的上表面和所述衬底基板的暴露的上表面;

设置在第一接触、第二接触和第三接触上的钝化层。

11. 一种阵列基板,包括根据权利要求1-10中任一项所述的薄膜晶体管。

12. 一种显示装置,包括根据权利要求11所述的阵列基板。

13. 一种薄膜晶体管的制造方法,包括:

在衬底基板上形成有源层;

在所述有源层上形成栅极叠层，

其中，所述栅极叠层包括：

设置在所述有源层上的栅极绝缘层；

设置在所述栅极绝缘层上的栅极电极；

设置在所述栅极电极上的覆盖层，所述覆盖层比所述栅极电极更容易捕获氧原子。

14. 根据权利要求13所述的薄膜晶体管的制造方法，其中，所述覆盖层包括含镓氧化物。

15. 根据权利要求14所述的薄膜晶体管的制造方法，其中，所述含镓氧化物包括下列材料的至少一种：IGZO, GZO, IGO, 氧化镓或其组合，形成所述栅极叠层包括：

在所述有源层上形成绝缘材料层；

在所述绝缘材料层上形成导电层；

在所述导电层上形成覆盖材料层；

进行构图，以形成所述栅极叠层，

并且其中，所述制造方法进一步包括：

在形成所述有源层之前，在所述衬底基板上形成遮光层和第二布线，其中，第二布线和遮光层被同时形成，所述遮光层能够阻挡来自所述有源层下方的光进入所述有源层；

在形成所述有源层之后，在所述衬底基板上形成第一布线，其中，所述第一布线与所述栅极叠层被同时形成，并且所述第一布线具有与所述栅极叠层相同的结构；

在形成所述栅极叠层之后且形成所述介质层之前，对所述覆盖层的上表面和所述有源层的上表面进行等离子体处理。

## 薄膜晶体管及其制造方法、阵列基板以及显示装置

### 技术领域

[0001] 本发明涉及显示技术领域。更具体地,涉及一种薄膜晶体管及其制造方法、阵列基板以及显示装置。

### 背景技术

[0002] 薄膜晶体管是驱动电路的重要组成器件,其在显示装置中被广泛应用。氧化物晶体管技术作为现阶段的一个技术热点具有迁移率高、均匀性好等特点,受到人们的广泛关注。然而,在现有技术中,对于薄膜晶体管,还存在一些工艺难点需要解决。

### 发明内容

[0003] 本发明的实施例提供一种薄膜晶体管及其制造方法、阵列基板以及显示装置,能够解决现有技术中的栅极电极容易被氧化等问题。

[0004] 本发明的一个目的在于提供一种薄膜晶体管。

[0005] 本发明的第一方面提供了一种薄膜晶体管。所述薄膜晶体管包括:设置在衬底基板上的有源层;设置在所述有源层上的栅极叠层,其中,所述栅极叠层包括:设置在所述有源层上的栅极绝缘层;设置在所述栅极绝缘层上的栅极电极;设置在所述栅极电极上的覆盖层,所述覆盖层比所述栅极电极更容易捕获氧原子。

[0006] 在一个实施例中,所述覆盖层包括含镓氧化物。

[0007] 在一个实施例中,所述含镓氧化物包括下列材料的至少一种:IGZO、GZO、IGO、氧化镓或其组合。

[0008] 在一个实施例中,所述含镓氧化物是氧缺乏的。

[0009] 在一个实施例中,所述覆盖层的材料和所述有源层的材料相同。

[0010] 在一个实施例中,所述薄膜晶体管还包括:设置在所述覆盖层上的介质层,其中,所述介质层覆盖所述有源层的上表面。

[0011] 在一个实施例中,所述薄膜晶体管还包括:设置在所述介质层上的第一接触;以及位于所述介质层中的第一孔,其中,所述第一接触经由所述过第一孔连接到薄膜晶体管的源/漏极区域。

[0012] 在一个实施例中,所述薄膜晶体管还包括:位于所述介质层中的第一布线,所述第一布线具有与所述栅极叠层相同的结构,所述第一布线的顶表面高于所述有源层的顶表面;设置在所述介质层上的第二接触;设置在所述介质层中的第二孔,其中,所述第二接触经由所述第二孔连接到所述第一布线。

[0013] 在一个实施例中,所述薄膜晶体管还包括:设置在所述有源层和所述衬底基板之间的遮光层,以阻挡来自所述有源层下方的光进入所述有源层;

[0014] 第二布线,所述第二布线与所述遮光层位于同一层;设置在所述介质层上的第三接触;穿过所述介质层的第三孔,其中,所述第三接触经由所述过第三孔连接到所述第二布线。

[0015] 在一个实施例中,所述薄膜晶体管还包括:设置在所述有源层和所述衬底基板之间的缓冲层,其中,所述缓冲层覆盖所述遮光层的上表面、所述第二布线的上表面和所述衬底基板的暴露的上表面;设置在第一接触、第二接触和第三接触上的钝化层。

[0016] 本发明的另一个目的在于提供一种阵列基板。

[0017] 本发明的第二方面提供了一种阵列基板。所述阵列基板包括如上所述的薄膜晶体管。

[0018] 本发明的又一个目的在于提供一种显示装置。

[0019] 本发明的第三方面提供了一种显示装置。所述显示装置包括如上所述的阵列基板。

[0020] 本发明的再一个目的在于提供一种薄膜晶体管的制造方法。

[0021] 本发明的第四方面提供了一种薄膜晶体管的制造方法。所述薄膜晶体管的制造方法包括:在衬底基板上形成有源层;在所述有源层上形成栅极叠层,其中,所述栅极叠层包括:设置在所述有源层上的栅极绝缘层;设置在所述栅极绝缘层上的栅极电极;设置在所述栅极电极上的覆盖层,所述覆盖层比所述栅极电极更容易捕获氧原子。

[0022] 在一个实施例中,所述覆盖层包括含镓氧化物。

[0023] 在一个实施例中,所述含镓氧化物包括下列材料的至少一种:IGZO、GZO、IGO、氧化镓或其组合。

[0024] 在一个实施例中,形成所述栅极叠层包括:在所述有源层上形成绝缘材料层;在所述绝缘材料层上形成导电层;在所述导电层上形成覆盖材料层;进行构图,以形成所述栅极叠层。

[0025] 在一个实施例中,所述制造方法还包括:在形成所述有源层之前,在所述衬底基板上形成遮光层和第二布线,其中,第二布线和遮光层被同时形成,所述遮光层能够阻挡来自所述有源层下方的光进入所述有源层;在形成所述有源层之后,在所述衬底基板上形成第一布线,其中,所述第一布线与所述栅极叠层被同时形成,并且所述第一布线具有与所述栅极叠层相同的结构;形成所述栅极叠层之后且形成所述介质层之前,对所述覆盖层的上表面和所述有源层的上表面进行等离子体处理。

[0026] 在一个实施例中,所述薄膜晶体管的制造方法进一步包括:在形成所述遮光层和所述第二布线之后且在形成所述有源层之前,在所述遮光层上形成缓冲层,其中,所述缓冲层覆盖所述遮光层的上表面、所述第二布线的上表面和所述衬底基板的暴露上表面;

[0027] 在形成所述栅极叠层和所述第一布线之后,在所述覆盖层和所述第一布线上形成介质层,其中,所述介质层覆盖所述有源层的上表面以及所述缓冲层的未被所述有源层覆盖的上表面;

[0028] 在所述介质层中形成第一孔、第二孔和第三孔,其中,所述第一孔到达所述有源层的上表面,所述第二孔到达所述第一布线的上表面,所述第三孔到达所述第二布线的上表面,并且其中,所述第三孔被一次形成;

[0029] 在所述介质层上形成第一接触、第二接触和第三接触,其中,所述第一接触经由所述过第一孔连接到薄膜晶体管的源/漏极区域,所述第二接触经由所述第二孔连接到所述第一布线,所述第三接触经由所述第三孔连接到所述第二布线;

[0030] 在所述第一接触、第二接触和第三接触上形成钝化层。

[0031] 本发明的实施例提供的薄膜晶体管及其制造方法、阵列基板以及显示装置,包括:设置在衬底基板上的有源层和设置在所述有源层上的栅极叠层,其中,所述栅极叠层包括:设置在所述有源层上的栅极绝缘层;设置在所述栅极绝缘层上的栅极电极;设置在所述栅极电极上的覆盖层,所述覆盖层比所述栅极电极更容易捕获氧原子,能够解决覆盖层下的栅极电极的氧化的问题。

## 附图说明

[0032] 为了更清楚地说明本发明的实施例的技术方案,下面将对实施例的附图进行简要说明,应当知道,以下描述的附图仅仅涉及本发明的一些实施例,而非对本发明的限制,其中:

[0033] 图1为根据本发明的一个实施例的薄膜晶体管的示意图;

[0034] 图2为根据本发明的一个实施例的薄膜晶体管的示意图;

[0035] 图3为根据本发明的一个实施例的薄膜晶体管的示意图;

[0036] 图4为根据本发明的一个实施例的薄膜晶体管的示意图;

[0037] 图5为根据本发明的一个实施例的薄膜晶体管的示意图;

[0038] 图6为根据本发明的一个实施例的薄膜晶体管的示意图;

[0039] 图7为根据本发明的一个实施例的薄膜晶体管的制造方法的流程示意图;

[0040] 图8为根据本发明的一个实施例的栅极叠层的制造方法的流程示意图;

[0041] 图9为根据本发明的一个实施例的薄膜晶体管的制造方法的流程示意图;

[0042] 图10为根据本发明的一个实施例的薄膜晶体管的制造方法的流程示意图;

[0043] 图11(A)-11(K)为根据本发明的一个实施例的薄膜晶体管的制造方法的工艺流程图

## 具体实施方式

[0044] 为了使本发明的实施例的目的、技术方案和优点更加清楚,下面将结合附图,对本发明的实施例的技术方案进行清楚、完整的描述。显然,所描述的实施例是本发明的一部分实施例,而不是全部的实施例。基于所描述的本发明的实施例,本领域技术人员在无需创造性劳动的前提下所获得的所有其他实施例,也都属于本发明保护的范围。

[0045] 当介绍本发明的元素及其实施例时,冠词“一”、“一个”、“该”和“所述”旨在表示存在一个或者多个要素。用语“包含”、“包括”、“含有”和“具有”旨在包括性的并且表示可以存在除所列要素之外的另外的要素。

[0046] 出于下文表面描述的目的,如其在附图中被标定方向那样,术语“上”、“下”、“左”、“右”“垂直”、“水平”、“顶”、“底”及其派生词应涉及发明。术语“上覆”、“在……顶上”、“定位在……上”或者“定位在……顶上”意味着诸如第一结构的第二要素存在于诸如第二结构的第二要素上,其中,在第一要素和第二要素之间可存在诸如界面结构的中间要素。术语“接触”意味着连接诸如第一结构的第二要素和诸如第二结构的第二要素,而在两个要素的界面处可以有或者没有其它要素。

[0047] 本发明的一个方面提供了一种薄膜晶体管。图1为根据本发明的一个实施例的薄膜晶体管的示意图。如图1所示,根据本发明的一个实施例的薄膜晶体管包括衬底基板1、设

置在衬底基板1上的有源层2;设置在所述有源层上的栅极叠层3。从图1还可以看出,该栅极叠层3包括:设置在所述有源层2上的栅极绝缘层301、设置在栅极绝缘层301上的栅极电极302、设置在栅极电极302上的覆盖层303。该覆盖层303比栅极电极302更容易捕获氧原子。可以理解,在图1所示出的实施例中,栅极绝缘层303限定栅极区域以及位于栅极区域两侧的源/漏极区域。

[0048] 由于在本发明的实施例中,覆盖层比栅极电极更容易捕获氧原子,因此,本发明的实施例能够解决覆盖层下的栅极电极的氧化的问题。这里的“覆盖层比栅极电极更容易捕获氧原子”是指与栅极电极的材料相比,覆盖层的材料更易于结合并固定氧原子。

[0049] 在一种实施方式中,该覆盖层303包括含镓氧化物。含镓氧化物比常见的栅极电极具有更强的氧原子捕获能力。由于Ga-O具有大的键能,Ga可以更好的束缚O,从而能够解决覆盖层下的栅极电极的氧化问题。例如,当栅极电极包括铜时,由于Ga-O-Cu界面的O会被Ga束缚,所以能够解决Cu氧化的问题。

[0050] 此外,由于在制备过程中,经常需要对覆盖层和栅极电极进行刻蚀,而含镓氧化物的刻蚀速度比其下方的栅极电极的刻蚀速度要慢。因此,本发明的实施例的薄膜晶体管还可以解决栅极电极的侧边缘氧化问题。

[0051] 在一个实施例中,含镓氧化物包括下列材料的至少一种:IGZO(indium gallium zinc oxide,铟镓锌氧化物)、GZO(Ga-doped ZnO,镓掺杂氧化锌)、IGO(Indium Gallium Oxide,氧化铟镓)、氧化镓或其组合。在一个实施例中,对于含镓氧化物包括铟镓锌氧化物(IGZO)的情况,可以将其中的铟镓锌的原子比例设置为In:Ga:Zn=2:2:1,也可以根据需要来将原子比设置为In:Ga:Zn=1:1:4。

[0052] 在一种实施方式中,含镓氧化物是氧缺乏的。这里的“氧缺乏”是指其氧含量比正常的化学计量比时的含镓氧化物的氧含量低。

[0053] 在一个实施例中,有源层的材料和覆盖层的材料可以相同。通过这样的方式可以节约制造成本。

[0054] 图2为根据本发明的一个实施例的薄膜晶体管的示意图。如图2所示,根据本发明的一个实施例的薄膜晶体管还可以包括设置在覆盖层2上的介质层4,其中,介质层4覆盖有源层2的暴露的上表面和覆盖层303的上表面。

[0055] 图3为根据本发明的一个实施例的薄膜晶体管的示意图。如图3所示,根据本发明的一个实施例的薄膜晶体管还可以包括:设置在介质层4上的第一接触C1以及位于介质层4中的第一孔V1,其中,第一接触C1经由孔第一孔V1连接到薄膜晶体管的源/漏极区域。

[0056] 图4为根据本发明的一个实施例的薄膜晶体管的示意图。如图4所示,根据本发明的一个实施例的薄膜晶体管还可以包括:位于介质层4中的第一布线W1、设置在介质层4上的第二接触C2和设置在介质层4中的第二孔V2。该第一布线W1具有与栅极叠层3相同的结构,并且第一布线W1的顶表面高于有源层2的顶表面。第二接触C2经由第二孔V2连接到所述第一布线W1。

[0057] 图5为根据本发明的一个实施例的薄膜晶体管的示意图。如图5所示,根据本发明的一个实施例的薄膜晶体管还可以包括:设置在有源层2和衬底基板1之间的遮光层5,以阻挡来自有源层2下方的光进入有源层2;第二布线W2,该第二布线W2与遮光层5位于同一层;设置在介质层4上的第三接触C3;穿过介质层4的第三孔V3,其中,第三接触C3经由过第三孔

V3连接到第二布线W2。需要指出,图5中的第二布线W2仅是示例性的,而非对本发明的限制。

[0058] 图6为根据本发明的一个实施例的薄膜晶体管的示意图。如图6所示,根据本发明的一个实施例的薄膜晶体管还可以包括:设置在有源层2和衬底基板1之间的缓冲层6以及设置在第一接触C1、第二接触C2和第三接触C3上的钝化层7。其中,该缓冲层6覆盖遮光层5的上表面、第二布线W2的上表面和衬底基板1的暴露的上表面。

[0059] 可以根据实际需要来选择各层的材质和厚度。衬底基板1可以包括玻璃。遮光层2和第二布线W2可以包括金属,其厚度范围可以为约50~400nm(例如,100nm)。缓冲层6的厚度范围可以为约100~500nm(例如,约300nm)。有源层2的厚度范围可以为约10~100nm(例如,约40nm)。栅极绝缘层301可以包括硅氧化物(SiO<sub>x</sub>),栅极绝缘层的厚度可以为约100~500nm(例如,约150nm)。栅极电极302可以包括铜,其厚度范围可以为约50~1000nm(例如,约420nm)。介质层4也可以包括硅氧化物(SiO<sub>x</sub>),其厚度范围可以为约100~500nm(例如,约300nm)。钝化层7可以包括硅氧化物(SiO<sub>x</sub>)和硅氮化物(SiN<sub>x</sub>)中的至少一种,其厚度范围可以为约200~400nm(例如,约300nm)。可以采用溅射法来形成第一接触、第二接触和第三接触,第一接触、第二接触和第三接触的厚度范围可以为50~400nm。

[0060] 本发明的另一方面提供了一种薄膜晶体管的制造方法。以下将结合不同实施例进行说明,需要指出,本文中的方法的步骤的标号仅仅是示例性的,并不代表着对步骤先后顺序的限制。

[0061] 图7为根据本发明的一个实施例的薄膜晶体管的制造方法的流程示意图。如图7所示,根据本发明的一个实施例的薄膜晶体管的制造方法包括:

[0062] S1、在衬底基板上形成有源层;

[0063] S3、在有源层上形成栅极叠层,其中,该栅极叠层包括:设置在有源层上的栅极绝缘层、设置在栅极绝缘层上的栅极电极以及设置在栅极电极上的覆盖层,并且该覆盖层比所述栅极电极更容易捕获氧原子。

[0064] 由于在本发明的实施例中,覆盖层比栅极电极更容易捕获氧原子,因此,本发明的实施例能够解决覆盖层下的栅极电极的氧化的问题。

[0065] 在一种实施方式中,该覆盖层303包括含镓氧化物。含镓氧化物比常见的栅极电极具有更强的氧原子捕获能力。由于Ca-O具有大的键能,Ga可以更好的束缚O,从而能够解决覆盖层下的栅极电极的氧化问题。例如,当栅极电极包括铜时,由于Ga-O-Cu界面的O会被Ga束缚,所以能够解决Cu氧化的问题。

[0066] 此外,由于在制备过程中,经常需要对覆盖层和栅极电极进行刻蚀,而含镓氧化物的刻蚀速度比其下方的栅极电极的刻蚀速度要慢。因此,本发明的实施例的薄膜晶体管还可以解决诸栅极电极的侧面氧化问题。

[0067] 在一个实施例中,所述含镓氧化物包括下列材料的至少一种:IGZO(indium gallium zinc oxide,铟镓锌氧化物)、GZO(Ga-doped ZnO,镓掺杂氧化锌)、IGO(Indium Gallium Oxide,氧化铟镓)、氧化镓或其组合。在一个实施例中,对于含镓氧化物包括铟镓锌氧化物(IGZO)的情况,可以将其中的铟镓锌的原子比例设置为In:Ga:Zn=2:2:1,也可以根据需要来将原子比设置为In:Ga:Zn=1:1:4。

[0068] 图8为根据本发明的一个实施例的栅极叠层的制造方法的流程示意图。如图8所示,根据本发明的一个实施例的栅极叠层的制造方法包括:



[0069] S301、在有源层上形成绝缘材料层；

[0070] S302、在绝缘材料层上形成导电层；

[0071] S303、在导电层上形成覆盖材料层；

[0072] S304、进行构图，以形成栅极叠层。

[0073] 在一个实施例中，薄膜晶体管的制造方法还包括在进行构图以形成栅极叠层之后，对覆盖层的上表面和有源层的上表面进行等离子体处理。通过等离子体处理能够进一步解决栅极电极被氧化的问题，下文将对此予以详细描述。

[0074] 图9为根据本发明的一个实施例的薄膜晶体管的制造方法的流程示意图。如图9所示，根据本发明的一个实施例的薄膜晶体管的制造方法还包括：

[0075] S2、在形成有源层之前，在所述衬底基板上形成遮光层和第二布线。其中，第二布线和遮光层被同时形成，遮光层能够阻挡来自所述有源层下方的光进入所述有源层；

[0076] S5、在形成有源层之后，在衬底基板上形成第一布线，其中，该第一布线与栅极叠层被同时形成，并且第一布线具有与栅极叠层相同的结构。

[0077] 图10为根据本发明的一个实施例的薄膜晶体管的制造方法的流程示意图。如图10所示，根据本发明的实施例的薄膜晶体管的制造方法还可以进一步包括：

[0078] S4、在形成遮光层和第二布线之后且在形成有源层之前，在遮光层上形成缓冲层，其中，缓冲层覆盖遮光层的上表面、第二布线的上表面和衬底基板的暴露上表面；

[0079] S6、在形成栅极叠层和第一布线之后，在覆盖层和第一布线上形成介质层，其中，介质层的覆盖有源层的上表面以及缓冲层的未被有源层覆盖的上表面；

[0080] S7、在介质层中形成第一孔、第二孔和第三孔，其中，第一孔到达有源层的上表面，第二孔到达第一布线的上表面，第三孔到达第二布线的上表面，并且其中，第三孔被一次形成；

[0081] S8、在介质层上形成第一接触、第二接触和第三接触，其中，第一接触经由第一孔连接到源/漏极区域，第二接触经由第二孔连接到第一布线，第三接触经由第三孔连接到第二布线；

[0082] S9、在第一接触、第二接触和第三接触上形成钝化层。

[0083] 图11(A)-11(K)为根据本发明的一个实施例的薄膜晶体管的制造方法的工艺流程图。下面将结合图11对根据本发明的一个实施例的薄膜晶体管的制造方法做进一步说明。

[0084] 如图11(A)所示，根据本发明的实施例的薄膜晶体管的制造方法包括：在衬底1上形成遮光层5和第二布线W2，其中第二布线和遮光层被同时形成。在一种实施方式中，可以采用溅射或者蒸镀方法沉积金属层，然后对金属层进行构图，以形成遮光层和第二布线。金属层的厚度范围可以为约50~400nm(例如，约100nm)。

[0085] 进一步地，如图11(B)所示，根据本发明的实施例的薄膜晶体管的制造方法还包括：在遮光层和第二布线上形成缓冲层6。该缓冲层6覆盖遮光层5的上表面、第二布线W2的上表面和衬底基板1的暴露上表面。在一种实施方式中，可以采用PECVD(Plasma Enhanced Chemical Vapor Deposition, 等离子体增强化学气相沉积法)来沉积缓冲层。缓冲层的厚度范围可以为约100~500nm(例如，约300nm)。

[0086] 进一步地，如图11(C)所示，根据本发明的实施例的薄膜晶体管的制造方法还包括：在缓冲层6上形成有源层2。在一种实施方式中，可以采用溅射法在缓冲层上沉积半导体

层,然后对半导体层进行构图,以形成有源层。有源层2的厚度范围可以为约10~100nm(例如,约40nm)。

[0087] 进一步地,如图11(D)所示,根据本发明的实施例的薄膜晶体管的制造方法还包括:在有源层上形成绝缘材料层301',该绝缘材料层301'覆盖有源层2的上表面和缓冲层6的暴露的上表面;在绝缘材料层301'上形成导电层302';在导电层302'上形成覆盖材料层303'。

[0088] 在一种实施方式中,可以采用PECVD来形成绝缘材料层301'。绝缘材料层301'可以包括硅氧化物(SiO<sub>x</sub>)。绝缘材料层301'的厚度范围可以为约100~500nm(例如,约150nm)。在一种实施方式中,可以采用溅射法来在绝缘材料层301'上形成导电层302'。导电层302'可以包括铜,其厚度范围可以为约50~1000nm(例如,约420nm)。覆盖材料层303'包括含镓氧化物。在一种实施方式中,含镓氧化物包括下列材料的至少一种:IGZO(indium gallium zinc oxide,铟镓锌氧化物)、GZO(Ga-doped ZnO,镓掺杂氧化锌)、IGO(Indium Gallium Oxide,氧化铟镓)、氧化镓或其组合。

[0089] 进一步地,如图11(E)所示,根据本发明的实施例的薄膜晶体管的制造方法还包括:对导电层302'和覆盖材料层303'进行构图,以形成栅极电极302和覆盖层303。例如,可以采用湿法刻蚀来对导电层302'和覆盖材料层303'进行构图。由于覆盖层303'包括含镓氧化物,其刻蚀速度比其下方的栅极电极的刻蚀速度要慢,因此能够解决包括诸如铜的栅极电极的侧边缘氧化的问题。当导电层302'包括诸如铜的材料时,用于导电层的刻蚀液也能够刻蚀包括含镓氧化物的刻蚀,因此,不会增加额外的工艺负担。

[0090] 进一步地,如图11(F)所示,根据本发明的实施例的薄膜晶体管的制造方法还包括:对绝缘材料层301'进行构图,以形成栅极绝缘层301。可以看出,根据本发明的实施例的薄膜晶体管的制造方法,能够同时形成栅极叠层3和第一布线W1。

[0091] 进一步地,如图11(G)所示,根据本发明的实施例的薄膜晶体管的制造方法还包括:对覆盖层303的上表面和所述有源层2的上表面进行等离子体处理。例如,可以施加包括下列材料的至少一种的等离子体:NH<sub>3</sub>、He、Ar、H<sub>2</sub>和N<sub>2</sub>。通过施加等离子体处理,可以使得覆盖层303和有源层2的未被栅极电极覆盖的区域失氧并且被导体化。由于施加了等离子体造成了氧缺乏,这样导致氧原子更不容易扩散,从而能够进一步解决栅极电极被氧化的问题。

[0092] 进一步地,如图11(H)所示,根据本发明的实施例的薄膜晶体管的制造方法还包括:在覆盖层303和第一布线W1上形成介质层4。介质层4覆盖与有源层2的上表面和缓冲层6的未被有源层2覆盖的上表面。例如,可以采用PECVD来形成介质层4。介质层4也可以包括硅氧化物(SiO<sub>x</sub>),其厚度范围可以为约100~500nm(例如,约300nm)。采用的诸如含镓氧化物的材料作覆盖层能够承受较高的温度,从而可以在较高温度下进行介质层的沉积,能够保证器件的稳定性。

[0093] 进一步地,如图11(I)所示,根据本发明的实施例的薄膜晶体管的制造方法还包括:在介质层4中形成第一孔V1、第二孔V2和第三孔V3,其中,第一孔V1到达有源层2的上表面,第二孔V2到达第一布线W1的上表面,第三孔V3到达第二布线W2的上表面,并且其中,第三孔V3被一次形成。

[0094] 在现有技术中,由于第三孔V3的深度比第一孔V1的深度更深,为了避免对第一孔V1过刻蚀而损伤第一孔之下的结构,需要进行两次刻蚀来形成第三孔。而在本发明的实施

例中,覆盖层的材料更耐刻蚀,其刻蚀速度较慢。因此,可以仅进行一次刻蚀来形成第三孔,而无需担心刻蚀会损伤覆盖层之下的栅极电极。相比于传统的Mo基金属材料,本发明的实施例的覆盖层所采用的诸如含镓氧化物的材料与光刻胶的粘附力更好,从而能实现更好的刻蚀效果。

[0095] 进一步地,如图11(J)所示,根据本发明的实施例的薄膜晶体管的制造方法还包括:在介质层4上形成第一接触C1、第二接触C2和第三接触C3,其中,第一接触C1经由第一孔C1连接到源/漏极区域,第二接触C2经由过第二孔V2连接到第一布线W1,第三接触C3经由第三孔V3连接到第二布线W2。例如,可以通过溅射金属来填充第一孔C1、第二孔C2和第三孔C3并且覆盖介质层4,然后进行构图,以形成第一接触C1、第二接触C2和第三接触C3。第一接触、第二接触和第三接触的厚度范围可以为50~400nm。

[0096] 进一步地,如图11(K)所示,根据本发明的实施例的薄膜晶体管的制造方法还包括:在第一接触C1、第二接触C2和第三接触C3上形成钝化层。可以看出,钝化层7还覆盖了介质层4的暴露的表面。例如,可以采用PECVD来沉积钝化层7。钝化层7可以包括硅氧化物( $\text{SiO}_x$ )和硅氮化物( $\text{SiN}_x$ )中的至少一种,其厚度范围可以为约200~400nm(例如,约300nm)。

[0097] 本发明的实施例还提供了阵列基板的制造方法和显示装置的制造方法。本发明的实施例中的阵列基板包括如上所述的薄膜晶体管。本发明的实施例中的显示装置包括如上所述的阵列基板。本发明的实施例中的显示装置可以为:手机、平板电脑、电视机、笔记本电脑、数码相机、导航仪等任何具有显示功能的产品或部件。

[0098] 已经描述了某特定实施例,这些实施例仅通过举例的方式展现,而且不旨在限制本发明的范围。事实上,本文所描述的新颖实施例可以以各种其它形式来实施;此外,可在不脱离本发明的精神下,做出以本文所描述的实施例的形式的各种省略、替代和改变。所附权利要求以及它们的等价物旨在覆盖落在本发明范围和精神内的此类形式或者修改。

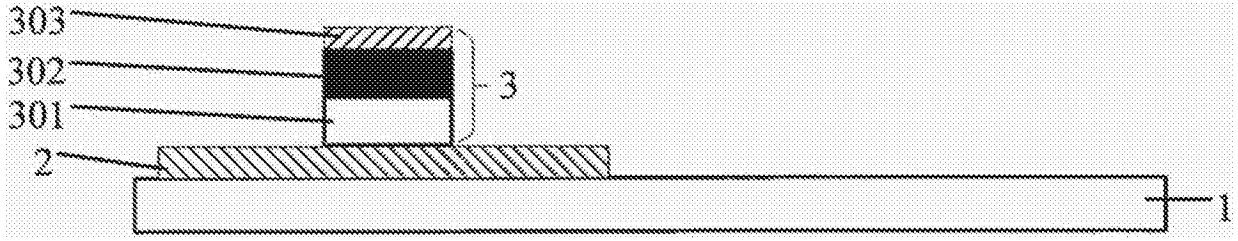


图1

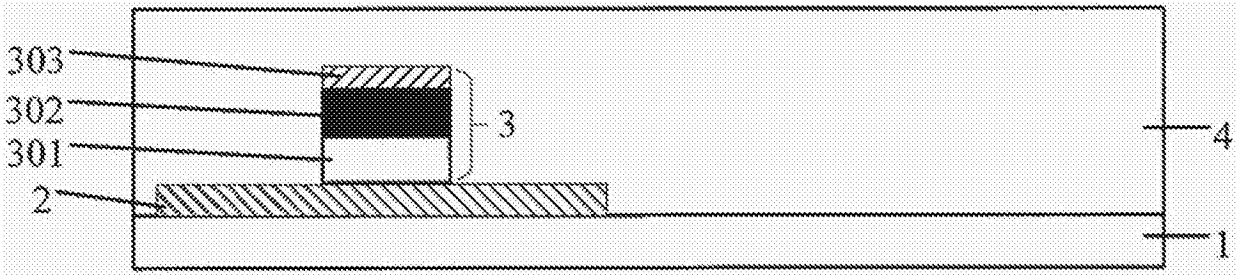


图2

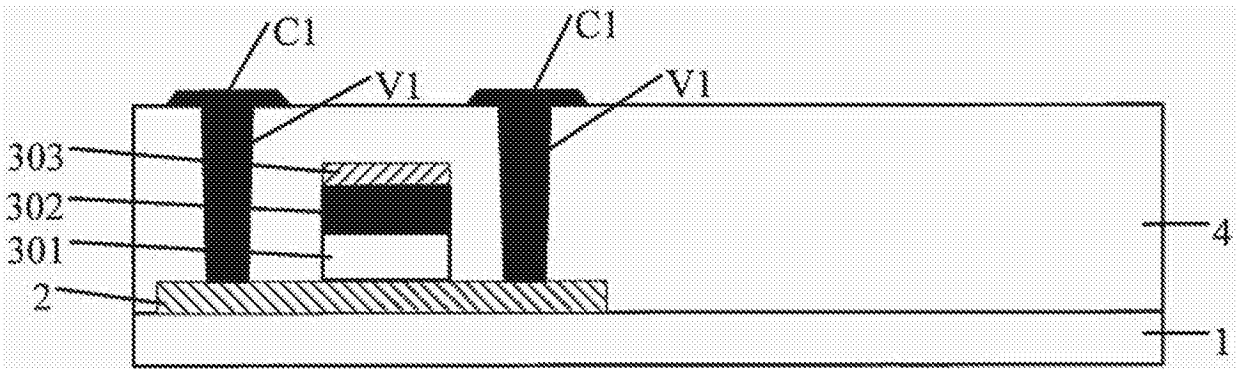


图3

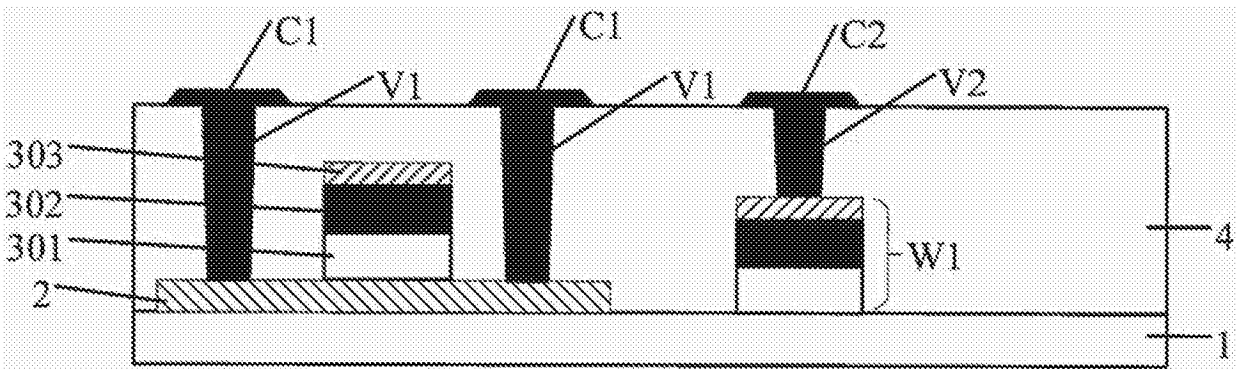


图4

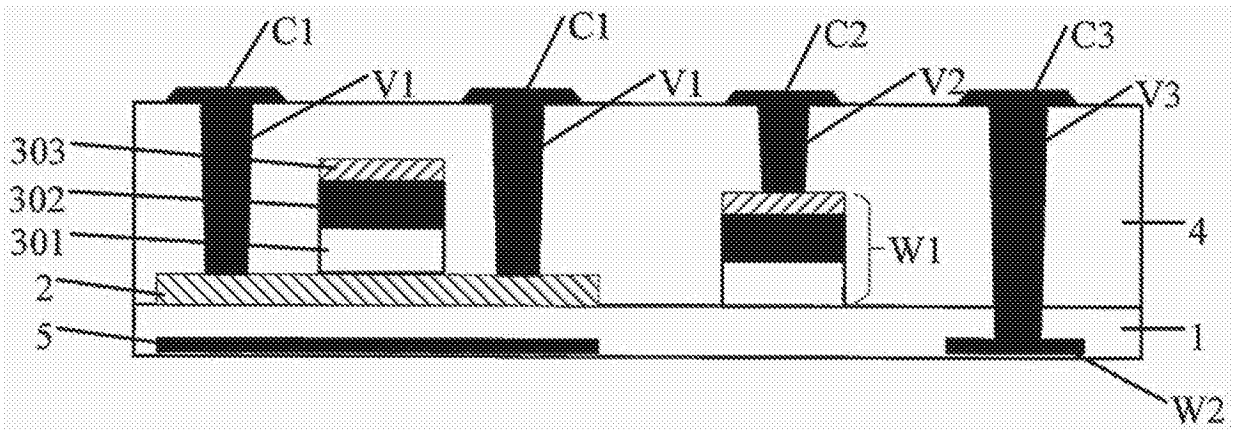


图5

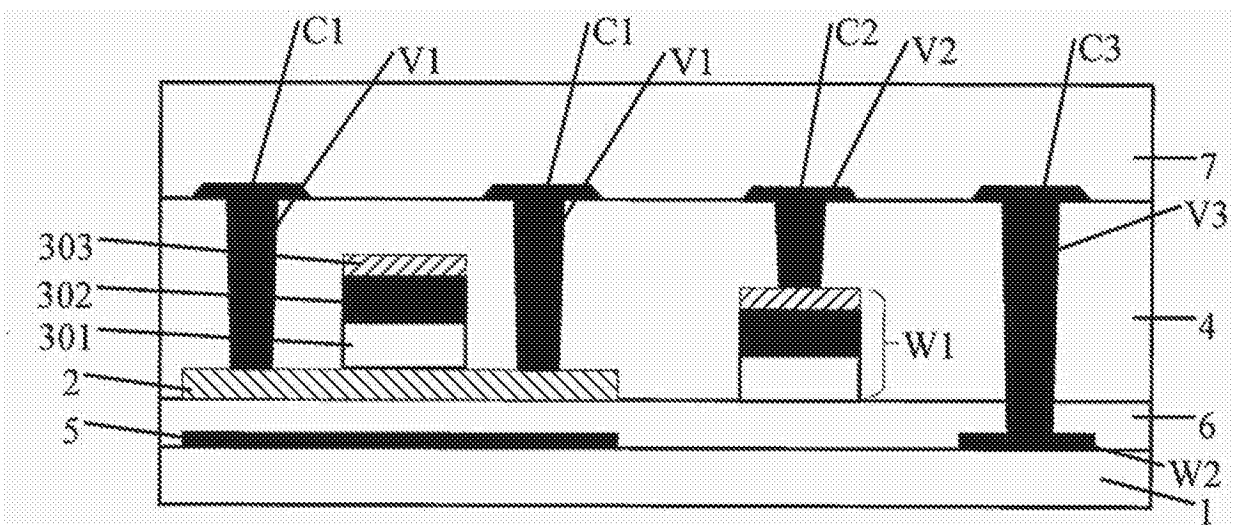


图6

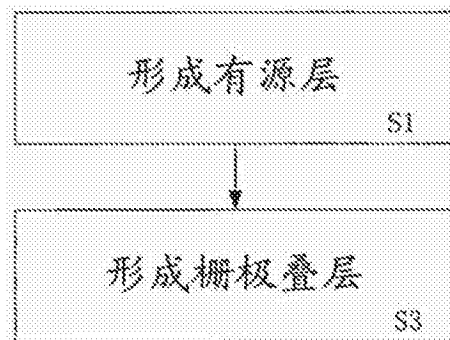


图7

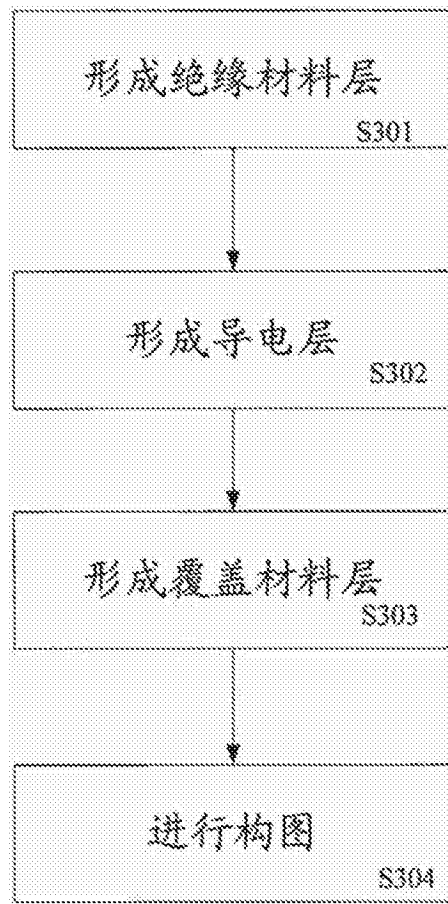


图8

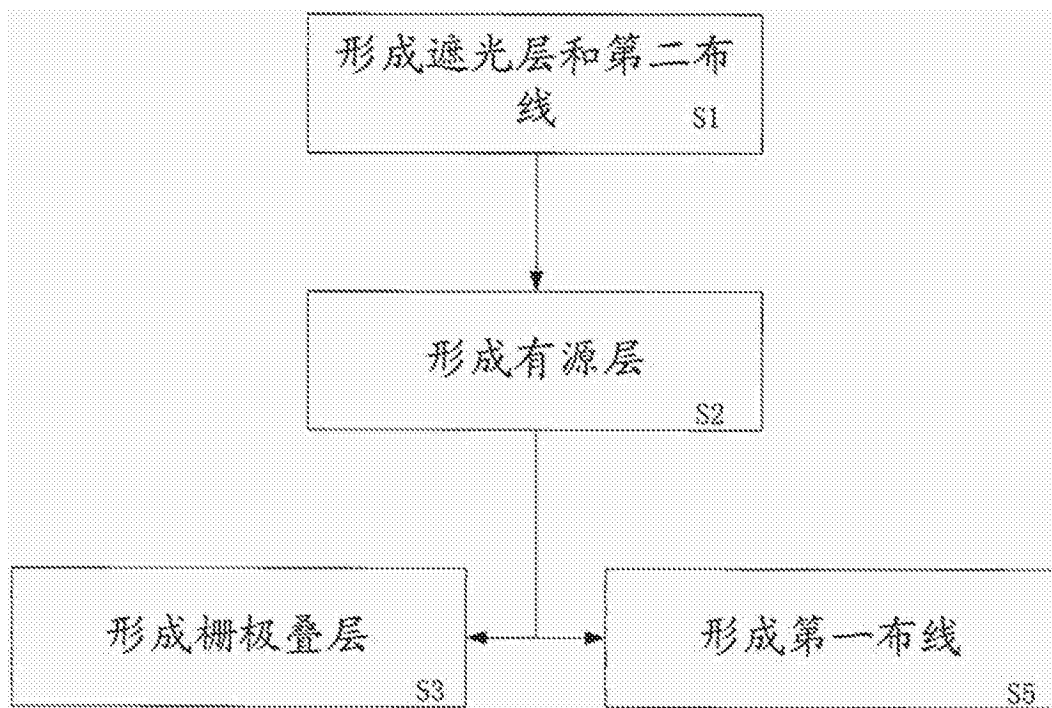


图9

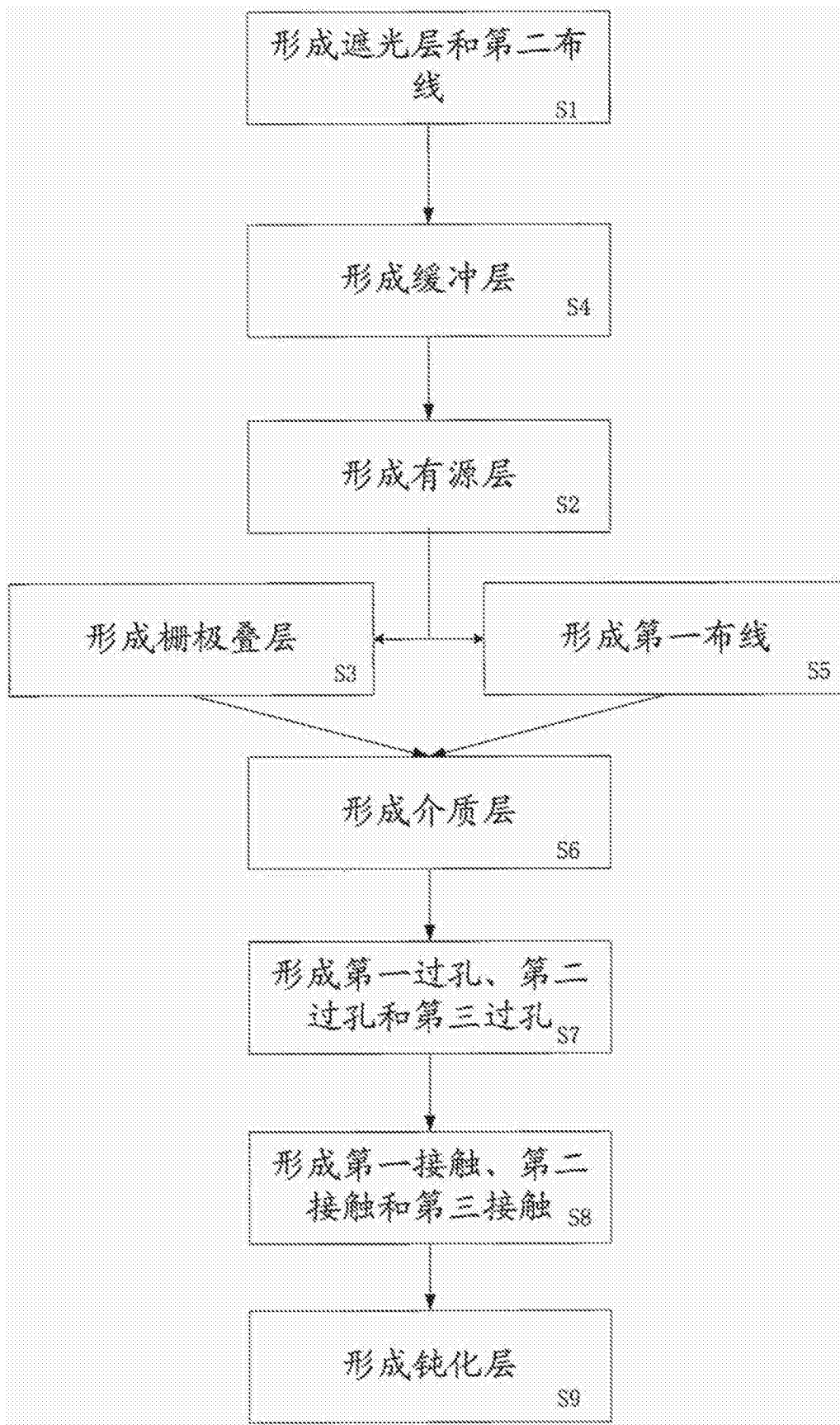


图10

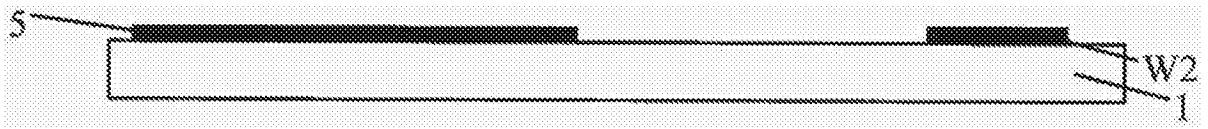


图11 (A)

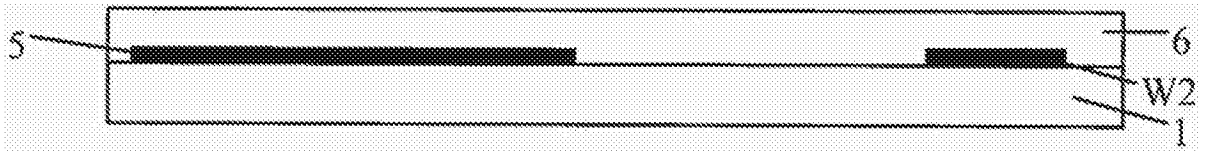


图11 (B)

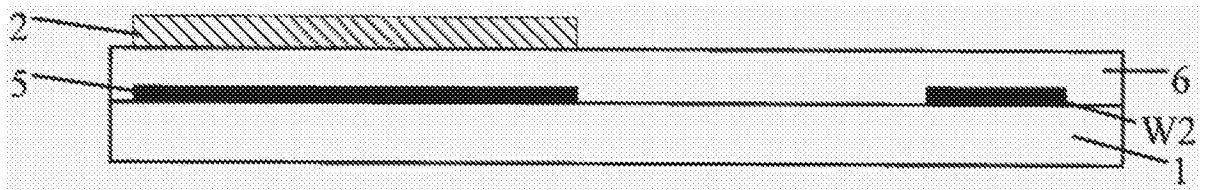


图11 (C)

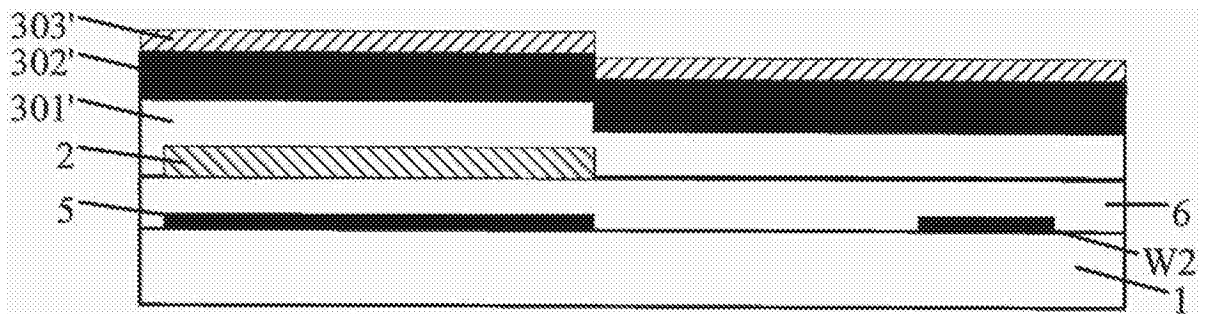


图11 (D)

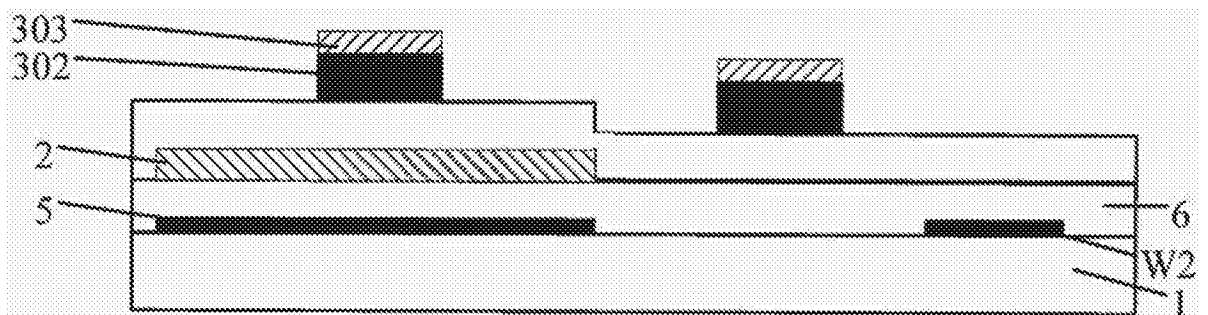


图11 (E)



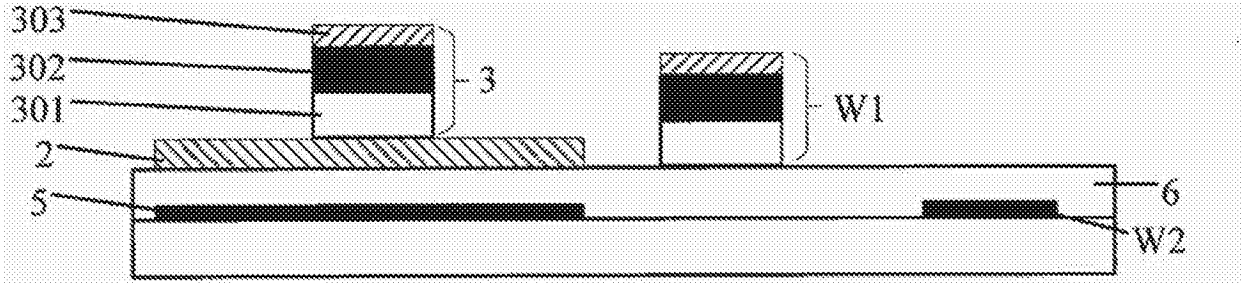


图11 (F)

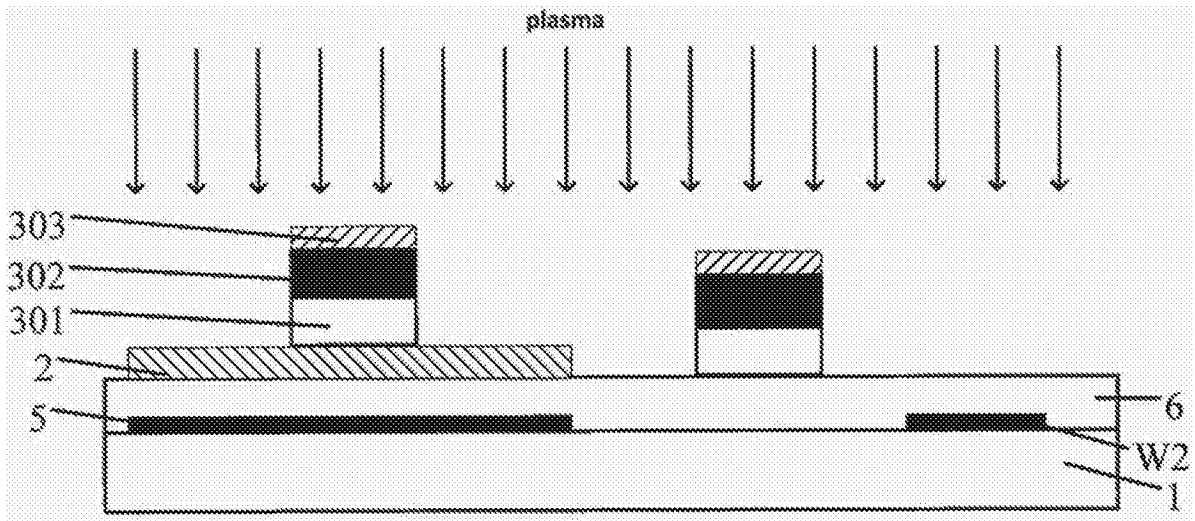


图11 (G)

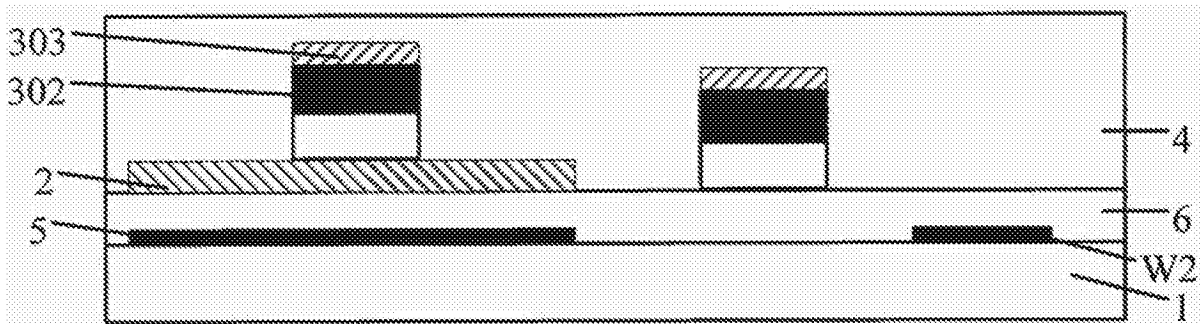


图11 (H)

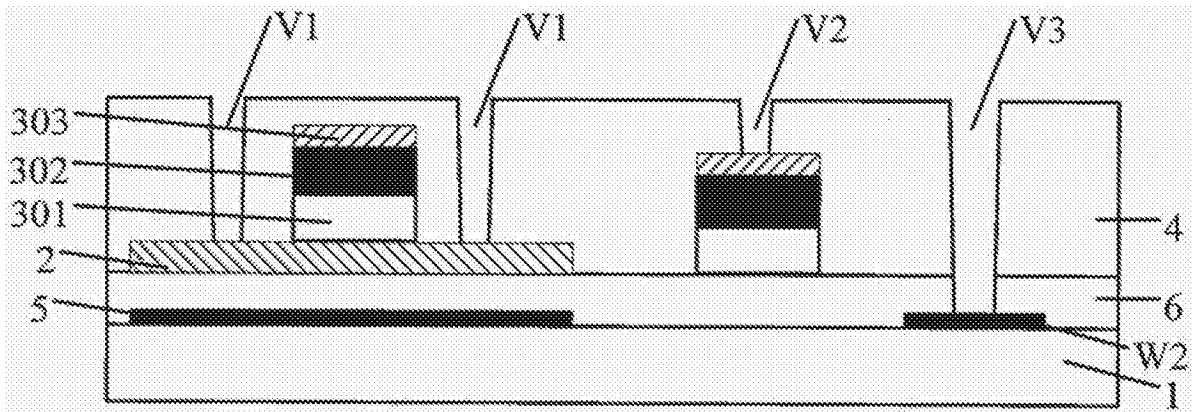


图11 (I)

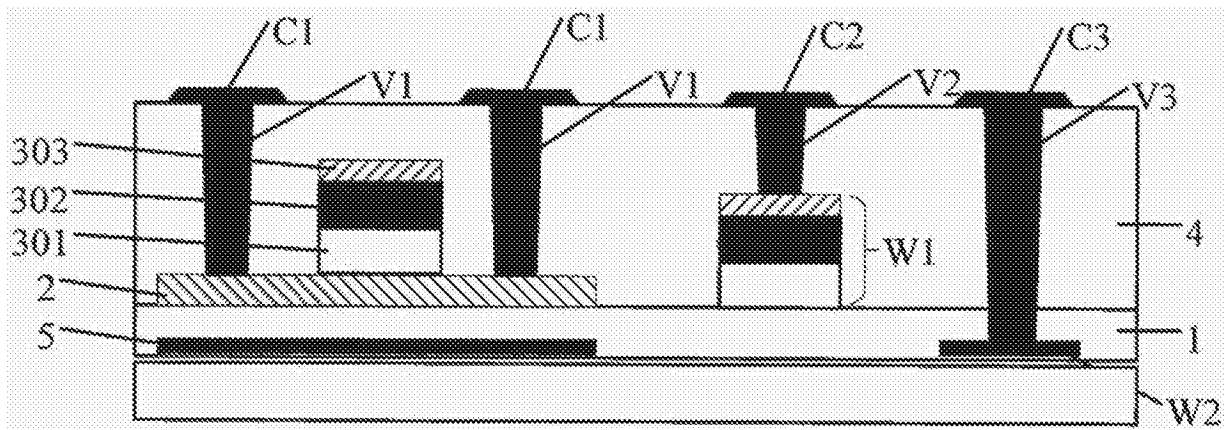


图11 (J)

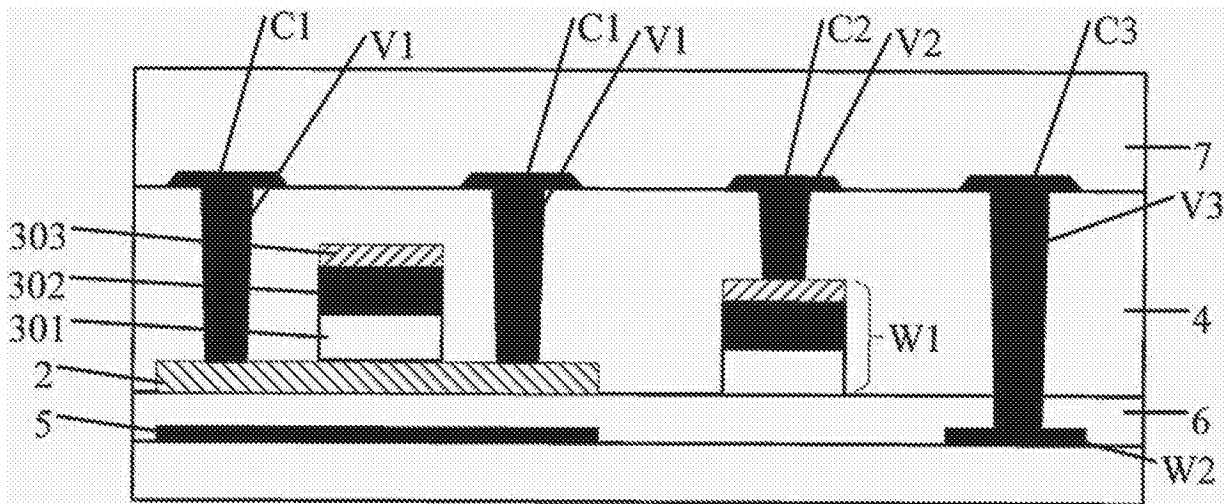


图11 (K)