



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/04 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년12월04일 10-0653709 2006년11월28일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2004-0092686 2004년11월12일 2004년11월12일	(65) 공개번호 (43) 공개일자	10-2006-0017452 2006년02월23일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장 1020040065607 2004년08월19일 대한민국(KR)

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 이광희
 서울 관악구 봉천6동 1688-145 302호

 김진용
 서울 서초구 방배3동 임광아파트 2-604

 정숙진
 경기 수원시 영통구 영통동 984-7 205호

 조규호
 경기 성남시 분당구 서현동 시범단지한양아파트 328동 1007호

 임한진
 서울 서초구 서초동 1509-1 한빛삼성아파트 102-309

 이진일
 경기 성남시 분당구 분당동 셋별마을라이프아파트 110-1306

 김기철
 경기 성남시 분당구 이매동 한신아파트 209-701

 임재순
 서울특별시 노원구 상계6동 주공3단지아파트 319동 1401호

(74) 대리인 박상수

(56) 선행기술조사문헌
KR1020030085822 A
* 심사관에 의하여 인용된 문헌

심사관 : 박혜련

전체 청구항 수 : 총 31 항

(54) 엠아이엠 커패시터의 형성방법들 및 그에 의해 제조된 엠아이엠 커패시터들

(57) 요약

엠아이엠 커패시터의 형성방법들 및 그에 의해 제조된 엠아이엠 커패시터들을 제공한다. 엠아이엠 커패시터를 형성하는 방법들은 반도체기판 상에 하부전극을 형성하는 것을 구비한다. 상기 하부전극에 후처리 공정을 적용하여 산화시킨다. 상기 후처리 공정이 적용된 상기 하부전극 상에 하부 유전막을 형성하고, 상기 하부 유전막 상에 상부 유전막을 형성한다. 상기 하부 유전막은 상기 상부 유전막 보다 큰 에너지 밴드 갭을 갖는 유전막으로 형성한다. 상기 상부 유전막 상에 상부전극을 형성한다. 상기 상부전극은 상기 하부전극 보다 큰 일 함수를 갖는 금속막으로 형성한다.

대표도

도 3d

특허청구의 범위

청구항 1.

반도체기판 상에 하부전극을 형성하고,

상기 하부전극에 후처리 공정(post-treatment process)을 적용하여 산화시키고,

상기 후처리 공정이 적용된 상기 하부전극 상에 하부 유전막을 20~40Å의 두께로 형성하고,

상기 하부 유전막 상에 상기 하부 유전막 보다 높은 유전상수를 갖는 상부 유전막을 10~60Å의 두께로 형성하되, 상기 상부 유전막은 상기 하부 유전막보다 작은 에너지 밴드갭을 갖고,

상기 상부 유전막 상에 상기 하부전극보다 큰 일함수를 갖는 귀금속(nobel metal)으로 이루어진 상부전극을 형성하는 것을 포함하는 엠아이엠 커패시터의 형성방법.

청구항 2.

제 1 항에 있어서,

상기 하부전극은 금속질화막으로 형성하는 것을 특징으로 하는 엠아이엠 커패시터의 형성방법.

청구항 3.

제 2 항에 있어서,

상기 금속 질화막은 타이타늄 질화막(TiN), 타이타늄 실리콘 질화막(TiSiN), 타이타늄 알루미늄 질화막(TiAlN), 탄탈륨 질화막(TaN), 탄탈륨 실리콘 질화막(TaSiN), 탄탈륨 알루미늄 질화막(TaAlN) 및 텅스텐 질화막(WN)으로 이루어진 일 군중 선택된 적어도 하나의 막으로 형성하는 것을 특징으로 하는 엠아이엠 커패시터 형성방법.

청구항 4.

삭제

청구항 5.

제 1 항에 있어서,

상기 후처리 공정은 급속 열산화(rapid thermal oxidation) 공정을 사용하여 실시하는 것을 특징으로 하는 엠아이엠 커패시터 형성방법.

청구항 6.

제 5 항에 있어서,

상기 급속 열산화 공정은 300℃ 내지 550℃의 온도 및 0.1 torr 내지 760 torr의 압력 하에서 10초 내지 300초 동안 실시하는 것을 특징으로 하는 엠아이엠 커패시터 형성방법.

청구항 7.

제 1 항에 있어서,

상기 하부전극은 스택 구조, 실린더 구조 또는 콘케이브 구조를 갖도록 형성되는 것을 특징으로 하는 엠아이엠 커패시터의 형성방법.

청구항 8.

제 1 항에 있어서,

상기 하부 유전막 및 상기 상부 유전막은 결정질 상태 또는 비정질 상태를 갖도록 형성되는 것을 특징으로 하는 엠아이엠 커패시터의 형성방법.

청구항 9.

제 1 항에 있어서,

상기 하부 유전막은 하프늄 산화막(HfO₂), 지르코늄 산화막(ZrO₂), 알루미늄 산화막(Al₂O₃) 및 란타늄 산화막(La₂O₅)으로 이루어진 일 군으로부터 선택된 적어도 하나의 막으로 형성하는 것을 특징으로 하는 엠아이엠 커패시터 형성방법.

청구항 10.

제 1 항에 있어서,

상기 상부 유전막을 형성하기 전에, 상기 하부 유전막에 암모니아 플라즈마 처리 공정을 적용하는 것을 더 포함하는 것을 특징으로 하는 엠아이엠 커패시터 형성방법.

청구항 11.

제 10 항에 있어서,

상기 암모니아 플라즈마 처리 공정은 400℃ 이하의 온도 및 2 torr의 압력 하에서 250와트 내지 350와트의 전력을 사용하여 실시하는 것을 특징으로 하는 엠아이엠 커패시터 형성방법.

청구항 12.

제 1 항에 있어서,

상기 하부 유전막 및 상기 상부 유전막 사이에 비정질 구조 또는 결정질 구조의 중간 유전막을 형성하는 것을 더 포함하는 것을 특징으로 하는 엠아이엠 커패시터의 형성방법.

청구항 13.

제 12 항에 있어서,

상기 중간 유전막은 HfO₂막, ZrO₂막, Al₂O₃막, La₂O₃막, Ta₂O₅막, TiO₂막, 도우프트 TiO₂막 및 STO막으로 이루어진 군에서 선택된 적어도 하나의 막으로 형성되는 것을 특징으로 하는 엠아이엠 커패시터의 형성방법.

청구항 14.

제 1 항에 있어서,

상기 상부 유전막은 Ta₂O₅막, TiO₂막, 도우프트 TiO₂막 및 STO막으로 이루어진 군에서 선택된 적어도 하나의 막으로 형성되는 것을 특징으로 하는 엠아이엠 커패시터의 형성방법.

청구항 15.

제 12 항에 있어서,

상기 중간 유전막을 형성한 후, 상기 중간 유전막을 O₂, O₃ 또는 N₂O 가스 분위기에서 열처리하거나 O₂ 또는 N₂O 가스로부터 형성된 플라즈마를 이용하여 플라즈마 처리하는 것을 더 포함하는 엠아이엠 커패시터의 형성방법.

청구항 16.

제 1 항에 있어서,

상기 상부 유전막을 형성한 후, 상기 상부 유전막을 O₂, O₃ 또는 N₂O 가스 분위기에서 열처리하거나 O₂ 또는 N₂O 가스로부터 형성된 플라즈마를 이용하여 플라즈마 처리하는 것을 더 포함하는 엠아이엠 커패시터의 형성방법.

청구항 17.

제 1 항에 있어서,

상기 상부 전극은 Ru 막, Ir 막 및 Pt 막으로 이루어진 군에서 선택된 적어도 하나의 막으로 형성되는 것을 특징으로 하는 엠아이엠 커패시터의 형성방법.

청구항 18.

반도체기판 상에 하부전극을 형성하고,

상기 하부전극에 후처리 공정을 적용하여 산화시키고,

상기 후처리 공정이 적용된 상기 하부전극 상에 하부 유전막을 20 내지 40Å의 두께로 형성하고,

상기 하부 유전막 상에 상기 하부 유전막 보다 높은 유전상수를 갖는 상부 유전막을 10 내지 60Å 두께로 형성하되, 상기 상부 유전막은 상기 하부 유전막 보다 작은 에너지 밴드갭을 갖고,

상기 상부 유전막 상에 상기 하부전극 보다 큰 일 함수를 갖는 귀금속으로 이루어진 상부전극을 형성하는 것을 포함하는 공정에 의해 제조된 엠아이엠 커패시터.

청구항 19.

제 18 항에 있어서,

상기 하부전극은 금속 질화막인 것을 특징으로 하는 엠아이엠 커패시터.

청구항 20.

제 19 항에 있어서,

상기 금속 질화막은 타이타늄 질화막(TiN), 타이타늄 실리콘 질화막(TiSiN), 타이타늄 알루미늄 질화막(TiAlN), 탄탈륨 질화막(TaN), 탄탈륨 실리콘 질화막(TaSiN), 탄탈륨 알루미늄 질화막(TaAlN) 및 텅스텐 질화막(WN)으로 이루어진 일 군중 선택된 적어도 하나의 막인 것을 특징으로 하는 엠아이엠 커패시터.

청구항 21.

삭제

청구항 22.

제 18 항에 있어서,

상기 후처리 공정은 금속 열산화 공정인 것을 특징으로 하는 엠아이엠 커패시터.

청구항 23.

제 22 항에 있어서,

상기 금속 열산화 공정은 300°C 내지 550°C의 온도 및 0.1 torr 내지 760 torr의 압력 하에서 10초 내지 300초 동안 실시하는 것을 특징으로 하는 엠아이엠 커패시터.

청구항 24.

제 18 항에 있어서,

상기 하부전극은 스택 구조, 실린더 구조 또는 콘케이브 구조를 갖는 것을 특징으로 하는 엠아이엠 커패시터.

청구항 25.

제 18 항에 있어서,

상기 하부 유전막은 하프늄 산화막(HfO₂), 지르코늄 산화막(ZrO₂), 알루미늄 산화막(Al₂O₃) 및 란타니움 산화막(La₂O₅)으로 이루어진 일 군으로부터 선택된 적어도 하나의 막인 것을 특징으로 하는 엠아이엠 커패시터.

청구항 26.

제 18 항에 있어서,

상기 상부 유전막을 형성하기 전에, 상기 하부 유전막에 암모니아 플라즈마 처리 공정을 적용하는 것을 더 포함하는 것을 특징으로 하는 엠아이엠 커패시터.

청구항 27.

제 26 항에 있어서,

상기 암모니아 플라즈마 처리 공정은 400℃ 이하의 온도 및 2 torr의 압력 하에서 250와트 내지 350와트의 전력을 사용하여 실시하는 것을 특징으로 하는 엠아이엠 커패시터.

청구항 28.

제 18 항에 있어서,

상기 하부 유전막 및 상기 상부 유전막 사이에 비정질 구조 또는 결정질 구조를 갖는 중간 유전막을 형성하는 것을 더 포함하는 것을 특징으로 하는 엠아이엠 커패시터.

청구항 29.

제 28 항에 있어서,

상기 중간 유전막은 HfO₂막, ZrO₂막, Al₂O₃막, La₂O₃막, Ta₂O₅막, TiO막, 도우프트 TiO막 및 STO막으로 이루어진 군에서 선택된 적어도 하나의 막인 것을 특징으로 하는 엠아이엠 커패시터.

청구항 30.

제 18 항에 있어서,

상기 상부 유전막은 Ta₂O₅막, TiO₂막, 도우프트 TiO₂막 및 STO막으로 이루어진 군에서 선택된 적어도 하나의 막인 것을 특징으로 하는 엠아이엠 커패시터.

청구항 31.

제 28 항에 있어서,

상기 중간 유전막을 형성한 후에, 상기 중간 유전막을 O₂, O₃ 또는 N₂O 가스를 분위기 가스로 사용하여 열처리하거나 O₂ 또는 N₂O 가스로부터 형성된 플라즈마를 이용하여 플라즈마 처리하는 것을 더 포함하는 것을 특징으로 하는 엠아이엠 커패시터.

청구항 32.

제 18 항에 있어서,

상기 상부 유전막을 형성한 후에, 상기 상부 유전막을 O₂, O₃ 또는 N₂O 가스를 분위기 가스로 사용하여 열처리하거나 O₂ 또는 N₂O 가스로부터 형성된 플라즈마를 이용하여 플라즈마 처리하는 것을 더 포함하는 것을 특징으로 하는 엠아이엠 커패시터.

청구항 33.

제 18 항에 있어서,

상기 상부전극은 Ru막, Ir막 및 Pt막으로 이루어진 군에서 선택된 적어도 하나의 막인 것을 특징으로 하는 엠아이엠 커패시터.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 제조방법들 및 그에 의해 제조된 반도체소자들에 관한 것으로, 특히 금속-절연체-금속 커패시터(metal-insulator-metal capacitor; 이하 “엠아이엠 커패시터”라 한다)의 형성방법들 및 그에 의해 형성된 엠아이엠 커패시터들에 관한 것이다.

최근, 반도체소자는 고성능화 및 고집적화가 요구되고 있다. 이에 따라, 반도체소자를 구성하는 요소들 중 하나인 커패시터는 제한된 면적 내에서 일정값보다 큰 용량을 갖도록 형성되어야 한다. 또한, 반도체소자의 성능 및 신뢰성을 개선하기 위하여 커패시터의 크기가 작아지더라도 정전용량은 충분하게 확보되어야 하고 브레이크다운 전압(breakdown voltage)도 높아야 한다. 이에 따라, 하부전극, 유전막 및 상부전극으로 구성된 커패시터가 일정값 이상의 정전용량을 갖도록 하기 위하여, 상기 유전막의 두께를 줄이는 방안이 연구되고 있다.

통상 사용되는 대략 3.9의 유전상수를 갖는 실리콘 산화막의 경우 두께가 줄어들면서, 누설전류가 증가되는 현상을 나타낸다. 즉, 상기 실리콘 산화막은 대략 50Å 이하에서는 통상 알려진 실리콘 산화막의 브레이크다운 메커니즘(breakdown mechanism)인 F-N 터널링(Fowler-Nordheim tunneling)에 의하여 설명되지 않는다. 즉, 캐리어(carrier)가 실리콘 산화막의 금지대(forbidden gap)를 통하여 전극으로 이동하는 다이렉트 터널링(direct tunneling)이 일어난다. 그 결과, 누설전류가 증가하게 된다. 이에 따라, 누설전류의 증가 없이 적절한 정전용량을 유지하기 위하여 높은 유전 상수를 갖는 고유전막이 널리 채택되고 있다. 즉, 유전막의 유전 상수가 높을수록 등가 산화막 두께(equivalent oxide thickness ; EOT)는 감소하게 된다.

폴리실리콘막은 통상의 커패시터들의 전극들로 널리 채택되어 왔다. 그러나, 상기 고유전막을 채택하는 커패시터에 있어서, 상기 폴리실리콘막은 전극으로 부적합할 수 있다. 이는 상기 실리콘 산화막에 비하여 상기 고유전막들은 상대적으로 낮은 에너지 밴드 갭을 보이기 때문이다. 즉, 상기 고유전막을 채택하는 커패시터의 전극들로 상기 폴리실리콘막이 사용되는 경우에, 상기 폴리실리콘 전극 및 상기 고유전막 사이의 낮은 에너지 장벽에 기인하여 상기 커패시터의 누설전류가 현저히 증가할 수 있다. 이에 따라, 상기 커패시터의 전극으로 상기 폴리실리콘막에 비하여 일함수(work function)가 큰 금속막을 사용하는 방안이 제시되고 있다.

40 nm ~ 90 nm의 최소 선폭을 요구하는 차세대 디램(next generation DRAM)은 알파 입자들(alpha particles)에 기인하는 소프트 에러 발생률(soft error rate)을 감소시키기 위하여 적어도 25 fF의 커패시턴스(C)를 갖는 셀 커패시터를 필요로 한다. 이 경우에, 상기 셀 커패시터의 스토리지 노드 전극의 높이(H)가 3 um일 때, 상기 셀 커패시터의 유전막은 도 1로부터 알 수 있듯이 12Å보다 작은 등가 산화막 두께를 가져야 한다.

또한, 종래의 디램 셀 커패시터의 유전막으로서 탄탈륨 산화막(Ta2O5)의 단일 고유전막(a single high dielectric layer) 또는 타이타늄 산화막(TiO2)/hafnium 산화막(HfO2)의 조합 고유전막(a combined high dielectric layer)이 널리 사용되어 왔다. 이에 더하여, 타이타늄 질화막이 상기 셀 커패시터의 전극들로 널리 채택되어 왔다. 이 경우에, 상기 셀 커패시터의 유전막이 16Å의 등가산화막 두께를 갖는 탄탈륨 산화막으로 형성될지라도, 상기 셀 커패시터는 도 2의 그래프로부터 알 수 있듯이 1볼트의 인가전압(Va)에서 1×10^{-5} A/cm² 보다 큰 누설전류 밀도(IL)를 보여왔다. 또한, 상기 셀 커패시터의 유전막이 9Å의 등가산화막 두께를 갖는 타이타늄 산화막/hafnium 산화막의 상기 조합 고유전막으로 형성될지라도, 상기 셀 커패시터는 도 2의 그래프로부터 알 수 있듯이 1볼트의 인가전압(Va)에서 1×10^{-2} A/cm² 보다 큰 누설전류 밀도(IL)를 보여왔다. 이는 타이타늄 질화막과 같은 전극의 낮은 일함수(work function)에 기인한다.

따라서, 누설전류의 저하 없이 고집적 반도체 기억소자에 적합한 충분한 정전용량을 갖는 커패시터가 지속적으로 요구되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 충분한 정전용량 및 안정적인 누설전류 특성을 얻을 수 있는 엠아이엠 커패시터의 형성방법들을 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 충분한 정전용량 및 안정적인 누설전류 특성을 얻기에 적합한 엠아이엠 커패시터들을 제공하는데 있다.

발명의 구성

상기 기술적 과제들을 이루기 위하여, 본 발명의 실시예들은 엠아이엠 커패시터의 형성방법들 및 그에 의해 형성된 엠아이엠 커패시터들을 제공한다.

본 발명의 일 양태에 따르면, 상기 엠아이엠 커패시터를 형성하는 방법들은 반도체기판 상에 하부전극을 형성하는 것을 포함한다. 상기 하부전극 상에 하부 유전막을 20 내지 40Å의 두께로 형성한다. 상기 하부 유전막 상에 상기 하부 유전막 보다 높은 유전상수를 갖는 상부 유전막을 10 내지 60Å의 두께로 형성한다. 상기 상부 유전막은 상기 하부 유전막 보다 작은 에너지 밴드갭을 갖는 물질막으로 형성한다. 상기 상부 유전막 상에 상기 하부전극 보다 큰 일함수를 갖는 귀금속으로 이루어진 상부전극을 형성한다.

본 발명의 실시예들에서, 상기 하부전극은 금속 질화막으로 형성할 수 있다. 상기 금속 질화막은 타이타늄 질화막(TiN), 타이타늄 실리콘 질화막(TiSiN), 타이타늄 알루미늄 질화막(TiAlN), 탄탈륨 질화막(TaN), 탄탈륨 실리콘 질화막(TaSiN), 탄탈륨 알루미늄 질화막(TaAlN) 및 텅스텐 질화막(WN)으로 이루어진 일 군중 선택된 적어도 하나의 막으로 형성할 수 있다.

다른 실시예들에서, 상기 하부 유전막을 형성하기 전에, 상기 하부전극을 후처리 공정(post-treatment process)을 사용하여 산화시킬 수 있다. 상기 후처리 공정은 급속 열산화(rapid thermal oxidation) 공정을 사용하여 실시할 수 있다. 상기 급속 열산화 공정은 300°C 내지 550°C의 온도 및 0.1 torr 내지 760 torr의 압력 하에서 10초 내지 300초 동안 실시할 수 있다.

또 다른 실시예들에서, 상기 하부 유전막은 하프늄 산화막(HfO₂), 지르코늄 산화막(ZrO₂), 알루미늄 산화막(Al₂O₃) 및 란타늄 산화막(La₂O₅)으로 이루어진 일 군으로부터 선택된 적어도 하나의 막으로 형성할 수 있다.

또 다른 실시예들에서, 상기 상부 유전막을 형성하기 전에, 상기 하부 유전막에 암모니아 플라즈마 처리 공정을 적용할 수 있다. 상기 암모니아 플라즈마 처리 공정은 400°C 이하의 온도 및 2 torr의 압력 하에서 250와트 내지 350와트의 전력을 사용하여 실시할 수 있다.

또 다른 실시예들에서, 상기 하부 유전막 및 상기 상부 유전막 사이에 중간 유전막을 추가로 형성할 수 있다. 상기 중간 유전막은 하프늄 산화막(HfO₂), 지르코늄 산화막(ZrO₂), 알루미늄 산화막(Al₂O₃), 란타늄 산화막(La₂O₅), 탄탈륨 산화막(Ta₂O₅), 타이타늄 산화막(TiO₂), 도우프트 타이타늄 산화막 및 스트론튬 타이타늄 산화막(STO)으로 이루어진 일 군으로부터 선택된 적어도 하나의 막으로 형성할 수 있다. 이에 더하여, 상기 중간 고유전막을 형성한 후에, 상기 중간 유전막을 O₂ 가스, O₃ 가스 또는 N₂O 가스를 분위기 가스(ambient gas)로 사용하여 열처리하거나 O₂ 가스 또는 N₂O 가스로부터 형성된 플라즈마를 사용하여 플라즈마 처리할 수 있다.

또 다른 실시예들에서, 상기 상부 유전막은 탄탈륨 산화막(Ta₂O₅), 타이타늄 산화막(TiO₂), 도우프트 타이타늄 산화막 및 스트론튬 타이타늄 산화막(STO)으로 이루어진 군으로부터 선택된 적어도 하나의 막으로 형성할 수 있다.

또 다른 실시예들에서, 상기 유전막을 형성한 후에, 상기 상부 유전막을 O₂ 가스, O₃ 가스 또는 N₂O 가스를 분위기 가스(ambient gas)로 사용하여 열처리하거나 O₂ 가스 또는 N₂O 가스로부터 형성된 플라즈마를 사용하여 플라즈마 처리할 수 있다.

또 다른 실시예들에서, 상기 상부전극은 루테튬막(Ru), 이리듐막(Ir) 및 백금막(Pt)으로 이루어진 군으로부터 선택된 적어도 하나의 막으로 형성할 수 있다.

본 발명의 다른 양태에 따르면, 상술한 방법들에 따라 제조된 엠아이엠 커패시터들이 제공된다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되는 실시 예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시 예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

도 3a 내지 도 3d는 본 발명의 실시예들에 따른 엠아이엠 커패시터의 형성방법들을 나타낸 단면도들이다.

도 3a를 참조하면, 반도체기판(201) 상에 층간절연막(203)을 형성한다. 상기 층간절연막(203)을 패터닝하여 상기 반도체기판(201)을 노출시키는 콘택 홀을 형성하고, 상기 콘택 홀을 채우는 콘택 플러그(205)를 형성한다. 상기 콘택 플러그(205)를 갖는 기판 상에 몰드 절연막(213)을 형성한다. 상기 몰드 절연막(213)은 도 3a에 도시된 바와 같이 상기 콘택 플러그(205)를 갖는 기판 상에 하부 몰드 절연막(207), 식각 저지막(209) 및 상부 몰드막(211)을 차례로 적층시켜 형성할 수 있다. 그러나, 상기 식각 저지막(209)은 도 3a에 도시된 위치에 한정되지 않고 상기 콘택 플러그(205) 및 층간절연막(203)의 상부면 상에 직접 형성될 수도 있다. 이와는 달리, 상기 몰드 절연막(213)은 상기 하부 몰드 절연막(207) 및 상부 몰드 절연막(211)의 이중층의(double layered) 몰드 절연막으로 형성되거나 단일 몰드 절연막(a single mold insulating layer)으로 형성될 수도 있다. 상기 하부 몰드 절연막(207) 및 상부 몰드 절연막(211)은 상기 식각 저지막(209)에 대하여 식각 선택비를 갖는 것이 바람직하다. 예를 들어, 상기 하부 몰드 절연막(207) 및 상부 몰드 절연막(213)이 실리콘 산화막으로 형성되는 경우에, 상기 식각 저지막(209)은 실리콘 질화막으로 형성될 수 있다. 상기 몰드 절연막(213) 패터닝하여 상기 콘택 플러그(205)의 상부 표면 및 이와 인접한 상기 층간 절연막 상부 표면을 노출시키는 스토리지 노드 홀(215)을 형성한다.

도 3b를 참조하면, 상기 스토리지 노드 홀(215)을 갖는 반도체기판의 전면 상에 하부전극막(217), 즉 하부 전극용 도전막을 형성한다. 상기 하부 전극용 도전막(217)은 단차도포성이 우수하고, 후속의 유전막을 형성하는 공정 중 변형이 적고, 내산화성(oxidation resistant property)을 갖는 도전막으로 형성한다. 예를 들어, 상기 하부 전극용 도전막(217)은 타이타늄 질화막(TiN), 타이타늄 실리콘 질화막(TiSiN), 타이타늄 알루미늄 질화막(TiAlN), 탄탈륨 질화막(TaN), 탄탈륨 실리콘 질화막(TaSiN), 탄탈륨 알루미늄 질화막(TaAlN) 및 텅스텐 질화막(WN)으로 이루어진 군에서 선택된 적어도 하나의 금속 질화막으로 형성될 수 있다.

상술한 바와 같이 상기 하부 전극막(217)을 타이타늄 질화막(TiN)과 같은 금속 질화막으로 한정하는 이유는 루테튬막(Ru)과 같은 금속을 사용할 경우 후속 공정에서 유전막 및 상부전극을 형성하는 동안 그레인 성장(Grain Growth) 및/또는 응집(Agglomeration) 등에 기인하는 전극 변형이 생겨서 상기 유전막을 통하여 흐르는 누설전류(Leakage current)가 증가할 수 있기 때문이다. 따라서, 상기 하부전극막은 상대적으로 단단하고(rigid) 후속 공정에서 변형이 적은 금속 질화막으로 형성하는 것이 바람직하다. 이 경우에, 신뢰성 있는 하부전극, 즉 신뢰성 있는 스토리지 노드(Storage Node)를 형성할 수 있다. 상기 하부 전극막(217)은 화학 기상 증착법(CVD) 또는 원자층 증착법(ALD)으로 형성될 수 있다.

상기 하부 전극막(217) 상에 버퍼 절연막(219)을 형성한다. 커패시터를 콘케이브 형으로 형성하는 경우에, 상기 버퍼 절연막(219)은 상기 몰드 절연막에 대하여 식각 선택비를 갖는 막으로 형성될 수 있다.

이와는 달리, 커패시터를 실린더형으로 형성하는 경우에, 상기 버퍼 절연막(219)은 상기 몰드 절연막과 동일한 식각률을 갖는 막으로 형성될 수 있다.

도 3c를 참조하면, 상기 버퍼 절연막(도 3b의 219) 및 상기 하부 전극막(217)을 상기 몰드 절연막(213)의 상부면이 노출될 때까지 화학기계적 연마(Chemical Mechanical Polishing; CMP) 공정 또는 에치백(Etch Back) 공정을 사용하여 평탄화시킨다. 그 결과, 상기 스토리지 노드 홀(215) 내에 고립된 하부 전극(217) 및 버퍼 절연막 패턴(미도시)이 형성된다. 버퍼 절연막 패턴을 선택적으로 제거하여상기 하부 전극(217)의 내벽을 노출시킨다. 이 경우에, 상술한 바와 같이 콘케이브형의 커패시터가 형성될 수 있다. 이와는 달리, 상기 버퍼 절연막 패턴 및 상기 버퍼 절연막 패턴을 동시에 제거하는 경우에, 상술한 실린더형 커패시터가 형성될 수 있다.

도 3d를 참조하면, 상기 하부 전극(217)을 갖는 반도체기판의 전면 상에 유전막(224)을 콘포멀하게(conformably) 형성한다. 상기 유전막(224)은 하부 유전막(219) 및 상부 유전막(223)을 차례로 적층시키어 형성할 수 있다. 상기 하부 유전막(219) 및 상부 유전막(223)은 실리콘 산화막에 비하여 유전 상수가 높은 고유전막들로 형성될 수 있다. 좀 더 구체적으로, 상기 상부 유전막(223)은 상기 하부 유전막(219)에 비하여 높은 유전 상수를 갖는 고유전막으로 형성되는 것이 바람직하다. 이에 더하여, 상기 하부 유전막(219)은 상기 상부 유전막(223)에 비하여 큰 에너지 밴드갭을 갖는 유전막으로 형성하는 것이 바람직하다.

상기 상부 유전막(223) 상에 상부 전극(225)을 형성한다. 상기 상부 전극(225)은 상기 하부전극(217) 보다 큰 일함수(work function)를 갖는 금속막으로 형성할 수 있다. 이에 따라, 상기 하부전극(217) 및 상기 하부 유전막(219) 사이의 에너지 장벽은 물론 상기 상부전극(225) 및 상기 상부 유전막(223) 사이의 에너지 장벽을 종래기술에 비하여 증가시킬 수 있다. 그 결과, 상기 하부전극(217) 및 상기 상부전극(225) 사이의 상기 유전막(224)을 통하여 흐르는 누설전류를 현저히 감소시킬 수 있다. 상기 상부 전극(225)은 Ru막, Pt막 및 Ir막으로 이루어진 군으로부터 선택된 적어도 하나의 귀금속(Noble Metal) 막으로 형성될 수 있다. 일반적으로, 유전 상수가 큰 유전막은 유전 상수가 작은 유전막에 비하여 낮은 에너지 밴드갭을 갖고, 유전 상수가 작은 유전막은 유전 상수가 큰 유전막에 비하여 큰 에너지 밴드갭을 갖는다. 이에 따라, 유전 상수가 큰 유전막을 커패시터의 유전막(224)으로 형성하고자 할 때에는, 상대적으로 일함수가 큰 물질을 전극으로 접촉시킴으로서 누설전류를 억제할 수 있다. 그러므로, 에너지 밴드갭이 상대적으로 큰 저유전막을 상기 하부 전극(217)과 인접하는 하부 유전막(219)으로 채택하고 유전 상수가 상대적으로 큰 고유전막을 상부 전극(225)과 접촉하는 상부 유전막(223)으로 채택하면, 누설전류 특성 및 커패시턴스를 개선시킬 수 있다. 예를 들면, 상기 상부 유전막(223)은 Ta₂O₅막, TiO₂막, 도우프트 TiO₂막 및 STO막으로 이루어진 군에서 선택된 적어도 하나의 막으로 형성할 수 있고, 상기 하부 유전막(219)은 HfO₂막, ZrO₂막, Al₂O₃막 및 La₂O₃막으로 이루어진 군에서 선택된 적어도 하나의 막으로 형성할 수 있다.

한편, 상기 하부 유전막(219)은 산화 분위기(oxidation ambient) 내에서 형성된다. 이에 따라, 상기 하부전극(217)이 타이타늄 질화막(TiN)으로 형성된 경우에, 상기 하부 유전막(219)을 형성하는 동안 상기 하부전극(217) 표면에 타이타늄 모노 옥사이드막(TiO), 타이타늄 옥시나이트라이드(TiON) 및 타이타늄 다이 옥사이드막(TiO₂)이 형성될 수 있다. 특히, 상기 타이타늄 다이 옥사이드막(TiO₂)이 형성되는 경우에, 상기 하부전극(217)의 부피가 현저히 팽창할 수 있다. 그 결과, 상기 하부전극(217)의 표면 모폴로지(morphology)가 저하되어 상기 하부전극(217) 및 상부전극(225) 사이의 누설전류가 증가할 수 있다. 따라서, 상기 하부 유전막(219)을 형성하기 전에, 상기 하부전극(217)의 표면에 균일하고 치밀한 산화막(예를 들면, TiON막)을 형성하여 상기 하부 유전막(219)을 형성하는 동안 상기 하부전극(217)의 불균일한 산화를 억제시키는 것이 바람직하다.

상기 하부전극(217)의 후처리 공정은 플라즈마 산화 공정(plasma oxidation process) 또는 급속 열산화 공정(rapid thermal oxidation process)을 사용하여 실시할 수 있다. 상기 플라즈마 산화 공정을 사용하여 상기 하부전극(217)을 산화시키는 경우에, 상기 하부전극(217)은 국부적으로 산화될 수 있다. 이에 반하여, 상기 급속 열산화 공정을 사용하여 상

기 하부전극(217')을 산화시키는 경우에, 상기 하부전극(217')의 표면에 치밀하고 균일한 산화막이 형성될 수 있다. 따라서, 본 실시예에서, 상기 하부전극(217')의 후처리 공정은 상기 급속 열산화 공정을 사용하여 실시하는 것이 바람직할 수 있다. 상기 급속 열산화 공정은 300 °C 내지 550 °C의 온도 및 0.1 torr 내지 760 torr의 압력 하에서 10초 내지 300초 동안 실시하는 것이 바람직하다.

상기 하부 유전막(219) 및/또는 상부 유전막(223)을 형성한 후에, 열처리 또는 플라즈마 처리를 실시하여 상기 하부 유전막(219) 및/또는 상부 유전막(223)의 유전 특성을 향상시킬 수 있다. 상기 열처리는 O₃, O₂ 및 N₂O 가스들 중에서 선택된 적어도 하나의 가스 또는 둘 이상의 혼합 가스를 사용하여 실시할 수 있다. 이 경우에, 상기 열처리는 150 내지 500°C의 온도에서 1 내지 20 분 동안 실시될 수 있다. 상기 플라즈마 처리는 O₂ 및 N₂O 가스들 중 선택된 적어도 하나의 가스 또는 두 가지의 혼합 가스를 사용하여 실시할 수 있다. 이 경우에, 상기 플라즈마 처리는 상온에서 50 내지 800 W의 전력을 사용하여 1 내지 20분 동안 실시될 수 있다.

한편, 상기 상부 유전막(223)을 형성하기 전에, 상기 하부 유전막(219) 상에 중간 유전막(221)을 추가로 형성할 수 있다. 보다 구체적으로, 상기 하부 유전막(219) 및 상기 상부 유전막(223)을 결정질 또는 비정질 유전막으로 형성할 수 있고, 상기 중간 유전막(221)을 결정질 또는 비정질 유전막으로 형성할 수 있다. 즉, 상기 하부 유전막(219)은 결정질 또는 비정질 구조의 HfO₂막, ZrO₂막, Al₂O₃막 및 La₂O₃막으로 이루어진 군에서 선택된 적어도 하나의 막으로 형성될 수 있고, 상기 중간 유전막(221)은 결정질 또는 비정질 구조의 HfO₂막, ZrO₂막, Al₂O₃막, La₂O₃막, Ta₂O₅막, TiO₂막, 도우프트 TiO₂막 및 STO막으로 이루어진 군에서 선택된 적어도 하나의 막으로 형성될 수 있다. 또한, 상기 상부 유전막(223)은 결정질 또는 비정질 구조의 Ta₂O₅막, TiO₂막, 도우프트 TiO₂막 및 STO막으로 이루어진 군에서 선택된 적어도 하나의 막으로 형성될 수 있다. 이와 같이, 상기 중간 유전막(221)을 결정질 또는 비정질 구조의 유전막으로 형성함으로써, 상기 유전막(224)의 브레이크 다운 전압 특성을 개선할 수 있다. 예를 들어, 상기 하부 유전막(219) 및 상기 상부 유전막(223)을 결정질 구조의 유전막으로 형성할 경우, 상기 하부 유전막(219) 및 상부 유전막(223)의 내압(breakdown voltage)은 개선되거나 이들의 누설 전류 특성(leakage current characteristic)은 저하될 수 있다. 이에 따라, 비정질 구조의 유전막인 상기 중간 유전막(221)을 상기 하부 유전막(219) 및 상기 상부 유전막(223) 사이에 형성함으로써, 누설 전류 특성 및 브레이크다운 전압 특성 등의 전기적 특성들이 우수한 커패시터를 제공할 수 있다.

상기 하부 유전막(219)을 원자층 증착법(ALD)을 사용하여 하프늄 산화막으로 형성할 경우, 증착소스로서 TEMAH(tetra-ethyl-methyl amino hafnium)를 공급한다. 이에 더하여, 상기 하프늄 산화막을 형성하기 위해 산화기체로서 H₂O 또는 O₃를 공급할 수 있다. 이와 같이 산화기체로서 H₂O 또는 O₃를 공급하는 경우 반응성이 우수해 불순물이 적으며 결정질 구조를 갖는 하프늄 산화막을 형성할 수 있다. 이어서, 상기 중간 유전막(221)은 산화기체 공급/퍼지/산화기체 공급/퍼지로 이루어지는 일련의 과정을 반복적으로 실시하는 원자층 증착법으로 형성할 수 있다. 이때, 증착소스로서 TEMAH를 공급하고, 산화기체로서 O₂를 공급할 수 있다. 이와 같이 산화기체로서 O₂를 공급하는 경우는 H₂O 또는 O₃를 공급하는 경우 보다 상대적으로 반응성이 저하되어 탄소 등의 불순물이 많으며 비정질 구조를 갖는 하프늄 산화막을 형성할 수 있다.

상부 유전막(221)으로서 탄탈륨 옥사이드(Ta₂O₅) 또는 티타늄 옥사이드(TiO₂)를 각각 O₂ 또는 O₃ 등의 산화기체를 이용하여 형성한다. 한편, 상기 하부 또는 상부 유전막들(219, 223)은 결정질 구조가 아닌 비정질 구조를 갖도록 형성할 수도 있다.

상기 하부 유전막(219)을 하프늄 산화막(HfO₂)으로 형성하는 경우에, 상기 하프늄 산화막(HfO₂)은 화학기상증착(CVD) 기술 또는 원자층증착(ALD) 기술을 사용하여 형성할 수 있다. 그러나, 상기 하프늄 산화막(HfO₂)은 단차 도포성(step coverage) 및 두께 조절(thickness control)을 고려할 때 상기 화학기상증착 기술 보다는 오히려 상기 원자층증착 기술을 사용하여 형성하는 것이 바람직할 수 있다. 상기 하프늄 산화막을 원자층증착 기술을 사용하여 형성하는 경우에, 상기 하프늄 산화막은 소스 물질들로서 TEMAH 및 오존(O₃)을 사용하여 20 내지 40Å의 두께로 형성할 수 있다. 더욱 바람직하게는, 상기 하프늄 산화막은 25 내지 35Å의 두께로 형성할 수 있다.

상기 유전막(224)을 상기 하부 유전막(219) 및 상부 유전막(223)의 이중 유전막으로 형성할 때, 상기 하부 유전막(219)의 두께 및 상부 유전막(223)의 두께에 따라 상기 이중 유전막의 누설전류 특성이 크게 변할 수 있다. 본 실시예에서, 상기 하부 유전막(219) 및 상부 유전막(223)을 각각 30Å의 두께를 갖는 하프늄 산화막(HfO₂) 및 30Å의 두께를 갖는 타이타늄 산화막(TiO₂)으로 형성하는 경우에, 상기 유전막(224)은 원하는 셀 용량(desired cell capacitance)은 물론 우수한 누설 전류 특성(excellent leakage current characteristic)을 얻을 수 있다.

상기 하부 유전막(219)을 하프늄 산화막으로 형성하는 경우에, 하부 유전막(219) 내에 함유된 불순물들을 제거하기 위하여 상기 하부 유전막(219)에 암모니아 플라즈마 처리 공정을 적용할 수 있다. 본 발명의 실시예에서, 상기 암모니아 플라

즈마 처리 공정은 400℃ 보다 낮은 온도 및 약 2 torr의 압력 하에서 250 내지 350 와트의 플라즈마 전력을 사용하여 실시될 수 있다. 이 경우에, 하부 유전막(219) 상에 공급되는 공정 가스들로는 암모니아 가스 및 질소 가스가 사용될 수 있고, 상기 암모니아 가스 및 질소 가스는 각각 300 sccm (standard cubic centimeter per minute)의 유량(flow rate) 및 3000 sccm의 유량으로 공급될 수 있다.

상기 상부 유전막(223)을 타이타늄 산화막으로 형성하는 경우에, 상기 타이타늄 산화막 역시 단차 도포성 및 두께 조절을 고려하여 원자층증착 기술을 사용하여 형성하는 것이 바람직하다. 상기 타이타늄 산화막(TiO₂)의 증착공정은 타이타늄 소스 가스 및 산화 가스를 사용하여 실시할 수 있다. 상기 타이타늄 소스 가스로는 TiCl₄ 또는 TTIP가 주로 사용될 있고, 상기 산화 가스로는 O₃ 가스가 사용될 수 있다. 또한, 상기 타이타늄 산화막은 가능한 저온에서 형성하여야 한다. 예를 들면, 상기 타이타늄 산화막이 350 °C 보다 높은 온도에서 증착되는 경우 상기 하부전극(TiN)이 산화되어 커패시터의 누설 전류를 증가시킬 수 있다. 따라서, 본 발명의 실시예에서, 상기 타이타늄 산화막은 250 내지 300 °C의 저온에서 형성되는 것이 바람직하다. 한편, 상기 타이타늄 산화막(TiO₂)이 30Å보다 큰 두께를 갖도록 형성되면, 상기 타이타늄 산화막은 결정질로 변화되어 누설전류 특성을 저하시킬 수 있다. 따라서, 상기 타이타늄 산화막은 10 내지 30Å의 두께로 형성하는 것이 바람직하다.

상기 상부전극(225)을 루테튬막 (Ru)으로 형성하는 경우에, 루테튬 소스로서 Ru(EtCp)₂를 사용할 수 있고 반응 가스로서 O₂ 가스를 사용할 수 있다. 상기 루테튬막 역시 상기 하부전극(TiN)의 추가 산화를 억제시키기 위하여 300 °C 이하의 저온에서 형성하는 것이 바람직하다. 상기 루테튬 소스로서 Ru(EtCp)₂이외의 다른 소스, 예를 들면 Ru(OD)₃ 또는 Ru(nbd)(iHD)₂과 같은 beta-dicatonate 계열의 소스를 사용할 경우에는 300℃보다 높은 공정온도가 요구되므로 커패시터의 누설전류가 증가될 수 있다.

한편, 상기 상부 유전막(223)은 상술한 바와 같이 탄탈륨 산화막(Ta₂O₅)으로 형성할 수 있다. 상기 탄탈륨 산화막 역시 화학기상증착 기술 또는 원자층증착 기술을 사용하여 형성할 수 있다. 상기 탄탈륨 산화막은 Ta(OEt)₅ 및 O₂ 가스 각각 소스 및 산화 가스로 사용하여 400~450 °C의 온도에서 형성할 수 있다. 이 경우에, 상기 탄탈륨 산화막은 20 내지 60Å의 두께로 형성하는 것이 바람직하다. 더욱 바람직하게는, 상기 탄탈륨 산화막은 20 내지 50Å의 두께로 형성할 수 있다.

상술한 바와 같이 본 발명의 일 실시예에 의하면, 콘케이브 구조 또는 실린더 구조를 갖는 엠아이엠 커패시터가 형성된다. 그러나, 본 발명은 상술한 실시예들에 한정되지 않고 다양한 형태들(various configurations)을 갖는 커패시터의 제조에도 적용될 수 있다. 예를 들면, 상기 실시예들은 평판형의 스택 구조(planar type stack structure)를 갖는 엠아이엠 커패시터들의 제조에도 적용될 수 있다.

<실험예들; examples>

이하에서는, 본 발명의 실시예들에 따라 제작된 엠아이엠 커패시터들의 누설전류 특성들을 설명하기로 한다.

도 4a는 본 발명의 실시예들에 따라 제작된 엠아이엠 커패시터들의 누설전류 및 등가산화막 두께 사이의 관계 (relationship)를 보여주는 그래프이고, 도 4b는 본 발명의 실시예들에 따라 제작된 엠아이엠 커패시터들의 누설전류 및 인가전압 사이의 관계를 보여주는 그래프이다. 도 4a에 있어서, 가로축은 하부 전극 및 상부 전극 사이에 개재된 고유전막의 등가산화막 두께(T_{oxeq})를 나타내고, 세로축은 상기 고유전막을 통하여 흐르는 누설전류 밀도(IL)를 나타낸다. 또한, 도 4b에 있어서, 가로축은 상기 하부전극 및 상부전극 사이에 인가되는 전압(V_a)을 나타내고, 세로축은 상기 고유전막을 통하여 흐르는 누설전류 밀도(IL)를 나타낸다.

도 4a 및 도 4b의 측정결과들을 보여주는 엠아이엠 커패시터들은 평판형의 구조를 갖도록 형성되었다. 상기 엠아이엠 커패시터들의 하부전극들은 타이타늄 질화막으로 형성하였고, 상기 엠아이엠 커패시터들의 유전막들은 상기 하부전극 상에 하프늄 산화막 및 타이타늄 산화막을 차례로 적층시키어 형성하였다. 즉, 상기 하프늄 산화막은 하부 유전막으로 채택되었고 상기 타이타늄 산화막은 상부 유전막으로 채택되었다. 또한, 상기 엠아이엠 커패시터들의 상부전극들은 상기 타이타늄 산화막 상에 루테튬막을 적층시키어 형성하였다. 상기 하부전극들은 상기 하프늄 산화막을 형성하기 전에 급속 열산화 공정을 사용하여 균일하게 산화되었다. 상기 급속 열산화 공정은 500℃의 온도에서 1분 동안 진행하였다. 또한, 상기 급속 열산화 공정은 760 torr의 압력 하에서 산소 가스를 분위기 가스로 사용하여 실시되었다. 상기 하프늄 산화막은 300℃의 온도에서 원자층증착 공정을 사용하여 형성하였고, 상기 하프늄 산화막을 형성하기 위한 상기 원자층증착 공정은 TEMAH 및 오존(O₃) 가스를 각각 소스 가스 및 산화 가스로 사용하여 실시되었다. 이에 더하여, 상기 타이타늄 산화막 역시 300℃의 온도에서 원자층증착 공정을 사용하여 형성하였고, 상기 타이타늄 산화막을 형성하기 위한 상기 원자층증착

공정은 $TiCl_4$ 가스 및 오존(O_3) 가스를 각각 소스 가스 및 산화 가스로 사용하여 실시되었다. 상기 루테튬막은 $300^\circ C$ 의 온도에서 화학기상증착 공정을 사용하여 형성하였고, 상기 루테튬막을 형성하기 위한 상기 화학기상증착 공정은 $Ru(EtCp)_2$ 가스 및 산소(O_2) 가스를 각각 소스 가스 및 반응 가스로 사용하여 실시되었다.

한편, 도 4a의 누설전류 밀도(IL)는 상기 하부전극 및 상부전극 사이에 0.9볼트의 전압이 인가되었을 때 상기 고유전막을 통하여 흐르는 전류 밀도이었다. 또한, 도 4b의 측정결과들을 보여주는 엠아이엠 커패시터의 하프늄 산화막 및 타이타늄 산화막은 모두 30\AA 의 두께를 갖도록 형성되었다.

도 4a 및 도 4b를 참조하면, 본 발명의 실시예들에 따라 제작된 엠아이엠 커패시터들은 약 9\AA 의 얇은 등가산화막 두께에서도 약 $1 \times 10^{-7} \text{ A/cm}^2$ 의 안정한 누설전류 밀도를 보였다. 즉, 본 발명에 따른 엠아이엠 커패시터들은 도 2에 보여진 종래의 엠아이엠 커패시터들에 비하여 현저히 개선된 누설전류 특성을 보였다.

도 5a는 본 발명의 다른 실시예들에 따라 제작된 엠아이엠 커패시터들의 누설전류 및 등가산화막 두께 사이의 관계 (relationship)를 보여주는 그래프이고, 도 5b는 본 발명의 다른 실시예들에 따라 제작된 엠아이엠 커패시터들의 누설전류 및 인가전압 사이의 관계를 보여주는 그래프이다. 도 5a에 있어서, 가로축은 하부 전극 및 상부 전극 사이에 개재된 고유전막의 등가산화막 두께($Toxeq$)를 나타내고, 세로축은 상기 고유전막을 통하여 흐르는 누설전류 밀도(IL)를 나타낸다. 또한, 도 5b에 있어서, 가로축은 상기 하부전극 및 상부전극 사이에 인가되는 전압(V_a)을 나타내고, 세로축은 상기 고유전막을 통하여 흐르는 누설전류 밀도(IL)를 나타낸다.

도 5a 및 도 5b의 측정결과들을 보여주는 엠아이엠 커패시터들은 상부 유전막을 형성하는 방법만에 있어서 도 4a 및 도 4b의 측정결과들을 보여주는 엠아이엠 커패시터들과 다르다. 즉, 도 5a 및 도 5b의 누설전류 특성을 보여주는 엠아이엠 커패시터들은 타이타늄 산화막 대신에 탄탈륨 산화막을 상부 유전막으로 채택하였다. 상기 탄탈륨 산화막은 $430^\circ C$ 의 온도에서 화학기상증착 공정을 사용하여 형성하였고, 상기 탄탈륨 산화막을 형성하기 위한 상기 화학기상증착 공정은 $Ta(Oet)_5$ 가스 및 산소(O_2) 가스를 각각 소스 가스 및 산화 가스로 사용하여 실시되었다.

도 5a의 누설전류 밀도(IL) 역시 상기 하부전극 및 상부전극 사이에 0.9볼트의 전압이 인가되었을 때 상기 고유전막을 통하여 흐르는 전류 밀도이었고, 도 5b의 측정결과들을 보여주는 엠아이엠 커패시터의 하프늄 산화막 및 탄탈륨 산화막은 각각 35\AA 의 두께 및 30\AA 의 두께를 갖도록 형성되었다.

도 5a 및 도 5b를 참조하면, 본 발명의 다른 실시예들에 따라 제작된 엠아이엠 커패시터들은 약 11\AA 의 얇은 등가산화막 두께에서도 약 $1 \times 10^{-7} \text{ A/cm}^2$ 의 안정한 누설전류 밀도를 보였다.

도 6은 도 5a 및 도 5b의 엠아이엠 커패시터들의 하프늄 산화막들의 두께에 따른 누설전류 특성을 보여주는 그래프이다. 이 경우에, 상기 탄탈륨 산화막들은 모두 3.5 nm 의 동일한 두께를 갖도록 형성되었다. 도 6에 있어서, 가로축은 상기 엠아이엠 커패시터들의 상부전극들 및 하부전극들 사이에 인가되는 전압(V_a)을 나타내고, 세로축은 누설전류 밀도(IL)를 나타낸다.

도 6을 참조하면, 0.9볼트의 인가전압(V_a)에서 $1 \times 10^{-7} \text{ A/cm}^2$ 보다 작은 누설전류 밀도와 함께 최대 커패시턴스를 얻기 위해서는 상기 하프늄 산화막 및 탄탈륨 산화막을 각각 30\AA 의 두께 및 35\AA 의 두께로 형성하여야 함을 알 수 있었다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 하부 전극 상에 하부 유전막 및 상부 유전막을 차례로 적층시켜 고유전막을 형성하고 상기 상부 유전막 상에 상부 전극을 형성하는 경우에, 상기 하부 유전막은 상기 상부 유전막에 비하여 큰 에너지 밴드 갭을 갖는 유전막으로 형성하고 상기 상부 전극은 상기 하부전극에 비하여 큰 일 함수를 갖는 금속막으로 형성한다. 이에 따라, 상기 하부전극 및 상기 하부 유전막 사이의 에너지 장벽은 물론 상기 상부 전극 및 상기 상부 유전막 사이의 에너지 장벽을 증가시킬 수 있다. 그 결과, 우수한 누설전류 특성은 물론 충분한 커패시턴스를 갖는 엠아이엠 커패시터를 구현할 수 있다.

도면의 간단한 설명

도 1은 일반적인 실린더형 스토리지 노드 전극의 높이에 따른 셀 정전용량을 보여주는 그래프이다.

도 2는 종래의 엠아이엠 커패시터의 누설전류 특성을 보여주는 그래프이다.

도 3a 내지 도 3d는 본 발명의 실시예들에 따른 엠아이엠 커패시터의 제조방법들을 설명하기 위한 단면도들이다.

도 4a는 본 발명의 일 실시예에 따라 제작된 엠아이엠 커패시터의 유전체막의 두께 및 누설전류 사이의 관계 (relationship)를 보여주는 그래프이다.

도 4b는 본 발명의 일 실시예에 따라 제작된 엠아이엠 커패시터의 전류 대 전압 특성(current versus voltage characteristic)을 보여주는 그래프이다.

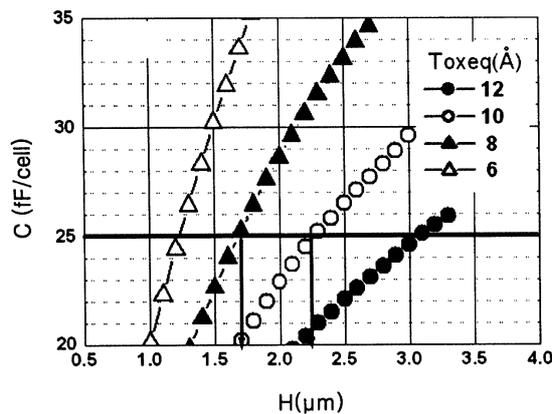
도 5a는 본 발명의 다른 실시예에 따라 제작된 엠아이엠 커패시터의 유전체막의 두께 및 누설전류 사이의 관계를 보여주는 그래프이다.

도 5b는 본 발명의 다른 실시예에 따라 제작된 엠아이엠 커패시터의 전류 대 전압 특성을 보여주는 그래프이다.

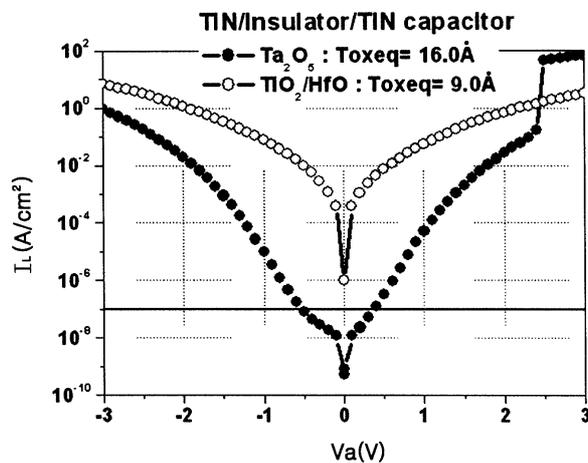
도 6은 본 발명의 다른 실시예에 따라 제작된 여러가지의 엠아이엠 커패시터들의 전류 대 전압 특성을 보여주는 그래프이다.

도면

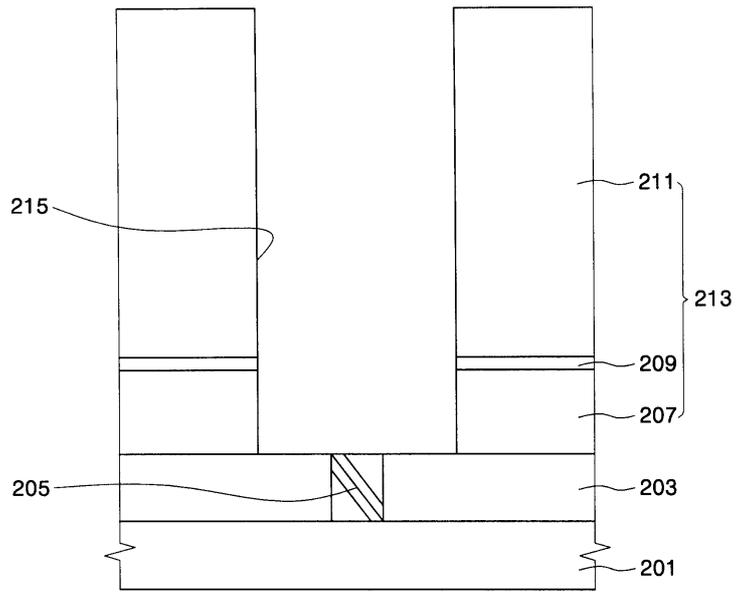
도면1



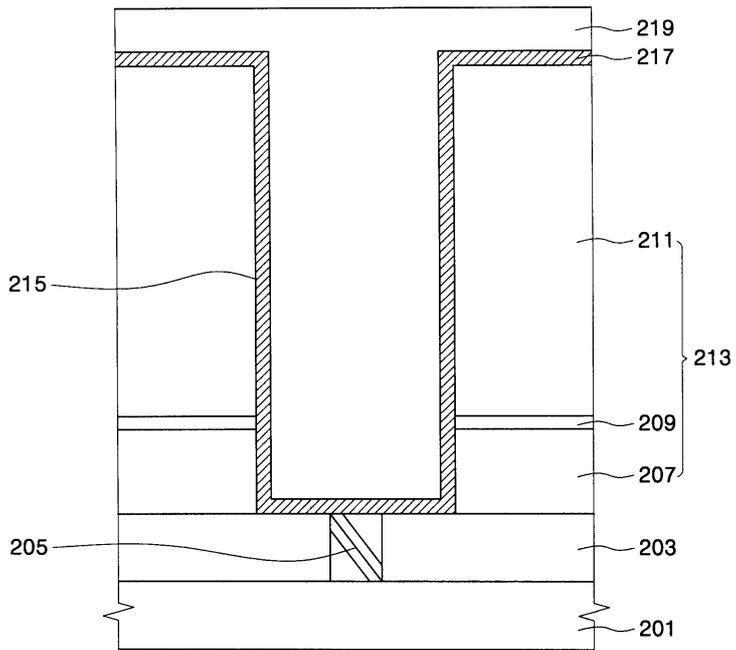
도면2



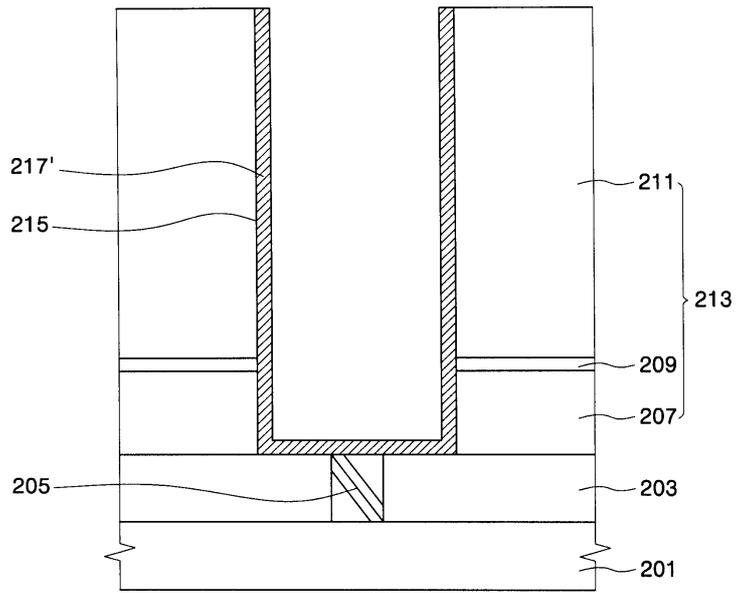
도면3a



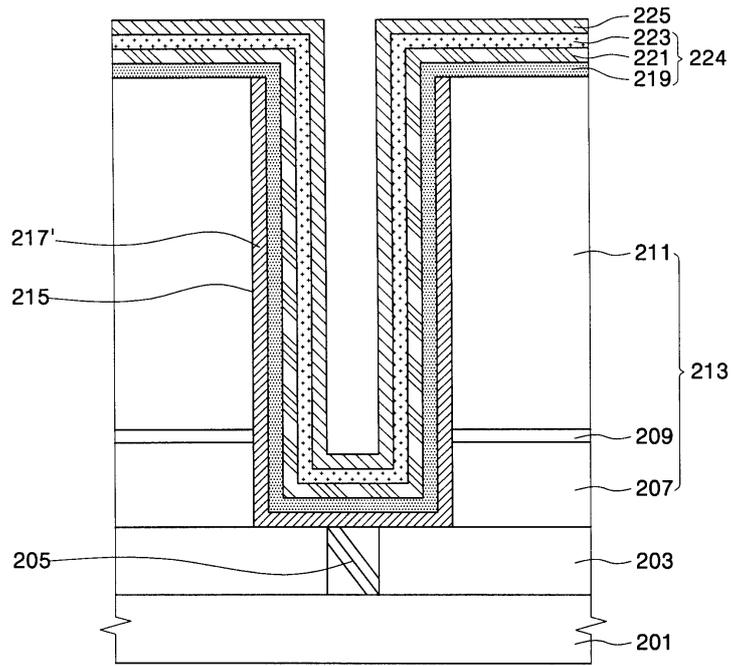
도면3b



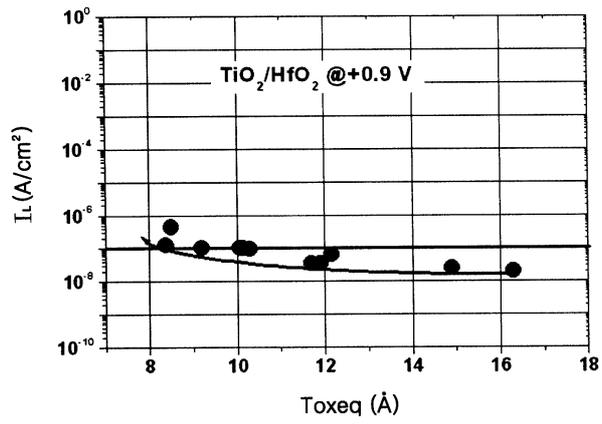
도면3c



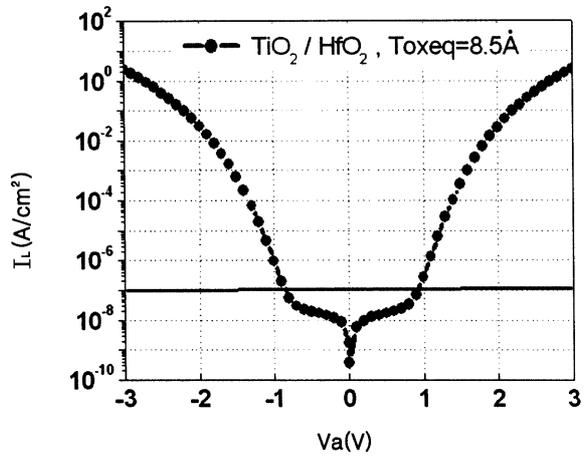
도면3d



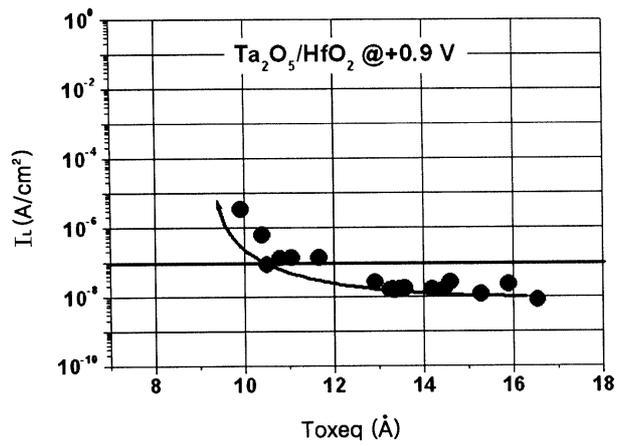
도면4a



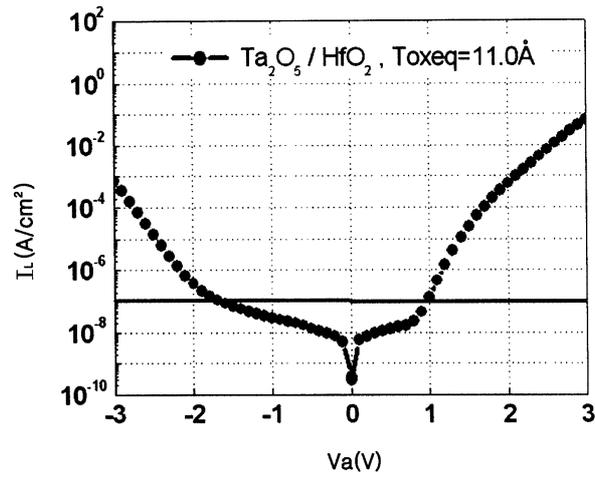
도면4b



도면5a



도면5b



도면6

