



(12) 发明专利申请

(10) 申请公布号 CN 104011851 A

(43) 申请公布日 2014. 08. 27

(21) 申请号 201180075817. X

(51) Int. Cl.

(22) 申请日 2011. 12. 22

H01L 23/12(2006. 01)

H01L 23/48(2006. 01)

(85) PCT国际申请进入国家阶段日
2014. 06. 23

(86) PCT国际申请的申请数据
PCT/US2011/066983 2011. 12. 22

(87) PCT国际申请的公布数据
W02013/095544 EN 2013. 06. 27

(71) 申请人 英特尔公司
地址 美国加利福尼亚州

(72) 发明人 D·马利克 R·S·维斯瓦纳斯
S·斯里尼瓦桑 M·T·博尔
A·W·耶欧 S·阿格拉哈拉姆

(74) 专利代理机构 上海专利商标事务所有限公
司 31100

代理人 何焜

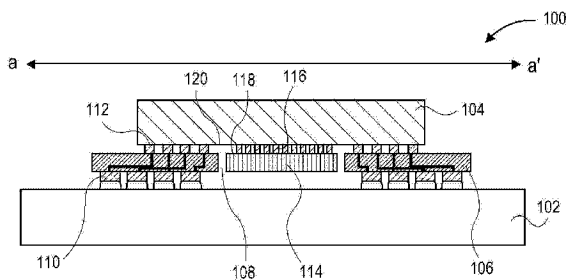
权利要求书3页 说明书10页 附图11页

(54) 发明名称

具有窗口插入器的 3D 集成电路封装

(57) 摘要

描述了具有窗口插入器的 3D 集成电路封装和用于形成这种半导体封装的方法。例如, 半导体封装包括衬底。顶部半导体管芯设置在衬底上。具有窗口的插入器设置在衬底和顶部半导体管芯之间并且互连至衬底和顶部半导体管芯。底部半导体管芯设置在插入器的窗口中并且互连至顶部半导体管芯。在另一示例中, 半导体封装包括衬底。顶部半导体管芯设置在衬底上。插入器设置在衬底和顶部半导体管芯之间并且互连至衬底和顶部半导体管芯。底部半导体管芯设置在与插入器相同的平面中并且互连至顶部半导体管芯。



1. 一种半导体封装,包括:
衬底;
顶部半导体管芯,所述顶部半导体管芯设置在衬底上;
具有窗口的插入器,所述插入器设置在衬底和顶部半导体管芯之间并且互连至衬底和顶部半导体管芯;以及
底部半导体管芯,所述底部半导体管芯设置在插入器的窗口中,并且互连至所述顶部半导体管芯。
2. 如权利要求 1 所述的半导体封装,其特征在于,所述底部半导体管芯不包括硅通孔(TSV) 并且不直接互连至所述衬底。
3. 如权利要求 1 所述的半导体封装,其特征在于,所述底部半导体管芯的有源侧面对所述顶部半导体管芯的有源侧,并且背对所述衬底。
4. 如权利要求 1 所述的半导体封装,其特征在于,所述底部半导体管芯包括硅通孔(TSV) 并且直接互连至所述衬底。
5. 如权利要求 1 所述的半导体封装,其特征在于,所述底部半导体管芯的有源侧背对所述顶部半导体管芯的有源侧,并且面向所述衬底。
6. 如权利要求 1 所述的半导体封装,其特征在于,所述底部半导体管芯设置在所述插入器的闭合的窗口中。
7. 如权利要求 6 所述的半导体封装,其特征在于,所述顶部半导体管芯完全盖过所述底部半导体管芯。
8. 如权利要求 6 所述的半导体封装,其特征在于,进一步包括一个或多个附加的底部半导体管芯,所述一个或多个附加的底部半导体管芯设置在所述插入器的一个或多个附加的闭合的窗口中。
9. 如权利要求 8 所述的半导体封装,其特征在于,所述顶部半导体管芯完全盖过所述底部半导体管芯以及所述一个或多个附加的底部半导体管芯。
10. 如权利要求 1 所述的半导体封装,其特征在于,所述底部半导体管芯设置在所述插入器的打开的窗口中。
11. 如权利要求 10 所述的半导体封装,其特征在于,所述顶部半导体管芯仅部分地盖过所述底部半导体管芯。
12. 如权利要求 1 所述的半导体封装,其特征在于,进一步包括一个或多个附加的顶部半导体管芯,所述一个或多个附加的顶部半导体管芯在与所述顶部半导体管芯相同的平面中设置在所述衬底上并且互连至所述插入器。
13. 如权利要求 12 所述的半导体封装,其特征在于,所述顶部半导体管芯完全盖过所述底部半导体管芯。
14. 如权利要求 1 所述的半导体封装,其特征在于,所述插入器包括两个或多个分立单元,并且其中所述底部半导体管芯设置在所述插入器的两个或多个分立单元的闭合的窗口中。
15. 如权利要求 14 所述的半导体封装,其特征在于,所述顶部半导体管芯完全盖过所述底部半导体管芯。
16. 一种半导体封装,包括:

衬底；

顶部半导体管芯,所述顶部半导体管芯设置在衬底上；

插入器,所述插入器设置在衬底和顶部半导体管芯之间并且互连至衬底和顶部半导体管芯；以及

底部半导体管芯,所述底部半导体管芯设置在与插入器相同的平面中,并且互连至所述顶部半导体管芯。

17. 如权利要求 16 所述的半导体封装,其特征在于,所述底部半导体管芯毗邻所述插入器设置,并且不在所述插入器中。

18. 如权利要求 16 所述的半导体封装,其特征在于,所述顶部半导体管芯仅部分地盖过所述底部半导体管芯。

19. 如权利要求 16 所述的半导体封装,其特征在于,所述底部半导体管芯不包括硅通孔 (TSV) 并且不直接互连至所述衬底。

20. 如权利要求 16 所述的半导体封装,其特征在于,所述底部半导体管芯的有源侧面对所述顶部半导体管芯的有源侧,并且背对所述衬底。

21. 如权利要求 16 所述的半导体封装,其特征在于,所述底部半导体管芯包括硅通孔 (TSV) 并且直接互连至所述衬底。

22. 如权利要求 16 所述的半导体封装,其特征在于,所述底部半导体管芯的有源侧背对所述顶部半导体管芯的有源侧,并且面向所述衬底。

23. 一种半导体管芯对,包括：

顶部半导体管芯；

插入器,所述插入器设置在顶部半导体管芯下并且互连至顶部半导体管芯；以及

底部半导体管芯,所述底部半导体管芯设置在与插入器相同的平面中,并且互连至所述顶部半导体管芯。

24. 如权利要求 23 所述的半导体管芯对,其特征在于,所述底部半导体管芯设置在所述插入器的闭合的窗口中。

25. 如权利要求 24 所述的半导体管芯对,其特征在于,进一步包括一个或多个附加的底部半导体管芯,所述一个或多个附加的底部半导体管芯设置在所述插入器的一个或多个附加的闭合的窗口中。

26. 如权利要求 23 所述的半导体管芯对,其特征在于,所述底部半导体管芯设置在所述插入器的打开的窗口中。

27. 如权利要求 23 所述的半导体管芯对,其特征在于,进一步包括一个或多个附加的顶部半导体管芯,所述一个或多个附加的顶部半导体管芯设置在与所述顶部半导体管芯相同的平面中并且互连至所述插入器。

28. 如权利要求 23 所述的半导体管芯对,其特征在于,所述插入器包括两个或多个分立单元,并且其中所述底部半导体管芯设置在所述插入器的两个或多个分立单元的闭合的窗口中。

29. 如权利要求 23 所述的半导体管芯对,其特征在于,所述底部半导体管芯毗邻所述插入器设置,但不在所述插入器中。

30. 如权利要求 23 所述的半导体管芯对,其特征在于,所述底部半导体管芯不包括硅

通孔 (TSV), 并且其中所述底部半导体管芯的有源侧面对所述顶部半导体管芯的有源侧。

具有窗口插入器的 3D 集成电路封装

技术领域

[0001] 本发明的实施例是在半导体封装领域，并且，具体而言，是具有窗口插入器 (interposer) 的 3D 集成电路封装和用于形成这种半导体封装的方法。

背景技术

[0002] 如今的消费电子产品市场经常要求需要非常复杂的电路的复杂的功能。缩放到越来越小的基本构件块 (例如，晶体管) 已能够随着每个渐进的代在单个管芯上纳入更加复杂的电路。半导体封装用于保护集成电路 (IC) 芯片或管芯，并且还用于为管芯提供到外部电路的电接口。随着对更小的电子设备的日益增长的需求，半导体封装被设计成更加紧凑并且必须支持更大的电路密度。此外，对更高性能设备的需求导致对实现与后续组件处理兼容的薄封装轮廓和低整体翘曲的改进的半导体封装的需求。

[0003] C4 焊球连接已被使用了很多年，以提供半导体器件和衬底之间的倒装芯片互连。倒装芯片或受控的塌陷芯片连接 (C4) 是用于半导体器件 (诸如，集成电路 (IC) 芯片、MEMS 或部件) 的安装的类型，该安装类型使用焊料隆起焊盘代替丝焊。焊料隆起焊盘设置在位于衬底封装的顶侧的 C4 焊盘上。为了将半导体器件安装至衬底，半导体器件被倒装——其有源侧面朝下在安装区域上。焊料隆起焊盘用于将半导体器件直接连接至衬底。然而，该方法受安装区域的尺寸限制并且可能不容易适应堆叠的管芯。

[0004] 另一方面，传统的引线接合方法可能限制可合理地包括在单个半导体封装中的半导体管芯的数量。此外，当试图将大量的半导体管芯封装到半导体封装中时，可能出现一般的结构问题。

[0005] 更新的封装方法 (诸如，硅通孔 (TSV) 和硅插入器) 得到设计者的很多关注来实现高性能的多芯片模块 (MCM) 和系统级封装 (SiP)。然而，在半导体封装的进化中需要附加的改进。

发明内容

[0006] 本发明的实施例包括具有窗口插入器的 3D 集成电路封装和用于形成这样的半导体封装的方法。

[0007] 在实施例中，半导体封装包括衬底。顶部半导体管芯设置在衬底之上。具有窗口的插入器设置在衬底与顶部半导体管芯之间并互连至衬底和顶部半导体管芯。底部半导体管芯设置在插入器的窗口中并互连至顶部半导体管芯。

[0008] 在另一实施例中，半导体封装包括衬底。顶部半导体管芯设置在衬底之上。插入器设置在衬底与顶部半导体管芯之间并互连至衬底和顶部半导体管芯。底部半导体管芯设置在与插入器相同的平面中并互连至顶部半导体管芯。

[0009] 在另一实施例中，半导体管芯对包括顶部半导体管芯。插入器设置在顶部半导体管芯下方并互连至顶部半导体管芯。底部半导体管芯设置在与插入器相同的平面中，并互连至顶部半导体管芯。

附图说明

[0010] 图 1A 示出了根据本发明的实施例的具有窗口插入器的 3D 集成电路封装的平面图。

[0011] 图 1B 示出了根据本发明的实施例的图 1A 的具有窗口插入器的 3D 集成电路封装的截面图。

[0012] 图 2 示出了根据本发明的另一实施例的具有窗口插入器的另一 3D 集成电路封装的截面图。

[0013] 图 3A 和 3B 分别示出了根据发明的实施例的半导体管芯对的平面图和截面图。

[0014] 图 4A 和 4B 分别示出了根据发明的另一实施例的另一半导体管芯对的平面图和截面图。

[0015] 图 5A 和 5B 分别示出了根据发明的另一实施例的另一半导体管芯对的平面图和截面图。

[0016] 图 6A 和 6B 分别示出了根据发明的另一实施例的另一半导体管芯对的平面图和截面图。

[0017] 图 7A 和 7B 分别示出了根据发明的另一实施例的另一半导体管芯对的平面图和截面图。

[0018] 图 8A 和 8B 分别示出了根据发明的另一实施例的另一半导体管芯对的平面图和截面图。

[0019] 图 9 示出了根据本发明的实施例的用于制造具有窗口插入器的 3D 集成电路封装的方法的流程图。

[0020] 图 10 示出了根据本发明的另一实施例的用于制造具有窗口插入器的 3D 集成电路封装的另一方法的流程图。

[0021] 图 11 是根据本发明的实施例的计算机系统的示意图。

[0022] 详细描述

[0023] 描述了具有窗口插入器的 3D 集成电路和用于形成这种半导体封装的方法。在以下描述中,陈述了大量的具体细节,诸如封装体系结构和材料范围,以便提供对本发明的实施例的全面的理解。然而,将对本领域技术人员显而易见的是,没有这些特定细节也可实施本发明的实施例。在其他实例中,没有详细描述诸如集成电路设计布局之类的公知的特征,以便不会不必要地混淆本发明的实施例。此外,将理解,图中所示的多个实施例是示例性表示并且不一定按比例绘制。

[0024] 本文中所描述的一个或多个实施例目的在于引入用于三维 (3D) 集成电路 (IC) 封装的窗口插入器。例如,硅插入器可用于 CPU 和存储器以及其他器件的 3D 堆叠。一个或多个实施例对 10 纳米节点及以上和超越产品尤其有用。一些实施例引入用于高密度互连 (例如,变更路线和扇出) 形成的硅插入器。可以按照与用于半导体 IC 管芯上的互连层的流水线处理的后端相似的方式来处理硅插入器。

[0025] 常规的硅插入器通常占据在有源管芯之下的整层。而且,常规的 3D 堆叠的 IC 通常需要穿过有源管芯中的一个形成的一个或多个硅通孔 (TSV)。穿过有源管芯的 TSV 是昂贵的。而且,在 3D 堆叠的 IC 结构中,常常需要在这种底部有源管芯的背面上的重分布层

(RDL) 来管理 TSV 和管芯到管芯互连 (例如, LMI 焊盘) 的布局。长 RDL 互连线可影响高速 I/O 性能。因此, 本文所描述的一个或多个实施例在有源管芯的任一个中没有 TSV 的情况下实现 3D IC 堆叠。而且, 在实施例中, 包括硅插入器并且有源管芯层中的至少一个与插入器共享相同的垂直平面, 从而节省了 Z 高度。

[0026] 在实施例中, 硅插入器被包括在顶部有源管芯 (T) 之下并且提供在顶部管芯之下的窗口, 使得底部有源管芯 (B) 可直接堆叠在顶部管芯的下面。底部有源管芯和插入器驻留在 3D 层叠结构中的相同垂直水平上。在一个这种实施例中, 可在不需要有源管芯的任一个中的 TSV 的情况下实现两个有源管芯的 3D IC 堆叠。插入器通过中级互连 (MLI) 附连至封装衬底。插入器包括 TSV, 该 TSV 向有源管芯提供封装衬底之间的垂直电路路径。在实施例中, 在底部有源管芯上进一步包括 MLI 隆起焊盘。硅插入器的好处 (诸如, 隆起焊盘间距变换、无源器件集成、ILD 保护等等) 可在本文所描述的新架构中得以保持。在实施例中, 插入器材料为硅。然而, 可替代使用或也可使用玻璃、有机物或陶瓷。

[0027] 本文所描述的和有关一个或多个实施例的特征包括, 但不限于, (a) 以提供在顶部有源管芯之下的窗口以供直接堆叠底部有源管芯到顶部有源管芯的方式被设计并组装硅插入器, (b) 插入器和底部有源管芯驻留在 3D 层叠中的相同垂直水平上, (c) 在不需要有源管芯中的任一个中的 TSV 的情况下实现 3D IC 堆叠, (d) 在底部管芯上的 TSV 是可任选的, 以及 (e) (a)-(d) 的置换和组合。

[0028] 作为本文所覆盖的一般概念的示例, 图 1A 示出了根据本发明的实施例的具有窗口插入器的 3D 集成电路封装的平面图。图 1B 示出了根据本发明的实施例的图 1A 的具有窗口插入器的 3D 集成电路封装的截面图。

[0029] 参照图 1A 和 1B, 半导体封装 100 (或半导体封装的部分) 包括衬底 102。顶部半导体管芯 104 设置在衬底 102 上。具有窗口 108 的插入器 106 设置在衬底 102 和顶部半导体管芯 104 之间并且互连至衬底 102 (例如, 通过中级互连 (MLI) 110) 和顶部半导体管芯 104 (例如, 通过第一级互连 (FLI) 112)。底部半导体管芯 114 设置在插入器 106 的窗口 108 中并且互连至顶部半导体管芯 104 (例如, 通过互连 116)。底部半导体管芯 114 没有硅通孔 (TSV) 并且不直接互连至衬底 102。替代地, 底部半导体管芯 114 的有源侧 118 面对顶部半导体管芯 104 的有源侧 120, 并且远离衬底 102。根据本发明的实施例, 底部半导体管芯 114 设置在插入器 106 的闭合的窗口 108 中, 如图 1A 所示, 其中窗口 106 完全包围底部管芯 114。在实施例中, 如图 1A 中还示出的, 顶部半导体管芯 104 完全盖过底部半导体管芯 114。因此, 在实施例中, 3D 封装未包括有源管芯中的 TSV 并且包含面对面布局的顶部和底部管芯。

[0030] 在实施例中, 窗口插入器 106 由硅组成。然而, 其他实施例包括由诸如, 但不限于, 玻璃、陶瓷、或有机材料之类的材料组成的窗口插入器。在实施例中, 窗口插入器 106 可以或可以不包括有源器件。在实施例中, 窗口插入器 106 具有高密度互连、硅通孔 (TSV) 和鳍片间距微隆起焊盘。

[0031] 在实施例中, 底部有源管芯 114 表示非堆叠的 (单个芯片) 或堆叠的 (多个芯片) 布局。在实施例中, 底部管芯 114 是模拟或存储器器件。在实施例中, 顶部有源管芯 104 表示单个芯片或并排 (例如, 多芯片封装 (MCP)) 布局, 以下关于图 6A 和 6B 更详细地描述并排布局。在实施例中, 顶部有源管芯 104 是全厚度或被减薄 (或包括堆叠的管芯)。在实施

例中,底部管芯 104 是 CPU 或存储器器件。

[0032] 常规的 3D 堆叠的 IC 架构通常需要穿过有源管芯中的至少一个的 TSV。穿过有源管芯的 TSV 是昂贵的,至少部分地由于与产生 TSV 本身相关联的成本。而且,昂贵的管芯区域可被 TSV 加上 TSV 排除区域消耗。因此,本文中的实施例中的至少一些提供用于 3D 封装的无 TSV 的方法。

[0033] 在实施例中,顶部半导体管芯 104 被配置成向底部半导体管芯 114 供电。在实施例中,顶部半导体管芯 104 被配置成促进底部半导体管芯 114 和衬底 102 之间的通信,例如,通过衬底 102 中的布线。在实施例中,底部半导体管芯 104 不具有硅通孔 (TSV)。因此,可通过顶部管芯 104 上的互连线以及插入器 106 间接地实现底部管芯 114 和衬底 102 之间的连接。因此,参照图 1A,对于 3D IC,底部和顶部有源管芯面对面堆叠。然而,将理解,在替代的实施例中,如有关图 2 更详细描述,可通过使用底部管芯上的 TSV 直接连接底部管芯。

[0034] 半导体管芯 104 或 114 中的一个或两个可由半导体衬底形成,诸如单晶硅衬底。还可考虑诸如,但不限于,III-V 族材料和锗或硅锗材料衬底之类的其他材料。半导体管芯 104 或 114 的有源侧(分别是 120 或 118)可以是在其上形成半导体器件的侧。在实施例中,半导体管芯 104 或 114 的有源侧 120 或 118 分别包括多个半导体器件,诸如,但不限于晶体管、电容器和电阻器,该晶体管、电容器和电阻器通过管芯互连结构一起互连到功能电路中从而形成集成电路。如本领域的技术人员将理解的,半导体管芯的器件侧包括具有集成电路和互连的有源部分。根据若干不同实施例,半导体管芯可以是包括但不限于微处理器(单核或多核)、存储器、芯片组、图形设备、专用集成电路之类的任何合适的集成电路器件。

[0035] 堆叠的管芯装置 100 可尤其适合于将存储器管芯与逻辑管芯封装。例如,在实施例中,管芯 104 或 114 中的一个为存储器管芯。另一管芯为逻辑管芯。在本发明的实施例中,存储器管芯为存储器,诸如,但不限于,静态随机存取存储器 (SRAM)、动态存取存储器 (DRAM)、非易失性存储器 (NVM),以及逻辑管芯为逻辑器件,诸如,但不限于,微处理器和数字信号处理器。

[0036] 根据本发明的实施例,管芯互连结构 112 或 116 或插入器 106 到衬底 102 互连结构 110 中的一个或多个由金属隆起焊盘的阵列组成。在一个实施例中,每个金属隆起焊盘由诸如,但不限于,铜、金、或镍之类的金属组成。衬底 102 根据具体应用可以是柔性衬底或刚性衬底。在实施例中,衬底 102 具有多个设置在其中的电迹线。在实施例中,还可形成外部接触层。在一个实施例中,外部接触层包括球栅阵列 (BGA)。在其他实施例中,外部接触层包括诸如,但不限于,平面网格阵列 (LGA) 或引脚的阵列 (PGA) 之类的阵列。在实施例中,使用焊球,并且焊球由导线组成或是无导线的,诸如,金和锡焊料或银和锡焊料的合金。

[0037] 作为本文所覆盖的一般概念的另一实例,图 2 示出了根据本发明的另一实施例的具有窗口插入器的另一 3D 集成电路封装的截面图。

[0038] 参照图 2,半导体封装 200(或半导体封装的部分)包括衬底 202。顶部半导体管芯 204 设置在衬底 202 上。具有窗口 208 的插入器 206 设置在衬底 202 和顶部半导体管芯 204 之间并且互连至衬底 202(例如,通过中级互连 (MLI) 210) 和顶部半导体管芯 204(例如,通过第一级互连 (FLI) 212)。底部半导体管芯 214 设置在插入器 206 的窗口 208 中并且互连至顶部半导体管芯 204(例如,通过互连 216)。底部半导体管芯 214 具有硅通孔 (TSV) 250

并且例如,通过互连 252 直接互连至衬底 202。同样,底部半导体管芯 214 的有源侧 218 背对顶部半导体管芯 204 的有源侧 220,并且朝向衬底 202。根据本发明的实施例,底部半导体管芯 214 设置在插入器 206 的闭合的窗口 208 中,其中窗口 206 完全包围底部管芯 214。在实施例中,顶部半导体管芯 204 完全盖过底部半导体管芯 214。因此,在实施例中,3D 封装包括具有 TSV 和 MLI 并且相对于顶部管芯面朝背朝向的底部管芯。经封装的管芯和封装 200 的材料的特性和配置可以是与以上针对封装 100 所描述的相同或相似。

[0039] 总的来说,在实施例中,再次参照图 1A、1B 和 2,3D 堆叠的 IC 封装中包括窗口一插入器。插入器提供在顶部有源管芯下的窗口以供顶部和底部有源管芯的 3D 封装。图 3A/3B、4A/B、5A/B、6A/B、7A/B 和 8A/B 示出了具有窗口插入器的堆叠的 IC 顶部和底部管芯对的多个实施例。如关于图 9 更详细描述,这些对最终可封装在衬底上。

[0040] 在第一示例中,包括具有单个闭合的窗口(例如,完全包围的窗口)的插入器。图 3A 和 3B 分别示出了根据发明的实施例的半导体管芯对的平面图和截面图。

[0041] 参照图 3A 和 3B,半导体管芯对 300 包括顶部半导体管芯 304。插入器 306 设置在顶部半导体管芯 304 之下并且互连至顶部半导体管芯 304(例如,通过第一级互连 (FLI) 312)。底部半导体管芯 314 设置在与插入器 306 相同的平面中并且互连至顶部半导体管芯 304(例如,通过互连 316)。底部半导体管芯 314 设置在插入器 306 的闭合的窗口 308 中。在实施例中,如图 3A 所示,顶部半导体管芯 304 完全盖过底部半导体管芯 314。管芯和管芯对 300 的材料的特性和配置可以是与以上针对封装 100 或 200 的管芯对所描述的相同或相似。

[0042] 在第二示例中,包括具有多个闭合的窗口(例如,完全包围的窗口)的插入器。图 4A 和 4B 分别示出了根据发明的另一实施例的另一半导体管芯对的平面图和截面图。

[0043] 参照图 4A 和 4B,半导体管芯对 400 包括顶部半导体管芯 404。插入器 406 设置在顶部半导体管芯 404 之下并且互连至顶部半导体管芯 404(例如,通过第一级互连 (FLI) 412)。四个底部半导体管芯 414、460、462 和 464 设置在与插入器 406 相同的平面中并且互连至顶部半导体管芯 404(例如,通过互连 416)。底部半导体管芯 414、460、462 和 464 每个设置在插入器 406 的各自的闭合的窗口(408、470、472 和 474)中。在实施例中,如图 4A 所示,顶部半导体管芯 404 完全盖过底部半导体管芯 414、460、462 和 464。管芯和管芯对 400 的材料的特性和配置可以是与以上针对封装 100 或 200 的管芯对所描述的相同或相似。

[0044] 在第三示例中,包括具有多个打开的窗口(例如,仅部分包围的窗口)的插入器。图 5A 和 5B 分别示出了根据发明的另一实施例的另一半导体管芯对的平面图和截面图。

[0045] 参照图 5A 和 5B,半导体管芯对 500 包括顶部半导体管芯 504。插入器 506 设置在顶部半导体管芯 504 之下并且互连至顶部半导体管芯 504(例如,通过第一级互连 (FLI) 512)。底部半导体管芯 514 设置在与插入器 506 相同的平面中,并且互连至顶部半导体管芯 504(例如,通过互连 516)。底部半导体管芯 514 设置在插入器 506 的打开的窗口 508 中。在实施例中,如图 5A 所示,顶部半导体管芯 504 仅部分地盖过底部半导体管芯 514。在实施例中(未示出),底部管芯比顶部管芯大。管芯和管芯对 500 的材料的特性和配置可以是与以上针对封装 100 或 200 的管芯对所描述的相同或相似。

[0046] 在第四示例中,多个顶部管芯成对地包括在具有窗口插入器的对中。图 6A 和 6B 分别示出了根据发明的另一实施例的另一半导体管芯对的平面图和截面图。

[0047] 参照图 6A 和 6B, 半导体管芯对 600 包括顶部半导体管芯 604。插入器 606 设置在顶部半导体管芯 604 之下并且互连至顶部半导体管芯 604 (例如, 通过第一级互连 (FLI) 612)。底部半导体管芯 614 设置在与插入器 606 相同的平面中, 并且互连至顶部半导体管芯 604 (例如, 通过互连 616)。底部半导体管芯 614 设置在插入器 606 的闭合的窗口 606 中。包括一个或多个附加的顶部半导体管芯 680, 并且一个或多个附加的顶部半导体管芯 680 设置在与顶部半导体管芯 604 相同的平面中, 并且互连至插入器 (例如, 通过第一级互连 (FLI) 613)。在实施例中, 如图 6A 所示, 顶部半导体管芯 604 完全盖过底部半导体管芯 614。管芯和管芯对 600 的材料的特性和配置可以是与以上针对封装 100 或 200 的管芯对所描述的同或相似。

[0048] 在第五示例中, 包括具有闭合的窗口 (例如, 完全包围的窗口) 的多部件插入器。图 7A 和 7B 分别示出了根据发明的另一实施例的另一半导体管芯对的平面图和截面图。

[0049] 参照图 7A 和 7B, 半导体管芯对 700 包括顶部半导体管芯 704。插入器 706 设置在顶部半导体管芯 704 之下并且互连至顶部半导体管芯 704 (例如, 通过第一级互连 (FLI) 712)。插入器 706 由两个或多个分立单元 (在这种情况下, 四个分立单元 706A、706B、706C 和 707D) 组成。底部半导体管芯 714 设置在与插入器 706 相同的平面中, 并且互连至顶部半导体管芯 704 (例如, 通过互连 716)。底部半导体管芯 714 设置在插入器 706 的闭合的窗口 708 中。具体而言, 底部半导体管芯 714 设置在插入器 706 的两个或多个分立单元 (在这种情况下, 四个分立单元 706A、706B、706C 和 707D) 的闭合的窗口 708 中。在实施例中, 如图 7A 所示, 顶部半导体管芯 704 完全盖过底部半导体管芯 714。管芯和管芯对 700 的材料的特性和配置可以是与以上针对封装 100 或 200 的管芯对所描述的同或相似。

[0050] 在第六示例中, 在与插入器相同的平面中并排地包括底部管芯。图 8A 和 8B 分别示出了根据发明的另一实施例的另一半导体管芯对的平面图和截面图。

[0051] 参照图 8A 和 8B, 半导体管芯对 800 包括顶部半导体管芯 804。插入器 806 设置在顶部半导体管芯 804 之下并且互连至顶部半导体管芯 804 (例如, 通过第一级互连 (FLI) 812)。底部半导体管芯 814 设置在与插入器 806 相同的平面中, 并且互连至顶部半导体管芯 804 (例如, 通过互连 816)。底部半导体管芯 814 毗邻插入器 806 设置, 但不在插入器 806 中。在实施例中, 如图 8A 和 8B 所示, 顶部半导体管芯 804 仅部分地盖过底部半导体管芯 814。管芯和管芯对 800 的材料的特性和配置可以是与以上针对封装 100 或 200 的管芯对所描述的同或相似。

[0052] 再次参照图 3A/3B、4A/B、5A/B、6A/B、7A/B 和 8A/B, 在实施例中, 每个对的各自的底部半导体管芯不具有硅通孔 (TSV)。在实施例中, 底部半导体管芯的有源侧面对顶部半导体管芯的有源侧。在另一实施例中, 每个对的各自的底部半导体管芯具有硅通孔 (TSV)。在实施例中, 底部半导体管芯的有源侧背对顶部半导体管芯的有源侧。将理解, 还可考虑关于图 3A/3B、4A/B、5A/B、6A/B、7A/B 和 8A/B 描述的管芯对的多个排列和组合。例如, 在实施例中, 可制造管芯对 400 和 500、或 400 和 600、或 400、500 和 600、或 800 和 400 的特征的组合、或其他此类组合。

[0053] 在另一方面, 本文中提供一种用于制造具有窗口插入器的 3D 集成电路封装的方法。在第一示例中, 图 9 示出了根据本发明的实施例的用于制造具有窗口插入器的 3D 集成电路封装的方法的流程图 900。

[0054] 参照图 9 的过程流程 900, 流程的顶部管芯 902 部分包括提供以胶带 (tape) 和卷轴 (reel) 格式 910 的顶部管芯。流程的底部管芯 904 部分包括提供以在胶带和卷轴格式 912 的底部管芯。热压缩结合 (TCB) 然后用于在顶部管芯 914 上堆叠底部管芯。流程的窗口插入器 906 部分可包括提供具有窗口、并且可能具有 TSV、中级互连 (MLI) 隆起焊盘和第一级互连 (FLI) 焊盘的插入器。在 916 中, 使具有 TSV 和重分布层 (RDL) 的插入器 (诸如, 硅插入器) 从处理的晶片分离并且安装在切割胶带上。激光器和 / 或水射流切割可用于提供窗口。在 918 中, 来自 914 的层叠 (例如, 通过 TCB) 与插入器接合。流程的封装衬底 908 部分包括提供例如, 在如 920 中的托盘上的封装衬底。在 922 中, 插入器窗口上的中级互连 (MLI) 的 CAM 和 / 或铜底部填充 (CUF) 用于将管芯对与封装衬底上的窗口插入器耦合。因此, 再次参照过程流程 900, 首先通过底部管芯、顶部管芯和窗口插入器的 3D 堆叠首先形成 FLI, 然后 MLI 用于将对附连至封装衬底。将理解, 底部管芯可能或可能不具有 MLI 隆起焊盘。此外, 窗口插入器可由多个零件组成。而且, 对中可包括附加的管芯。

[0055] 因此, 包括插入器的管芯对可制造作为封装过程的一部分。如关于图 9 所描述的, 然后可将多种包括插入器的多个管芯对中的任一种耦合至封装衬底。因此, 在实施例中, 半导体封装包括衬底。顶部半导体管芯设置在衬底上。具有窗口的插入器设置在衬底和顶部半导体管芯之间并且互连至衬底和顶部半导体管芯。底部半导体管芯设置在插入器的窗口中并且互连至顶部半导体管芯。

[0056] 在一个此类实施例中, 如关于图 3A 所描述的, 底部半导体管芯设置在插入器的闭合的窗口中。在具体此类实施例中, 如也关于图 3A 和 3B 所描述的, 顶部半导体管芯完全盖过底部半导体管芯。

[0057] 在另一此类实施例中, 包括一个或多个附加的底部半导体管芯。如关于图 4A 和 4B 所描述的, 一个或多个附加的底部半导体管芯设置在插入器的一个或多个附加的闭合的窗口中。在具体此类实施例中, 如也关于图 4A 和 4B 所描述的, 顶部半导体管芯完全盖过底部半导体管芯以及一个或多个附加的底部半导体管芯。

[0058] 在另一此类实施例中, 如关于图 5A 和 5B 所描述的, 底部半导体管芯设置在插入器的打开的窗口中。在具体此类实施例中, 如也关于图 5A 和 5B 所描述的, 顶部半导体管芯仅部分地盖过底部半导体管芯。

[0059] 在另一此类实施例中, 包括一个或多个附加的顶部半导体管芯。如关于图 6A 和 6B 所描述的, 一个或多个附加的顶部半导体管芯在与顶部半导体管芯相同的平面中设置在衬底上并且互连至插入器。在具体此类实施例中, 如也关于图 6A 和 6B 所描述的, 顶部半导体管芯完全盖过底部半导体管芯。

[0060] 在另一此类实施例中, 插入器由两个或多个分离单元组成。如关于图 7A 和 7B 所描述的, 底部半导体管芯设置在插入器的两个或多个分立单元的闭合的窗口中。在具体此类实施例中, 如也关于图 7A 和 7B 所描述的, 顶部半导体管芯完全盖过底部半导体管芯。

[0061] 在另一实施例中, 半导体封装包括衬底。顶部半导体管芯设置在衬底上。插入器设置在衬底和顶部半导体管芯之间并且互连至衬底和顶部半导体管芯。底部半导体管芯设置在与插入器相同的平面中并且互连至顶部半导体管芯。在一个此类实施例中, 如关于图 8A 和 8B 所描述的, 底部半导体管芯毗邻插入器设置, 但不在插入器中。在具体此类实施例中, 如也关于图 8A 和 8B 所描述的, 顶部半导体管芯近部分地盖过底部半导体管芯。

[0062] 再次参照以上多种管芯对,在实施例中,底部半导体管芯不具有硅通孔(TSV)并且不直接互连至衬底。在实施例中,底部半导体管芯的有源侧面对顶部半导体管芯的有源侧,并且远离衬底。在另一实施例中,底部半导体管芯具有硅通孔(TSV)并且直接互连至衬底。在实施例中,底部半导体管芯的有源侧背对顶部半导体管芯的有源侧,并且面向衬底。

[0063] 在第二示例中,图 10 示出了根据本发明的实施例的用于制造具有窗口插入器的 3D 集成电路封装的方法的流程图 1000。

[0064] 参照图 10 的过程流程 1000,流程的顶部管芯 1002 部分包括提供以胶带和卷轴格式 1010 的顶部管芯。流程的底部管芯 1004 部分包括提供以胶带和卷轴格式 1012 的底部管芯。热压缩结合(TCB)然后用于在顶部管芯 1014 上堆叠底部管芯。流程的窗口插入器 1006 部分可包括提供具有窗口、并且可能具有 TSV、中级互连(MLI)隆起焊盘和第一级互连(FLI)焊盘的插入器。在 1016 中,使具有 TSV 和重分布层(RDL)的插入器(诸如,硅插入器)从处理的晶片分离并且安装在切割胶带上。激光器和/或水射流切割可用于提供窗口。流程的封装衬底 1008 部分包括提供例如,在如 1018 中的托盘上的封装衬底。在 1020 中,来自 1016 的窗口插入器(例如,通过 TCB 或 CAM/CUF)与衬底接合。在 1022 中,来自 1014 的层叠例如,通过 TCB 或 CAM 和/或 CUF 与插入器/衬底组合(来自 1020)接合。因此,再次参照过程流程 1000,首先形成 MLI。将理解,底部管芯可能或可能不具有 MLI 隆起焊盘。此外,窗口插入器可由多个零件组成。而且,对中可包括附加的管芯。

[0065] 许多其他的选项可用于组装和 WIP 管芯对与窗口插入器以供封装。最优的选项可取决于所需的尺寸特征(诸如用于层叠的相关管芯尺寸)悬突尺寸、过程重利用等等。

[0066] 对于本文所描述的实施例中的至少一些,顶部管芯热管理包括使用诸如,但不限于,直接附连至顶部管芯的背面的热沉或集成散热区(HIS)之类的特征。本文所描述的实施例可在不需要有源管芯中的 TSV 的情况下实现 3D IC 封装。而且,可包括硅插入器的传统优势。

[0067] 在实施例中,执行到宽松的中级互连(MLI)间距的第一级互连(FLI)间距变换以供更低成本的封装和组装技术。在实施例中,无源部件(例如,电容器、电阻器、或电感器)被设计到插入器中。在实施例中,实现有源管芯层电介质(ILD)与封装(例如,MLI)驱动的应力的解耦。然而,在替代的实施例中,具有 TSV 和 MLI 隆起焊盘的另一有源管芯用于代替插入器。

[0068] 在实施例中,用于底部管芯和窗口插入器的 FLI 隆起焊盘间距是不同的,例如,更精细的间距用于底部管芯/顶部管芯 FLI(例如,大约 40 微米间距)以实现高带宽,并且宽松的间距用于窗口插入器/顶部管芯 FLI(例如,大于 90 微米间距)以实现 FLI 的预期的更大面积。在一个此类实施例中,该方法产生在顶部管芯上的双模隆起焊盘高度分布。然而,由于底部管芯和窗口插入器独立地附连至对应的顶部管芯,双模隆起焊盘高度分布可能是易管理的。在具体此类实施例中,使用用于顶部管芯或底部管芯/窗口插入器层的管芯上的焊料。在实施例中,FLI 底部填充选项包括,但不限于,(a) 顶部管芯上的 WLUF、(b) 窗口插入器和底部管芯 EF-TCB、(c) 铜底部填料(CUF)、或(d) MUF。

[0069] 本文所描述的一个或多个实施例可实现堆叠多个高宽带存储器(诸如,JEDEC 宽 I/O 存储器)、在 CPU 之下的多个其他小器件(或在这个方面,任何其他逻辑管芯)。而且,在实施例中,使用硅插入器有助于减小管芯尺寸和封装成本。在实施例中,关于硅插入器的

引入,容许由于存储器带宽和 / 或由于诸如在 SoC 中的新特征而具有 I/O 计数增长的逻辑芯片。如果逻辑管芯保持较小以实现较低成本,可能需要更高的 I/O 隆起焊盘密度,从而需要在封装衬底上的更精细的隆起焊盘间距和更精细的特征(例如,线 / 空间 / 通孔等等),从而导致更高的封装成本。在实施例 1 中,通过使用硅插入器,通过实现管芯缩小和较低成本的粗略特征衬底实现较低产品成本。

[0070] 本发明的一个或多个实施例提供 3D IC 堆叠(诸如,低成本 CPU 和存储堆叠)以满足在低功率下的高产品性能。在实施例 1 中,在有源管芯上无 TSV 的情况下实现 CPU 和 eDRAM 的堆叠并且有助于实现低成本。在实施例 1 中,硅插入器用于管理逻辑管芯上的高 I/O 密度。类似地,实施例 1 可能针对 3D IC 堆叠工作以增加 CPU/GPU 上的存储器。在实施例 1 中,插入器以成本有效的方式与 3D IC 组合并且在有源管芯中不具有 TSV 的情况下使用硅插入器实现有源管芯的 3D 堆叠。

[0071] 图 11 是根据本发明的实施例的计算机系统 1100 的示意图。所描绘的计算机系统 1100(也称为电子系统 1100)可具体化根据若干所公开的实施例中的任一个和在本公开中所陈述的它们的等价方案的具有窗口插入器的 3D 集成电路封装。计算机系统 1100 可以为诸如上网本计算机的移动设备。计算机系统 1100 可以是诸如无线智能电话的移动设备。计算机系统 1100 可以为台式计算机。计算机系统 1100 可以为手持阅读器。

[0072] 在实施例 1 中,电子系统 1100 为计算机系统,该计算机系统包括用以电耦合电子系统 1100 的多个部件的系统总线 1120。系统总线 1120 为单个总线或根据各个实施例的总线的任何组合。电子系统 1100 包括向集成电路 1110 供电的电压源 1130。在一些实施例中,电压源 1130 通过系统总线 1120 将电流提供至集成电路 1110。

[0073] 集成电路 1110 电耦合至系统总线 1120 并且包括任何电路,或根据实施例的电路的组合。在实施例 1 中,集成电路 1110 包括可以是任何类型的处理器 1112。如本文所使用的,处理器 1112 可意指任何类型的电路,诸如,但不限于,微处理器、微控制器、图形处理器、数字信号处理器、或其他处理器。在实施例 1 中,处理器 1112 为本文所公开的具有窗口插入器的 3D 集成电路封装。在实施例 1 中,SRAM 实施例在处理器的存储器高速缓存中找到。可包括在集成电路 1110 中的其他类型的电路为定制电路或专用集成电路(ASIC),例如,在诸如蜂窝电话、智能电话、寻呼机、便携式计算机、双向无线电装置、以及类似的电子系统之类的无线装置中使用的通信电路 1114。在实施例 1 中,处理器 1110 包括诸如静态随机存取存储器(SRAM)之类的管芯上存储器 1116。在实施例 1 中,处理器 1110 包括诸如嵌入式动态随机存取存储器(eDRAM)之类的嵌入式管芯上存储器 1116。

[0074] 在实施例 1 中,集成电路 1110 与后来的集成电路 1111 互补。有用的实施例包括双处理器 1113 和双通信电路 1115 和双管芯上存储器 1117(诸如 SRAM)。在实施例 1 中,双集成电路 1110 包括诸如 eDRAM 之类的嵌入式管芯上存储器 1117。

[0075] 在实施例 1 中,电子系统 1100 还包括外部存储器 1140、一个或多个硬盘驱动器 1144、和 / 或处理可移动介质 646(诸如软盘、光盘(CD)、数字可变盘(DVD)、闪存驱动器、以及本领域已知的其他可移动介质)的一个或多个驱动器,其中外部存储器 1140 又可包括适合于特定应用的一个或多个存储器元件(诸如以 RAM 形式的主存储器 1142)。外部存储器 1140 还可以是诸如以根据实施例的具有窗口插入器的 3D 集成电路封装的嵌入式存储器 1148。

[0076] 在实施例中,电子系统 1100 还包括显示装置 1150、音频输出 1160。在实施例中,电子系统 1100 包括输入装置,诸如控制器 1170,该控制器 1170 可以为键盘、鼠标、触摸板、小键盘、轨迹球、游戏控制器、话筒、语音识别装置、或将信息输入至电子系统 1100 的任何其他输入装置。在实施例中,输入装置 1170 为相机。在实施例中,输入装置 1170 为数字录音机。在实施例中,输入装置 1170 为相机和数字录音机。

[0077] 如本文所示,可在诸如包括根据若干所公开的实施例和它们的等效方案中的任一个的具有窗口插入器的 3D 集成电路封装、电子系统、计算机系统、制造集成电路的一个或多个方法、以及制造电子组件的一种或多种方法之类的多个不同的实施例中实现集成电路 1110,该电子组件包括根据本文中在多个实施例和它们的本领域公认的等价方案中所阐述的若干所公开的实施例中的任一个的具有窗口插入器的 3D 集成电路封装。可改变操作的元件、材料、几何形状、尺寸和顺序以适合具体的 I/O 耦合需要,该 I/O 耦合需要包括根据若干所公开的具有窗口插入器的 3D 集成电路封装实施例和它们的等效方案中的任何一个阵列接触计数、用于嵌入在处理器安装衬底中的微电子管芯的阵列接触配置。

[0078] 因此,已经公开了具有窗口插入器的 3D 集成电路和用于形成这种半导体封装的方法。在实施例中,半导体封装包括衬底。顶部半导体管芯设置在衬底上。具有窗口的插入器设置在衬底和顶部半导体管芯之间并且互连至衬底和顶部半导体管芯。底部半导体管芯设置在插入器的窗口中并且互连至顶部半导体管芯。在另一实施例中,半导体封装包括衬底。顶部半导体管芯设置在衬底上。插入器设置在衬底和顶部半导体管芯之间并且互连至衬底和顶部半导体管芯。底部半导体管芯设置在与插入器相同的平面中并且互连至顶部半导体管芯。

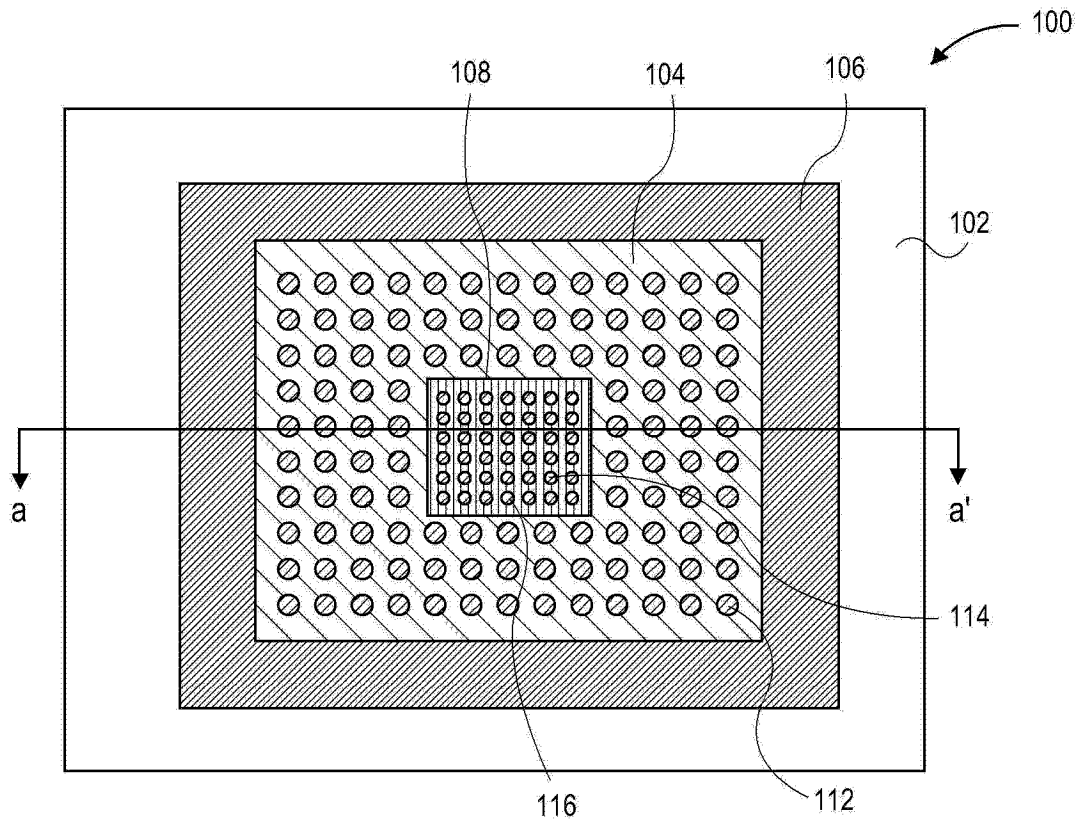


图 1A

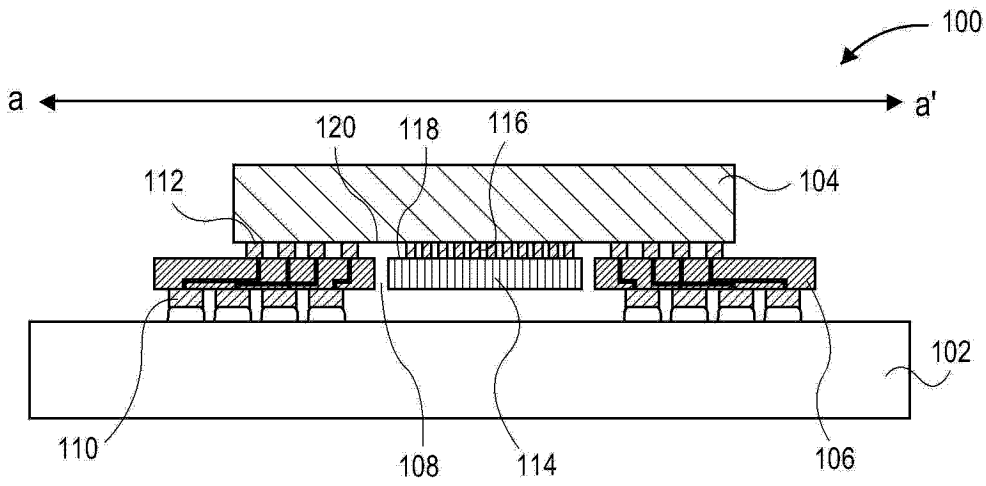


图 1B

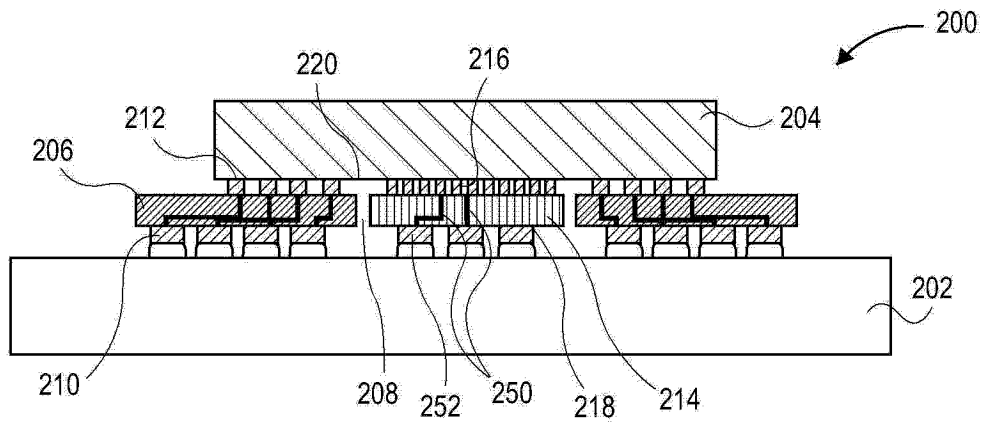


图 2

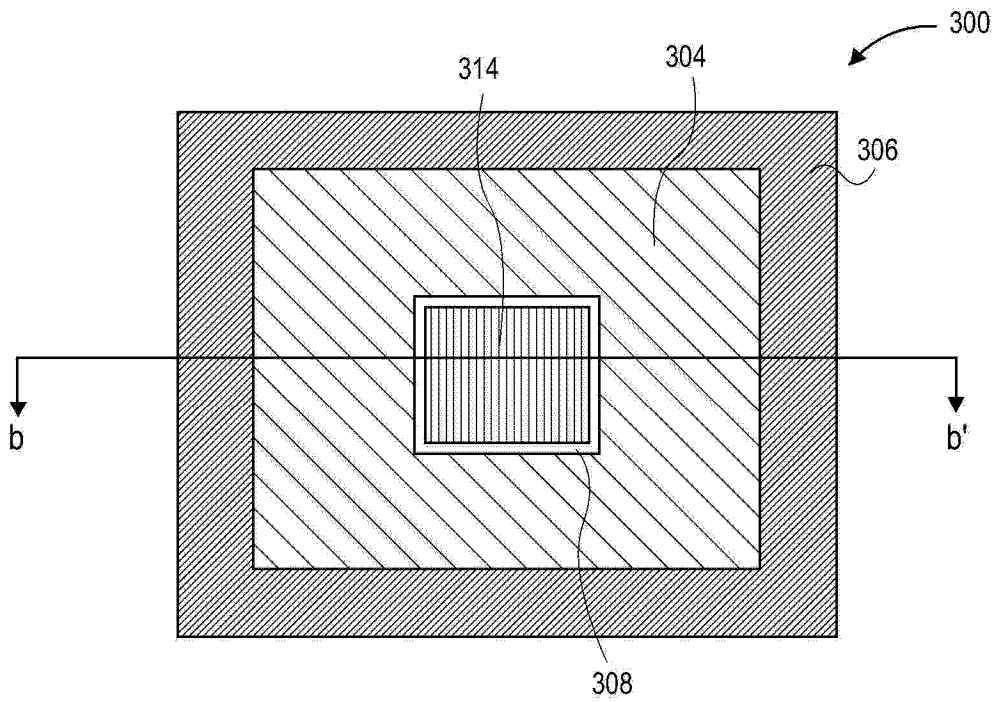


图 3A

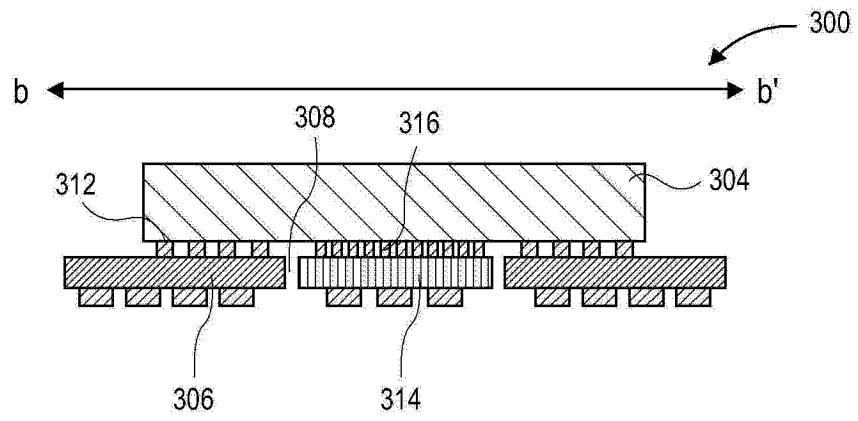


图 3B

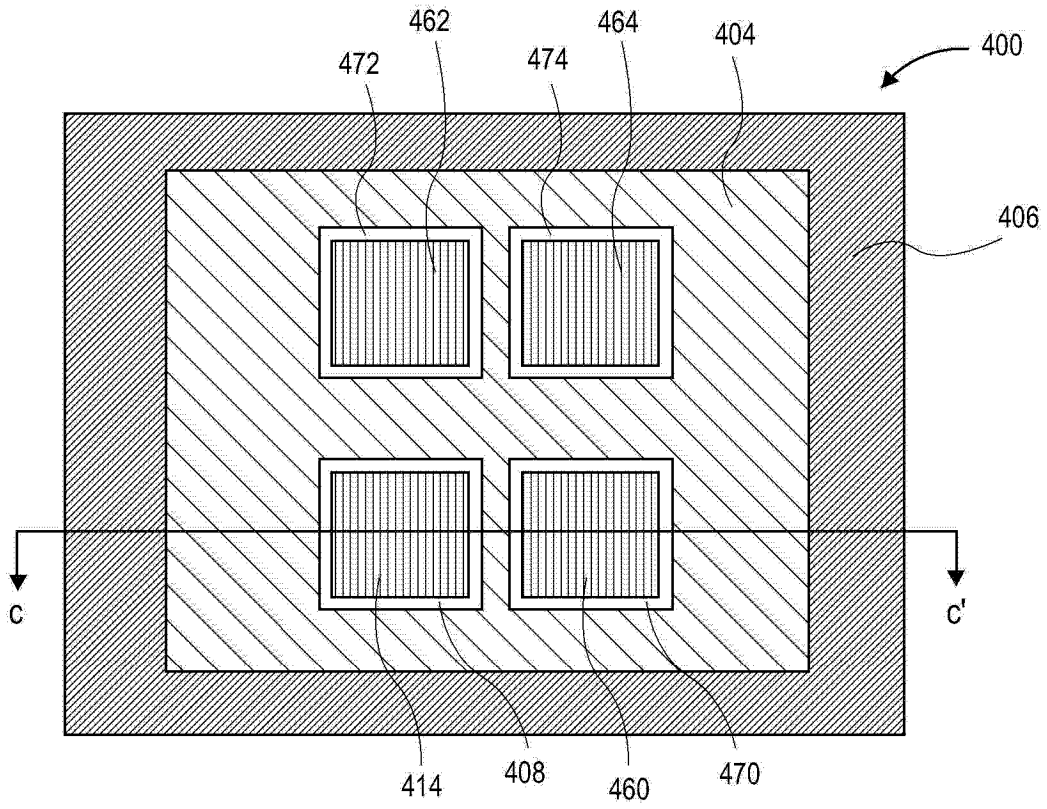


图 4A

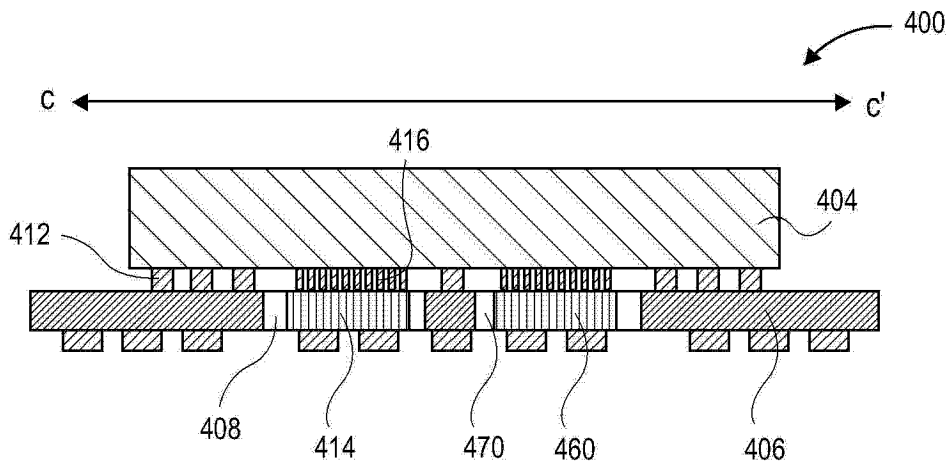


图 4B

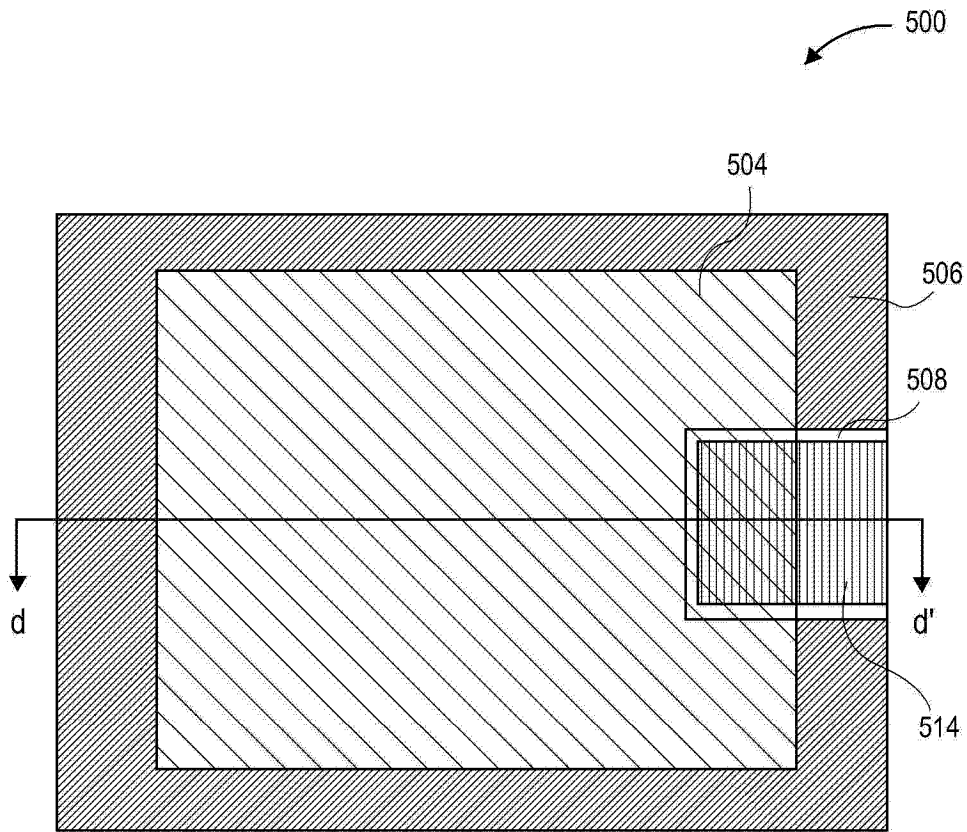


图 5A

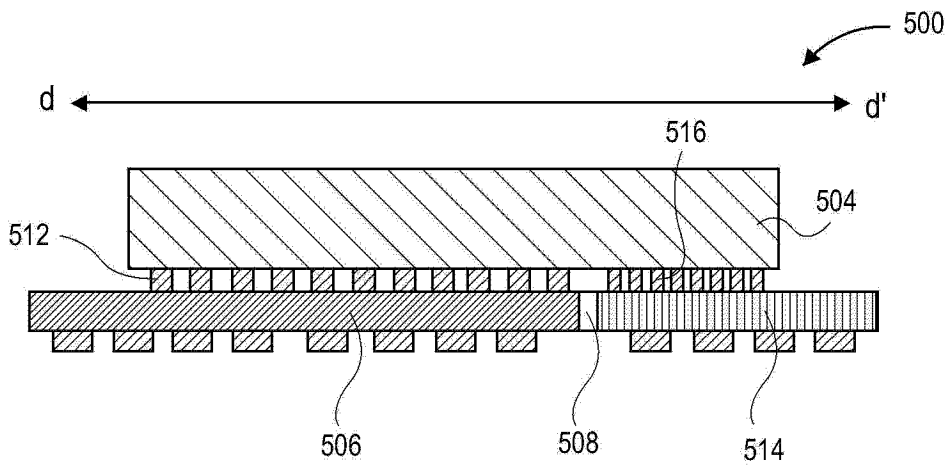


图 5B

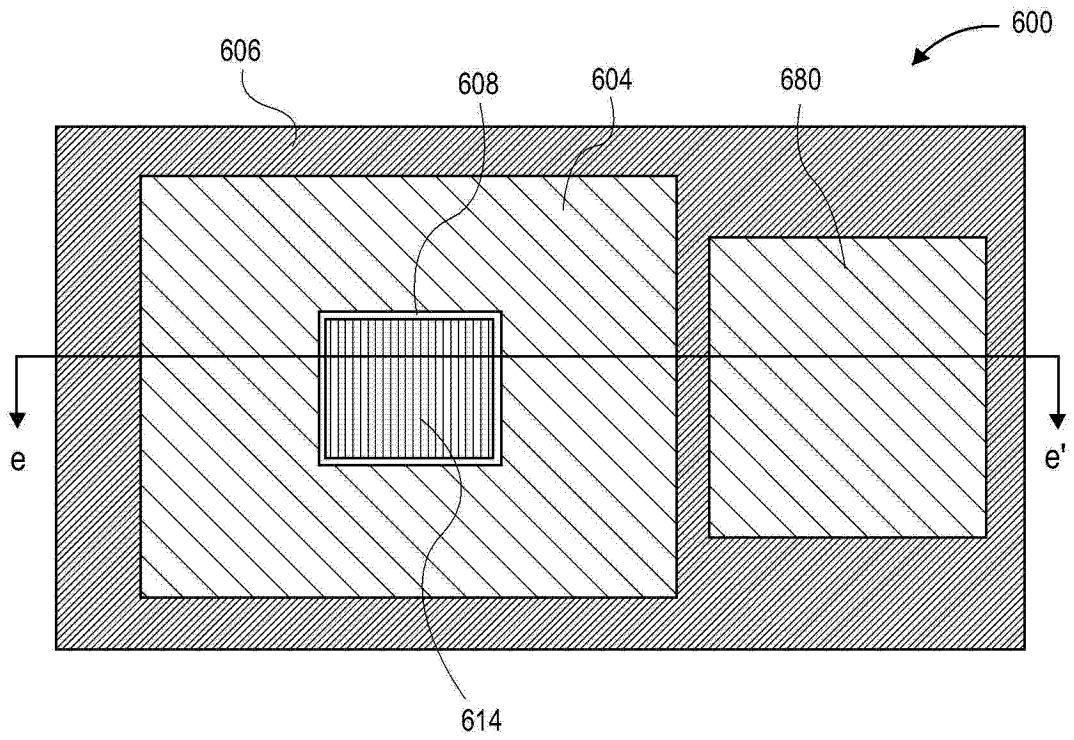


图 6A

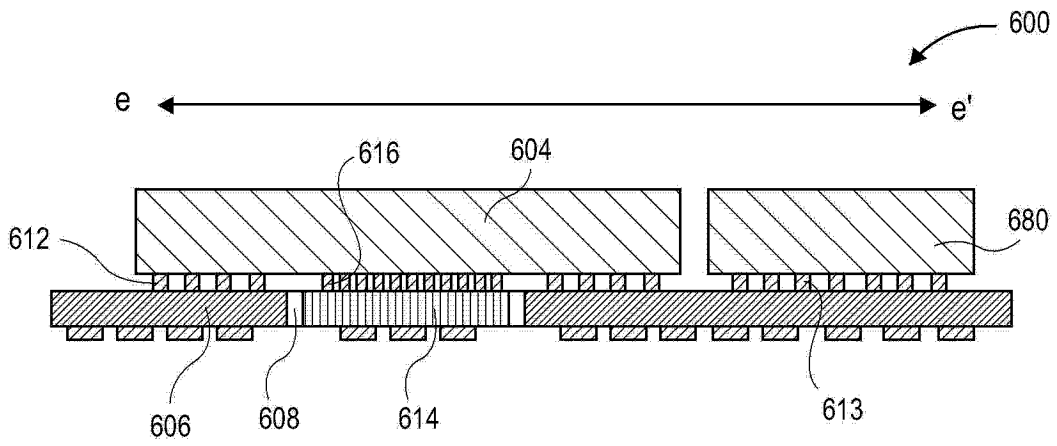


图 6B

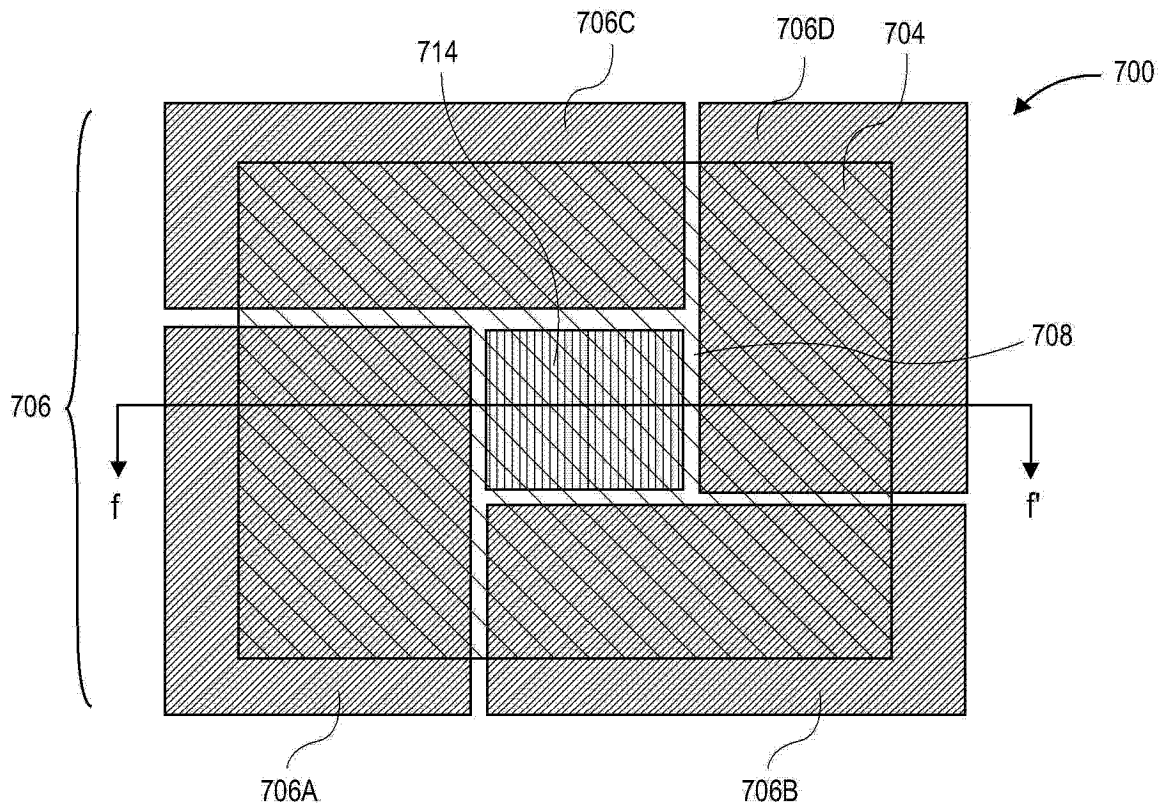


图 7A

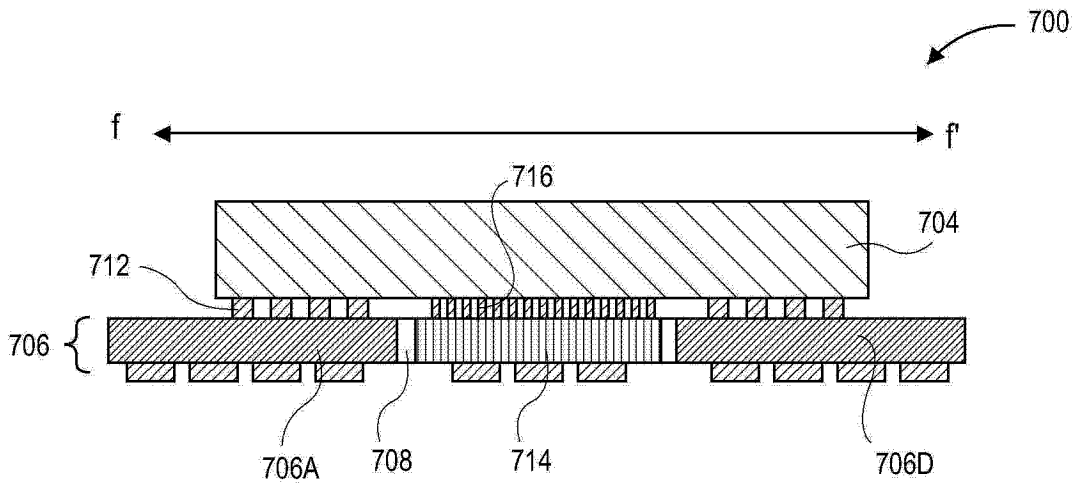


图 7B

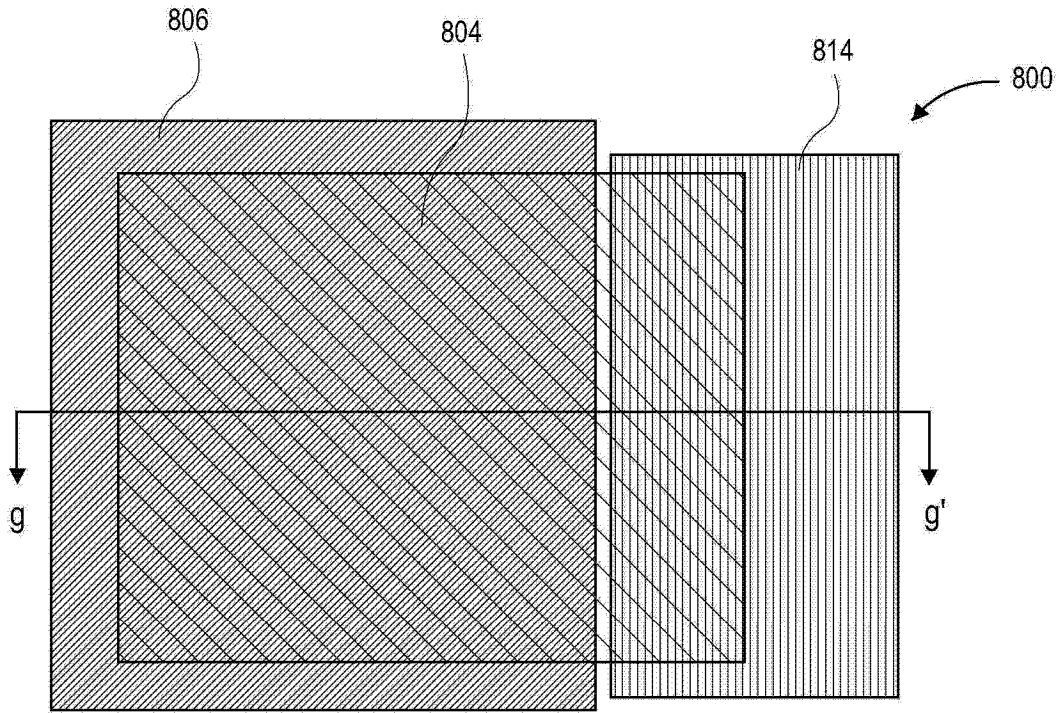


图 8A

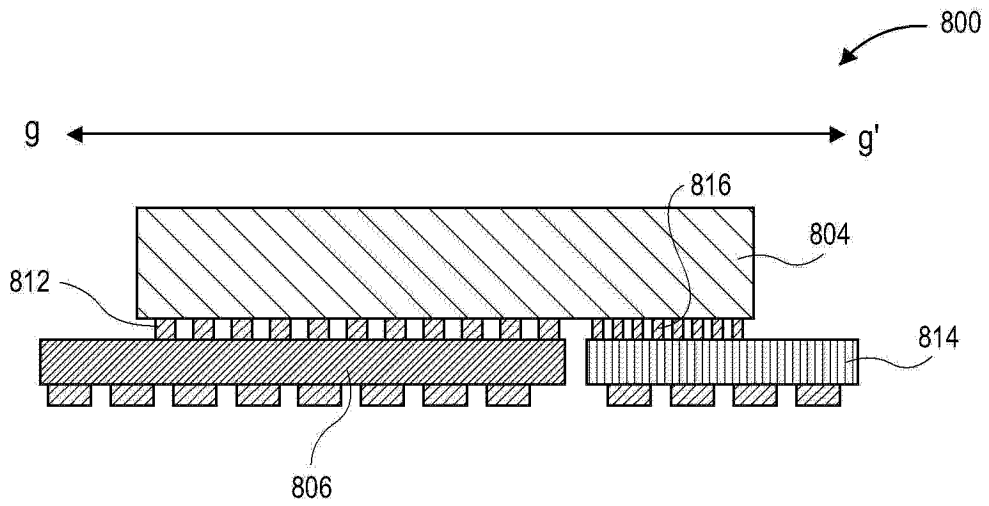


图 8B

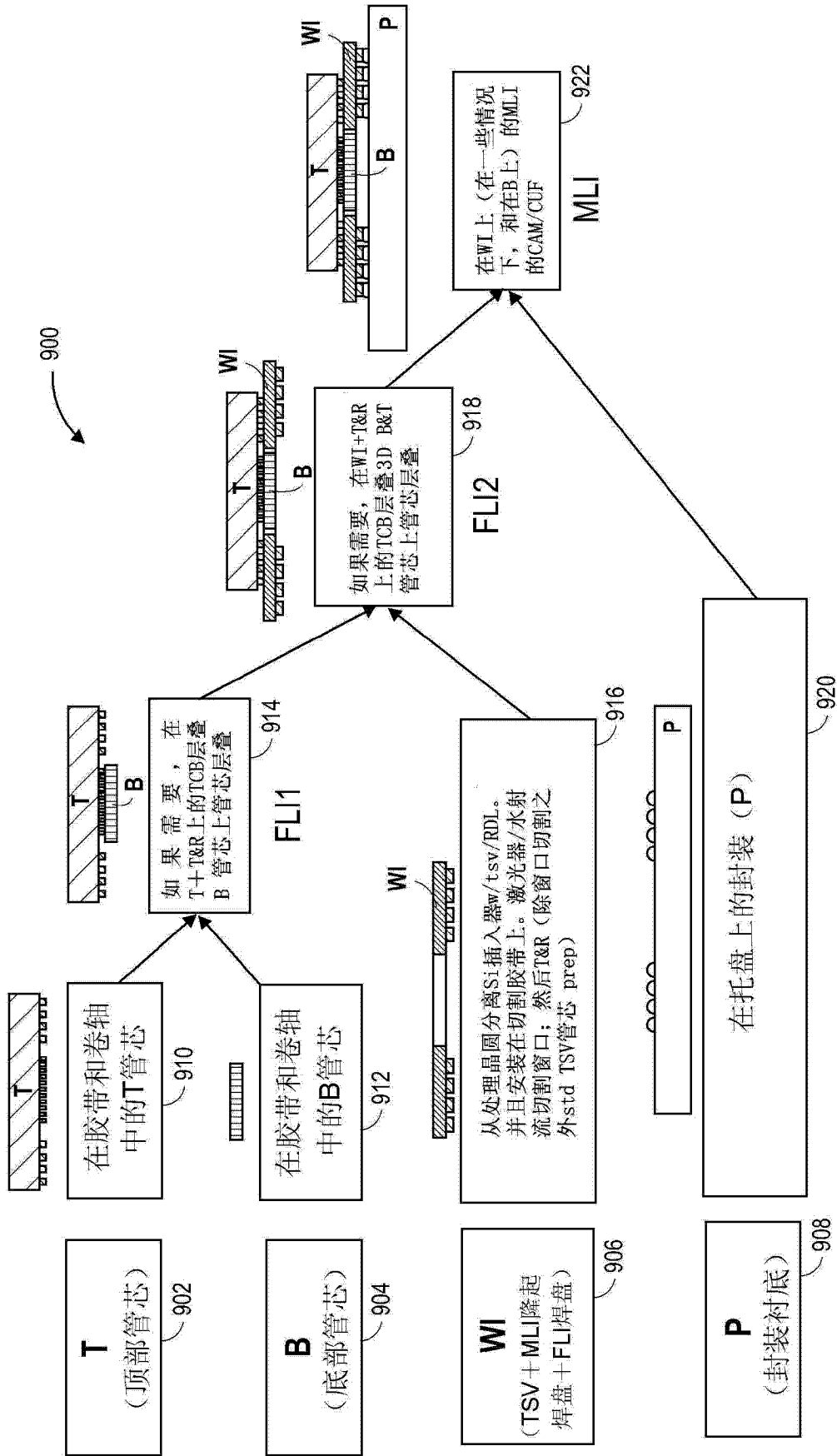


图 9

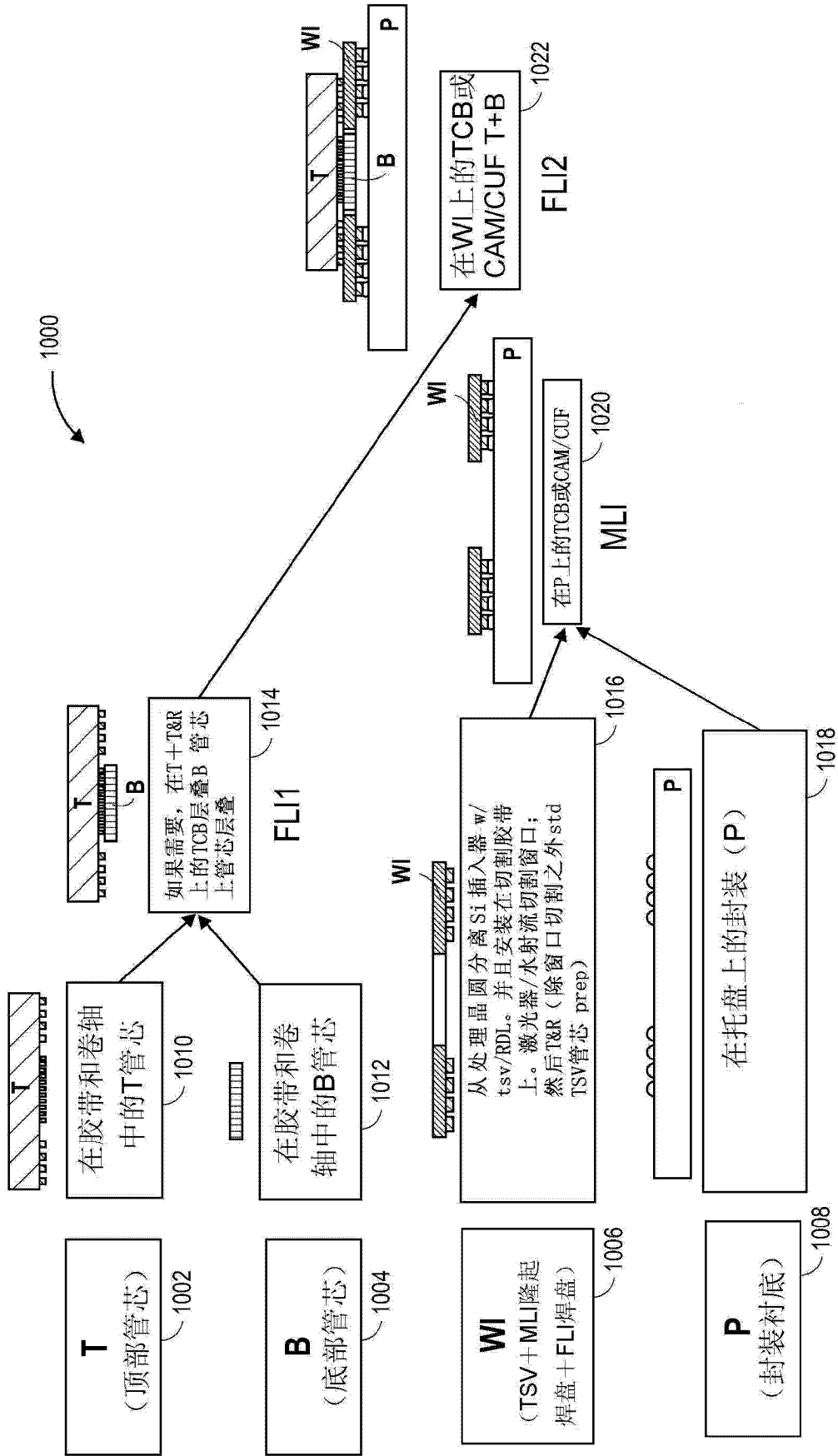


图 10

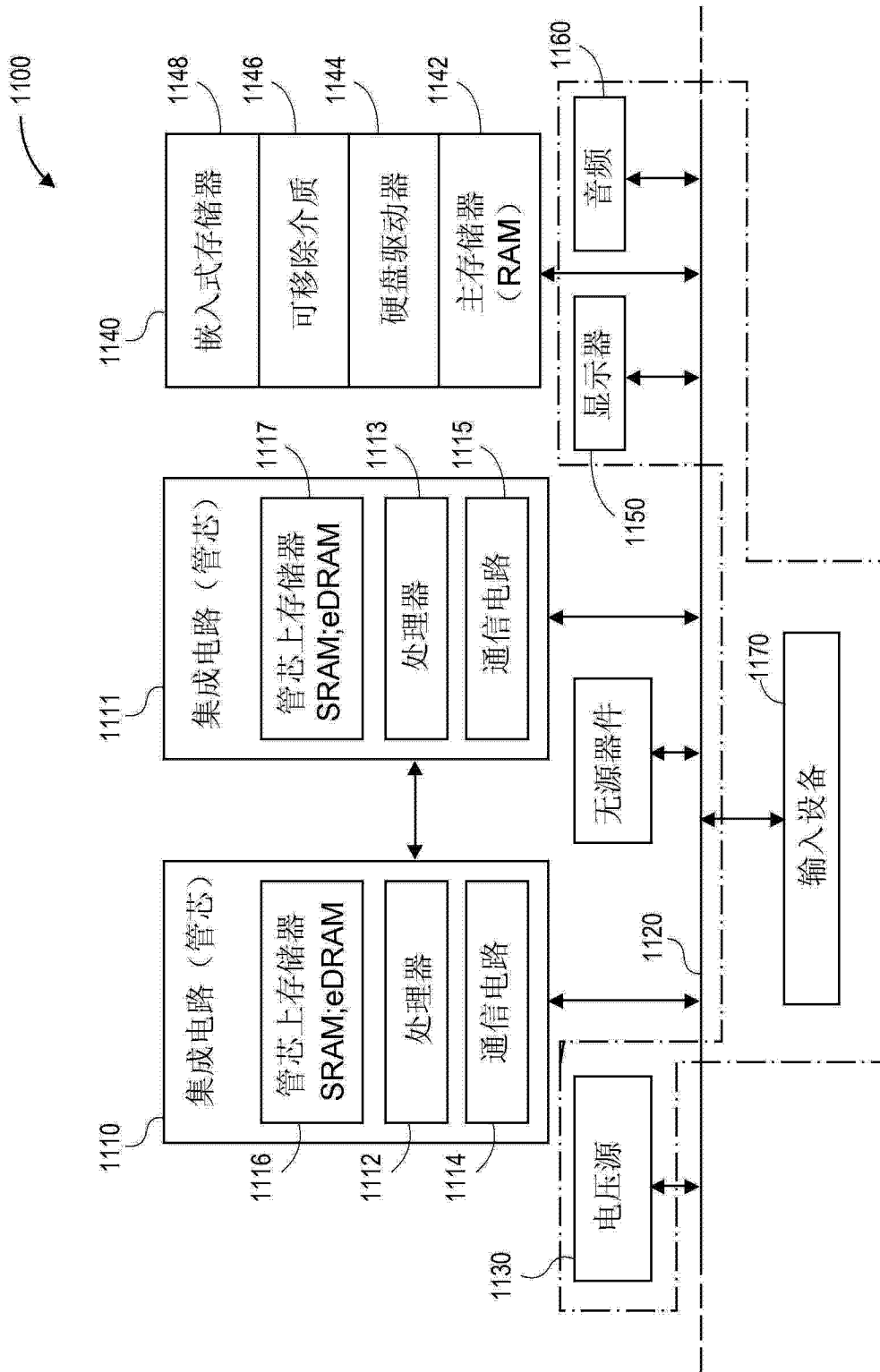


图 11