(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.⁷
H01L 21/336

(45) 공고일자 2004년05월12일
(11) 등록번호 10-0431085
(24) 등록일자 2004년04월29일

(21) 출원번호 10-2001-0038394
(22) 출원일자 2001년06월29일
(65) 공개번호 10-2003-0002695
(43) 공개일자 2003년01월09일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 표성규
경기도이천시창전동현대아파트102-1203

(74) 대리인 신영무

심사관 : 정회환

(54) 반도체 소자의 트랜지스터 제조 방법

요약

본 발명은 반도체 소자의 트랜지스터 제조 방법에 관한 것으로, 반도체 기판 상부의 소정 영역에 더미 게이트 패턴 형성, 접합 영역 형성, 층간 절연막 형성 및 더미 게이트 패턴 노출, 더미 게이트 패턴을 제거한 후 게이트 전극을 형성하는 다마신(damascene) 공정으로 금속 게이트를 형성하는 트랜지스터 제조 공정에서 게이트 산화막 및 확산 장벽층을 형성한 후 플라즈마 처리를 실시하고 시드층을 형성한 후 구리층을 형성함으로써 구리층의 매립 특성을 향상시키고, 구리층으로 게이트 전극을 형성하여 게이트 전극의 저저항화 및 신호 전달 속도를 향상시킬 수 있는 반도체 소자의 트랜지스터 제조 방법에 관한 것이다.

대표도

도 1f

색인어

트랜지스터, 금속 게이트, 구리, 플라즈마 처리, 시드층

명세서

도면의 간단한 설명

도 1(a) 내지 도 1(f)는 본 발명에 따른 반도체 소자의 트랜지스터 제조 방법의 제 1 실시 예를 설명하기 위해 순서적으로 도시한 소자의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

101 : 반도체 기판 102 : 더미 게이트 산화막
103 : 더미 폴리실리콘막 104 : 스페이서
105 : 접합 영역 106 : 층간 절연막
107 : 게이트 산화막 108 : 확산 장벽층

109 : 시드층 110 : 구리층
111 : 질화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 트랜지스터 제조 방법에 관한 것으로, 특히 다마신 (damascene) 공정으로 금속 게이트를 형성하는 트랜지스터 제조 공정에서 게이트 산화막 및 확산 장벽층을 형성한 후 플라즈마 처리를 실시하고 시드층을 형성한 후 구리층을 형성함으로써 구리층의 매립 특성을 향상시키고, 구리층으로 게이트 전극을 형성하여 게이트 전극의 저저항화 및 신호 전달 속도를 향상시킬 수 있는 반도체 소자의 트랜지스터 제조 방법에 관한 것이다.

소형화 및 고집적화되고 있는 현재의 반도체 제조 기술의 발달 속도로 미루어 2005년경에는 게이트 배선의 폭은 0.1㎛ 이하, 면저항은 5Ω/㎠, 그리고 게이트 산화막의 두께는 2㎚ 이하가 될 것으로 예상된다. 이와 같이 게이트 배선의 폭, 면저항 및 게이트 산화막의 두께가 줄어들게 되면 실리콘 산화막(SiO_2)을 이용하여 게이트 산화막을 형성하고, 폴리실리콘막을 이용하여 게이트 전극을 형성하는 일반적인 트랜지스터 제조 공정에서 많은 문제점을 야기시키게 된다. 즉, 실리콘 산화막을 이용하여 게이트 산화막을 형성할 경우 터널 전류와 공정중 발생하는 손상(damage)에 의해 게이트 누설 전류가 증가된다. 그리고, 게이트 저항이 높아지게 되고, 게이트 전극의 공핍화로 인해 게이트 산화막을 소자의 최적화를 위한 얇은 두께로 형성할 수 없다. 또한, 게이트 전극으로 사용된 도프트 폴리실리콘막으로부터 채널 영역으로 이온이 확산되어 문턱 전압이 변하게 된다.

이와 같은 물리적인 한계를 극복하기 위하여 고유전율의 게이트 산화막과 금속 물질을 게이트 전극으로 사용하는 연구가 최근 활발히 진행되고 있다. 탄탈륨 산화막(Ta_2O_5)과 같은 고유전율 산화막으로 게이트 산화막을 형성하면 트랜지스터를 열화시키지 않고 게이트의 누설 전류를 억제할 수 있다. 또한, 게이트 전극 재료를 종래의 폴리실리콘에서 텅스텐 또는 알루미늄 등의 금속 물질로 변경하면 게이트 전극의 저저항화와 공핍화 방지, 그리고 이온의 확산 문제를 해결할 수 있다.

그러나, 금속 재료와 고유전율막은 고온 열처리에 취약하기 때문에 종래의 트랜지스터 제조 공정에 도입하기 어렵다. 또한, 종래의 방법을 이용하면 게이트 산화막에 영향을 미치는 공정중의 손상을 최소화할 수 없다. 그리고, 게이트 전극으로 도프트 폴리실리콘막을 사용하면 비저항이 높기 때문에 이를 해결하기 위한 하나의 방법으로 폴리실리콘막과 텅스텐 실리사이드막의 이중막으로 게이트 전극을 형성하여 비저항을 어느 정도 낮출 수 있다. 그러나, 텅스텐 실리사이드막의 비저항은 100μΩ㎝이며, 비저항이 약 10μΩ㎝인 텅스텐막도 여전히 큰 비저항을 나타내고 있어 게이트 전극의 저항을 낮추는데 한계가 있기 때문에 고속 소자에는 더욱 낮은 저항을 요구하는 금속 게이트에 대한 필요성이 증대되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 게이트 전극의 저항을 감소시킬 수 있어 차세대 반도체 소자를 구현할 수 있는 반도체 소자의 트랜지스터 제조 방법을 제공하는데 있다.

본 발명의 다른 목적은 다마신 공정으로 구리 게이트 전극을 형성함으로써 게이트 전극의 저항을 감소시킬 수 있는 반도체 소자의 트랜지스터 제조 방법을 제공하는데 있다.

본 발명의 또다른 목적은 다마신 공정을 이용하여 구리 게이트 전극을 형성하는 과정에서 구리의 매립 특성을 향상시켜 초고속 소자를 구현할 수 있는 반도체 소자의 트랜지스터 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

본 발명에 따른 반도체 소자의 트랜지스터 제조 방법은 반도체 기판 상부의 소정 영역에 더미 게이트 패턴을 형성한 후 상기 반도체 기판상의 소정 영역에 접합 영역을 형성하는 단계와, 전체 구조 상부에 층간 절연막을 형성한 후 상기 층간 절연막을 전면 식각하여 상기 더미 게이트 패턴을 노출시키는 단계와, 상기 노출된 더미 게이트 패턴을 제거하여 상기 반도체 기판의 소정 영역을 노출시키는 단계와, 전체 구조 상부에 게이트 산화막 및 확산 장벽층을 순차적으로 형성하는 단계와, 전체 구조상에 플라즈마 처리를 실시한 후 시드층을 형성하는 단계와, 전체 구조 상부에 구리층을 형성하는 단계와, 상기 구리층, 확산 장벽층 및 게이트 산화막을 연마하여 상기 층간 절연막을 노출시키는 단계와, 전체 구조 상부에 질화막을 형성하는 단계를 포함하여 이루어진 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

도 1(a) 내지 도 1(f)는 본 발명에 따른 반도체 소자의 트랜지스터 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도이다.

도 1(a)를 참조하면, 반도체 기판(101) 상의 소정 영역에 필드 산화막(도시안됨)을 형성하여 액티브 영역 및 필드 영

역을 확정한다. 액티브 영역에 문턱 전압 조정(V_{th} Adjust) 이온 주입 공정을 실시한 후 전체 구조 상부에 더미 게이트 산화막(102) 및 더미 폴리실리콘막(103)을 순차적으로 형성한다. 마스크 공정 및 식각 공정을 실시하여 더미 폴리실리콘막(103) 및 더미 게이트 산화막(102)을 패터닝하여 더미 게이트 패턴을 형성한다. 그리고, 저농도 불순물 이온 주입 공정을 실시하여 반도체 기판(101)상에 저농도 불순물 영역을 형성한다. 전체 구조 상부에 절연막을 형성한 후 전면 식각 공정을 실시하여 더미 게이트 패턴 측벽에 스페이서 (104)를 형성한다. 그리고, 고농도 불순물 이온 주입 공정을 실시하여 반도체 기판 (101)상에 고농도 불순물 영역을 형성한다. 이에 의해 저농도 및 고농도 불순물 영역으로 이루어진 LDD 구조의 접합 영역(105)이 형성된다. 전체 구조 상부에 층간 절연막(106)을 형성한 후 CMP 공정으로 층간 절연막(106)을 연마하여 더미 폴리실리콘막(103)을 노출시킨다.

도 1(b)를 참조하면, 노출된 더미 게이트 패턴, 즉 더미 폴리실리콘막(103) 및 더미 게이트 산화막(102)을 제거하여 반도체 기판(101)을 노출시키는 트렌치를 형성한다. 그리고, 트렌치를 포함한 전체 구조 상부에 게이트 산화막(107) 및 확산 장벽층(108)을 순차적으로 형성한다. 확산 장벽층(108)은 탄탈륨 실리콘 나이트라 이드(TaSiN), 티타늄 알루미늄 나이트라이드(TiAlN) 또는 산소가 채워진(oxygen stuffed) 티타늄 알루미늄 나이트라이드(TiAlN)를 증착하여 형성하거나, 티타늄 나이트라이드(TiN)를 이온화 PVD, CVD 또는 MOCVD 방법 중 어느 하나의 방법으로 증착하여 형성하거나, 탄탈륨(Ta) 또는 탄탈륨 나이트라이드(TaN)를 이온화 PVD 방법 또는 CVD 방법으로 증착하여 형성하거나, 텅스텐 나이트라이드(WN)를 CVD 방법으로 증착하여 형성하거나, 티타늄 실리콘 나이트라이드(TiSiN)를 PVD 방법 또는 CVD 방법으로 증착하여 형성한다.

도 1(c)를 참조하면, 확산 장벽층(108)을 포함한 전체 구조상에 플라즈마 처리를 실시한다. 플라즈마 처리는 원격 플라즈마(remote plasma) 또는 플라즈마 식각(plasma etch) 방법으로 실시한다. 원격 플라즈마를 사용하는 경우에는 반응성 처리(reactive treatment)를 이용하며, 플라즈마 식각을 사용하는 경우에는 단일 또는 이중 주파수 식각이 가능하다. 원격 플라즈마 또는 플라즈마 식각은 수소, 질소, 아르곤, 헬륨, 산소, 오존 및 암모니아중 어느 하나의 단일 가스를 이용하여 실시하거나 수소와 아르곤의 혼합 가스를 이용하여 실시하며, 단일 스텝으로 실시하거나 1 10회의 다단계로 실시한다. 그리고, 원격 플라즈마 또는 플라즈마 식각시 공급 전력은 1 1000W로 하고, 처리 시간은 1초 10분으로 한다. 또한, 수소, 질소, 아르곤, 헬륨, 산소, 오존 및 암모니아중 어느 하나의 단일 가스를 이용하여 플라즈마 처리를 실시하는 경우 각 단일 가스의 유량은 5 100sccm으로 하고, 혼합 가스를 사용하는 경우에는 5 95%의 수소가 포함되거나 5 95%의 아르곤이 포함된 가스를 이용하여 실시한다.

도 1(d)를 참조하면, 전체 구조 상부에 시드층(109)을 형성한다. 시드층 (109)은 이후 금속층의 증착을 촉진시키기 위한 것으로, 증착되는 금속층에 따라 구리(Cu), 알루미늄(Al), 텅스텐(W) 또는 티타늄(Ti)으로 형성한다. 이때, 시드층 (109)은 5 500Å의 두께로 형성한다. 예를들어 시드층(109)으로 구리를 이용할 경우 (hfac)CuVTMOS 계열, (hfac)CuDMB 계열, (hfac)CuTMVS 계열 등의 hfac를 이용한 모든 구리 전구체를 이용하여 형성하며, 다이렉트 리퀴드 인젝션(Direct Liquid Injection; DLI), 컨트롤 에바포레이션 믹서(Control Evaporation Mixer; CEM), 오리피스(Orifice), 스프레이 방식의 모든 기화기(vaporizer)를 이용한 MOCVD법으로 증착한다. 여기서, 구리 전구체를 이동시키기 위한 캐리어 가스(carrier gas)로는 헬륨, 수소 또는 아르곤등을 사용하며, 그 유량은 100 700sccm으로 한다. 그리고, 구리 시드층이 증착되는 반응 챔버는 0.5 5Torr의 압력이 유지되도록 하고, 반응 챔버에서 샤워 헤드(shower head)와 서셉터 플레이트(susceptor plate) 사이의 간격은 5 50㎜ 정도로 유지되도록 한다. 이때, 전구체의 흐름율은 0.1 5sccm 정도로 한다. 한편, 구리 시드층은 MOCVD 방법 이외에 이온화(ionized) PVD 방법 또는 무전기(electroless) 방법을 이용하여 형성할 수 있다. 여기서, 무전기 방법을 이용할 경우 증착전에 플라즈마 처리를 실시하지 않는다.

도 1(e)를 참조하면, 트렌치가 매립되도록 전체 구조 상부에 구리층(110)을 형성한다. 구리층(110)은 전기도금(electroplating) 방법으로 CVD 방법, PVD 방법, 무전기도금(electoless plating) 방법등을 사용하여 형성한다. 또한, 구리층(110)을 형성한 후 상온 450°C 정도의 온도를 유지하는 수소환원 분위기에서 10초 2시간 동안 열처리 공정을 실시한다. 이때, 수소환원 분위기는 수소(H_2)만을 적용하는 경우, 수소와 0 95%의 아르곤(Ar)을 적용하는 경우 및 수소와 0 95%의 질소(N_2)를 적용하는 경우등을 포함한다. 한편, 구리층(110) 대신에 알루미늄, 텅스텐 또는 티타늄을 형성할 수 있다.

도 1(f)를 참조하면, CMP 공정을 실시하여 구리층(110), 확산 장벽층(108) 및 게이트 산화막(107)을 연마하여 층간 절연막(106)을 노출시킨다. 그리고, 전체 구조 상부에 PECVD 방법을 이용하여 질화막(111)을 형성한다. 여기서, 질화막(111)은 5 3000Å의 두께로 형성한다.

발명의 효과

상술한 바와 같이 본 발명에 의하면, 고온 처리가 필요한 접합 영역을 게이트 전극보다 먼저 형성함으로써 게이트 전극을 형성한 후의 공정을 450°C 이하로 저온화 할 수 있기 때문에 내열성이 부족한 신재료, 특히 알루미늄, 텅스텐 또는 탄탈륨 산화막등을 게이트 전극과 게이트 산화막으로 적용할 수 있게 된다. 그리고, 게이트 산화막을 형성한 후에 접합 영역을 형성하기 위한 이온 주입 공정과 게이트 전극을 패터닝하기 위한 식각 공정을 실시하지 않기 때문에 게이트 산화막의 손상을 상당히 줄일 수 있으며, 게이트 산화막의 신뢰성을 높일 수 있는 특징도 갖는다. 또한, 게이트 전극을 형성하기 위한 구리층의 매립 특성을 향상시켜 후속 공정인 CMP를 용이하게 할 수 있다. 따라서, 저저항의 게이트 전극을 형성할 수 있 고, 이에 의해 고속 소자 및 차세대 반도체 소자의 개발을 앞당길 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기판 상부의 소정 영역에 더미 게이트 패턴을 형성한 후 불순물 이온주입공정을 통해 상기 반도체 기판상의 소정 영역에 접합 영역을 형성하는 단계와,

전체 구조 상부에 층간 절연막을 형성한 후 상기 층간 절연막을 전면 식각하여 상기 더미 게이트 패턴을 노출시키는 단계와,

상기 노출된 더미 게이트 패턴을 제거하여 상기 반도체 기판의 소정 영역을 노출시키는 단계와,

전체 구조 상부에 게이트 산화막 및 확산 장벽층을 순차적으로 형성하는 단계와,

전체 구조상에 플라즈마 처리를 실시한 후 시드층을 형성하는 단계와,

전체 구조 상부에 구리층을 형성하는 단계와,

상기 구리층, 확산 장벽층 및 게이트 산화막을 연마하여 상기 층간 절연막을 노출시키는 단계와,

전체 구조 상부에 질화막을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 2.

제 1 항에 있어서, 상기 더미 게이트 패턴은 상기 반도체 기판 상부에 더미 게이트 산화막 및 더미 폴리실리콘막을 적층한 후 패터닝하여 형성하는 것을 특징 으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 3.

제 1 항에 있어서, 상기 접합 영역은 상기 더미 게이트 패턴을 형성한 후 상기 반도체 기판에 저농도 불순물 이온 주입 영역을 형성하는 단계와,

상기 더미 게이트 패턴 측벽에 스페이서를 형성한 후 상기 반도체 기판상에 고농도 불순물 이온 주입 영역을 형성하는 단계에 의해 형성되는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 4.

제 1 항에 있어서, 상기 확산 장벽층은 TaSiN, TiAlN, 산소가 채워진(oxygen stuffed) TiAlN, 이온화 PVD, CVD 또는 MOCVD 방법 중 어느 하나의 방법에 의해 증착된 TiN, 이온화 PVD 방법 또는 CVD 방법에 의해 증착된 Ta 또는 TaN, CVD 방법에 의해 증착된 WN, PVD 방법 또는 CVD 방법에 의해 증착된 TiSiN중 어느 하나로 형성하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 5.

제 1 항에 있어서, 상기 플라즈마 처리는 원격 플라즈마 또는 플라즈마 식각 방법으로 실시하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 6.

제 5 항에 있어서, 상기 원격 플라즈마 처리 또는 플라즈마 식각 방법은 수소, 아르곤, 질소, 헬륨, 산소, 오존 및 암모니아의 단일 가스를 이용하여 실시하거나 수소와 아르곤이 포함된 혼합가스를 이용하여 실시하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 7.

제 6 항에 있어서, 상기 수소, 질소, 아르곤, 헬륨, 산소, 오존 및 암모니아의 단일 가스는 각각 5 내지 100sccm의 양으로 유입시키는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 8.

제 6 항에 있어서, 상기 혼합 가스는 5 내지 95%의 수소와 5 내지 95%의 아르곤이 포함된 혼합 가스인 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 9.

제 6 항에 있어서, 상기 원격 플라즈마 처리 또는 플라즈마 식각 방법은 단일로 실시하거나 1 내지 10회의 다단계로 실시하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 10.

제 9 항에 있어서, 상기 단일 플라즈마 처리는 단일 가스 또는 혼합 가스를 이용하여 실시하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 11.

제 9 항에 있어서, 상기 다단계 플라즈마 처리는 아르곤 단일 가스 또는 혼합 가스를 이용하여 처리한 후, 수소 가스를 이용하여 최종 처리하는 주기를 1 내지 10회 반복 실시하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 12.

제 1 항에 있어서, 상기 시드층은 구리, 알루미늄, 텅스텐 또는 티타늄중 어느 하나로 형성하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 13.

제 1 항 또는 제 12 항에 있어서, 상기 시드층은 5 내지 500Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 14.

제 12 항에 있어서, 상기 구리 시드층은 (hfac)CuVTMOS 계열, (hfac)CuDMB 계열, (hfac)CuTMVS 계열의 전구체 중 어느 하나를 이용하여 형성하는 것을 특징으 로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 15.

제 12 항에 있어서, 상기 구리 시드층은 다이렉트 리퀴드 인젝션, 컨트롤 에바포레이션 믹서, 오리피스, 스프레이 방식의 모든 기화기를 이용한 MOCVD법을 이용하여 증착하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 16.

제 14 항에 있어서, 상기 전구체는 100 내지 700sccm의 헬륨, 수소 또는 아르곤을 캐리어 가스로 이용하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 17.

제 12 항에 있어서, 상기 구리 시드층은 0.5 내지 5Torr의 압력을 유지하고, 샤워 헤드와 서셉터 플레이트 사이가 5 내지 50㎜의 간격을 유지하는 반응 챔버에서 형성하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 18.

제 14 항에 있어서, 상기 전구체는 0.1 내지 5sccm의 양으로 유입시키는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 19.

제 12 항에 있어서, 상기 구리 시드층은 이온화(ionized) PVD 방법 또는 무전기(electroless) 방법을 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 20.

제 1 항에 있어서, 상기 구리층은 전기도금법, CVD 방법, PVD 방법 또는 무전기도금법중 어느 하나의 방법으로 형성하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 21.

제 1 항에 있어서, 상기 구리층 대신에 알루미늄막, 텅스텐막 또는 티타늄막을 형성하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 22.

제 1 항에 있어서, 상기 구리층을 형성한 후 수소환원 분위기에서 열처리 하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 23.

제 22 항에 있어서, 상기 수소환원 분위기 열처리는 상온 내지 450℃의 온도 에서 10초 내지 2시간 동안 실시하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 24.

제 22 항에 있어서, 상기 수소환원 분위기는 수소 기체, 수소와 0 내지 95%의 아르곤의 혼합 기체, 또는 수소와 0 내지 95%의 질소의 혼합 기체중 어느 하나를 이용하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 25.

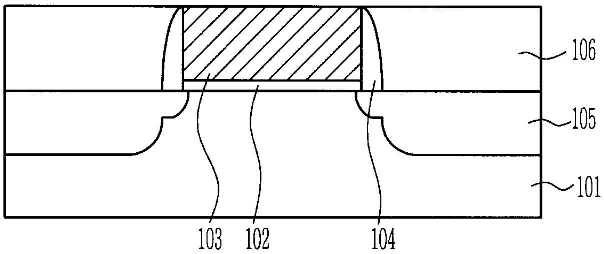
제 1 항에 있어서, 상기 구리층, 확산 장벽층 및 게이트 산화막을 연마하여 층간 절연막을 노출시킨 후 암모니아 플라즈마 처리를 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

청구항 26.

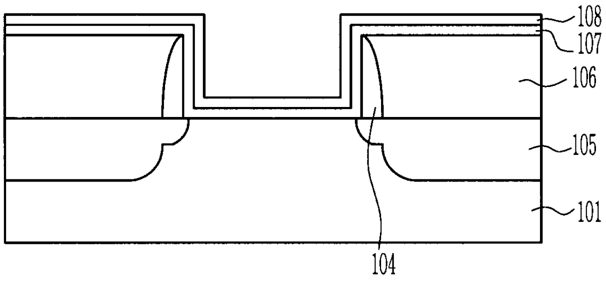
제 1 항에 있어서, 상기 질화막은 PECVD 방법을 이용하여 5 내지 3000Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 트랜지스터 제조 방법.

도면

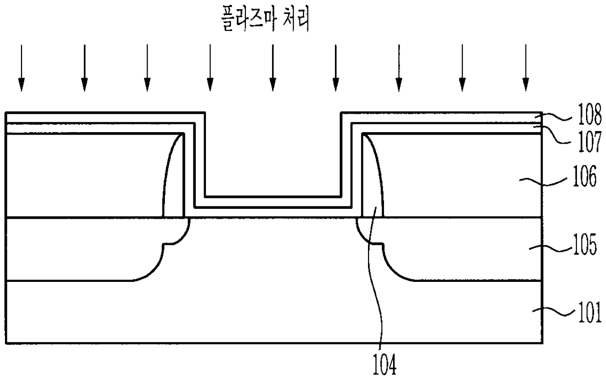
도면1a



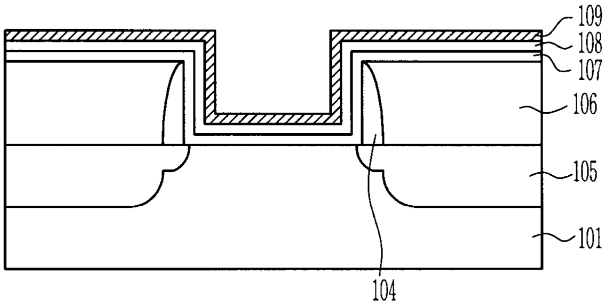
도면1b



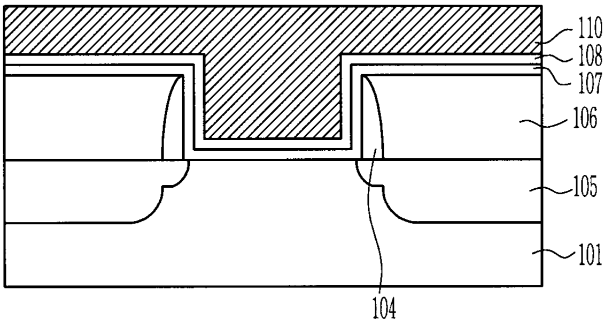
도면1c



도면1d



도면1e



도면1f