



(12) 发明专利

(10) 授权公告号 CN 102110064 B

(45) 授权公告日 2014. 11. 05

(21) 申请号 201010226944. 2

审查员 周正

(22) 申请日 2010. 06. 28

(30) 优先权数据

12/648, 373 2009. 12. 29 US

(73) 专利权人 瞻博网络公司

地址 美国加利福尼亚州

(72) 发明人 戴维·P·程松 伍昌鸿

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51) Int. Cl.

G06F 13/16 (2006. 01)

H04L 12/02 (2006. 01)

(56) 对比文件

CN 101611386 A, 2009. 12. 23, 说明书第 3 页 -11 页, 图 3, 11.

US 2006/0095703 A1, 2006. 05. 04, 全文.

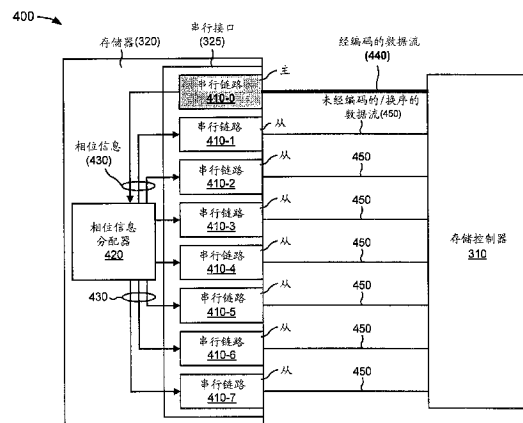
权利要求书2页 说明书8页 附图8页

(54) 发明名称

低延时串行存储接口

(57) 摘要

本发明涉及一种具有低延时串行存储接口的设备和使用该接口的方法。其中, 该设备将同步时钟应用到该设备的第一部件和第二部件上, 并将一组串行链路中的特定串行链路指定为主串行链路。该设备还将其余的串行链路指定为从串行链路, 并经由主串行链路提供经编码的数据流, 以及经由从串行链路提供未经编码的和乱序的数据流。



1. 一种由包括存储器和存储控制器的设备实施的方法,所述方法包括:
由所述设备将设置在所述存储器中的串行接口的多条串行链路中的特定串行链路指定为主串行链路;
由所述设备将其余的所述多条串行链路指定为从串行链路;
经由所述主串行链路提供经编码的数据流;以及
经由所述从串行链路提供未经编码的和乱序的数据流,
其中,指定所述特定串行链路包括:
确定与所述主串行链路相关联的定时器是否已期满;
当所述定时器期满时不将所述特定串行链路指定为所述主串行链路;
将所述多条串行链路中的另一串行链路指定为所述主串行链路;以及
重启所述定时器。
2. 根据权利要求 1 所述的方法,进一步包括:
将同步时钟应用到所述存储器和所述存储控制器上。
3. 根据权利要求 1 所述的方法,其中,经由所述主串行链路提供经编码的数据流包括以下步骤之一:
经由所述主串行链路将所述经编码的数据流发送至所述存储控制器,或者
经由所述主串行链路从所述存储控制器接收所述经编码的数据流。
4. 根据权利要求 1 所述的方法,其中,经由所述从串行链路提供未经编码的和乱序的数据流包括以下步骤之一:
经由所述从串行链路将所述未经编码的和乱序的数据流发送至所述存储控制器,或者
经由所述从串行链路从所述存储控制器接收所述未经编码的和乱序的数据流。
5. 根据权利要求 1 所述的方法,其中:
以预定顺序设置所述多条串行链路,以及
基于所述预定顺序将另一个串行链路指定为所述主串行链路。
6. 根据权利要求 1 所述的方法,其中,所述经编码的数据流是经由在数据流中提供乱序数据、直流 (DC) 均衡、和低连续相同数位 (CID) 的编码方案编码的。
7. 根据权利要求 1 所述的方法,其中,所述多条串行链路中的每条包括串行化器/并行化器 (SerDes)。
8. 一种由包括存储器和存储控制器的设备实施的设备,包括:
用于将所述存储器中的串行接口的多条串行链路中的特定串行链路指定为主串行链路的装置;
用于将其余的所述多条串行链路指定为从串行链路的装置;
用于经由所述主串行链路提供经编码的数据流的装置;
用于经由所述从串行链路提供未经编码和乱序的数据流的装置;
用于确定与所述主串行链路相关联的定时器是否已期满的装置;
用于当所述定时器期满时不将所述特定串行链路指定为所述主串行链路的装置;
用于将所述多条串行链路中的另一串行链路指定为所述主串行链路的装置;以及
用于重启所述定时器的装置。
9. 根据权利要求 8 所述的设备,进一步包括:

连接至所述串行接口的存储控制器；

其中,所述存储器进一步包括将同步时钟应用到所述存储器和所述存储控制器上的装置。

10. 根据权利要求 9 所述的设备,其中,所述存储器进一步包括以下之一：

用于经由所述主串行链路将所述经编码的数据流发送至所述存储控制器的装置,或者用于经由所述主串行链路从所述存储控制器接收所述经编码的数据流的装置。

11. 根据权利要求 9 所述的设备,其中,所述存储器进一步包括以下之一：

用于经由所述从串行链路将所述未经编码的和乱序的数据流发送至所述存储控制器的装置,或者

用于经由所述从串行链路从所述存储控制器接收所述未经编码和乱序的数据流的装置。

12. 根据权利要求 8 所述的设备,其中：

以预定顺序设置所述多条串行链路,以及

基于所述预定顺序将另一个串行链路指定为所述主串行链路。

13. 根据权利要求 8 所述的设备,其中,所述经编码的数据流是经由在数据流中提供乱序数据、直流 (DC) 均衡、和低连续相同数位 (CID) 的编码方案编码的。

14. 一种由包括存储器和存储控制器的设备实施的部件,包括：

用于将接口的多条链路中的特定链路限定为指定链路的装置；

用于将其余的所述多条链路限定为未指定链路的装置；

用于经由所述指定链路提供经编码的数据流的装置；以及

用于经由所述未指定链路提供未经编码的和乱序的数据流的装置；

用于确定与所述指定链路相关联的定时器是否已期满的装置；

用于当所述定时器期满时不将所述特定链路指定为所述指定链路的装置；

用于将所述多条链路中的另一链路指定为所述指定链路的装置；以及

用于重启所述定时器的装置。

15. 根据权利要求 14 所述的部件,其中,另一部件连接至所述接口,并且所述部件进一步包括：

用于将同步时钟应用到所述部件和所述另一部件上的装置。

16. 根据权利要求 15 所述的部件,其中,所述部件进一步包括以下之一：

用于经由所述指定链路,将所述经编码的数据流发送至所述另一部件的装置,或者

用于经由所述指定链路,从所述另一部件接收所述经编码的数据流的装置。

17. 根据权利要求 15 所述的部件,其中,所述部件进一步包括以下之一：

用于经由所述未指定链路,将所述未经编码的和乱序的数据流发送至所述另一部件的装置,或者

用于经由所述未指定链路,从所述另一部件接收所述未经编码的和乱序的数据流的装置。

18. 根据权利要求 14 所述的部件,其中,所述部件进一步包括：

用于以依次的顺序将所述多条链路中的每条限定为所述指定链路的装置。

低延时串行存储接口

技术领域

[0001] 本发明主要涉及通信设备领域,更具体地,涉及具有低延时串行存储接口的设备和使用低延时串行存储接口的方法。

背景技术

[0002] 计算和通信网络通常包括从一个或多个源向一个或多个目的地传送或交换数据(诸如包)的设备(例如,网络设备),诸如路由器、防火墙、交换机、服务器,或者网关。网络设备可在包遍历网络时在包上操作,诸如通过转发或过滤基于包的流量。一些计算设备(例如,个人计算机)可与网络不相关,并因此可称为独立设备。这种网络设备和计算机设备包括存储器和诸如串行存储接口的存储器接口。

[0003] 串行存储接口需要不同供应商之间和跨越通常具有不同输入/输出电压的工艺技术的不同代之间的互操作性。为了有助于这种互操作性,利用了交流(AC)耦合存储接口。然而,与每条链路具有板上AC电容器的芯片之间的传统串行接口不同,存储器(例如,存储器芯片)及其接口需要设置为与存储控制器相邻(例如,以使通道损耗减到最少),因此将AC耦合电容器配置在板(例如,与存储器和存储控制器相关的)上是不切实际的。因此,AC耦合电容器设置在芯片上。由于时钟数据恢复(CDR)和数据依赖直流(DC)基线漂移,这种AC耦合电容器(例如,设置在芯片上)的小尺寸限制可以设置在数据流中的连续相同数位(CID)(例如,连续的“0”或“1”)。

[0004] 因此,串行存储接口面临着DC均衡问题和CID问题。如果提供至/自串行存储接口的数据流不是DC均衡的,那么它将导致长期积聚的电荷,其将导致DC基线漂移。长CID将导致电容器上的电荷储存问题,其可通过在板上使用较大的电容器来解决。然而,如上所述,AC耦合电容器必须设置在芯片上(例如,而不是在板上)并且在尺寸上有限制。长CID还会导致如上所述的时钟数据恢复(CDR)问题。串行存储接口的另一个问题是传统异步时钟是与设置在发射机和接收机之间的串行链路一起使用的。由于不同时钟机制(例如,晶体振荡器)之间的频率偏移(例如,百万分之一(ppm))导致相位建立,因而导致额外的延时和电路来补偿此建立的相位。当在数据流中存在大量CID时,还存在对串行链路比特误码率的潜在的消极影响。此外,一些具有时钟恢复的串行存储接口利用发射机和接收机之间的异步时钟,其导致编码和相关逻辑的延时开销。

发明内容

[0005] 根据本发明的一个方面,一种方法可由包括存储器和存储控制器的设备来实施。该方法可包括由该设备将设置在存储器的串行接口的一组串行链路中的特定串行链路指定为主串行链路;由该设备将其余的串行链路指定为从串行链路;经由主串行链路提供经编码的数据流;以及经由从串行链路提供未经编码的和乱序的数据流。

[0006] 根据本发明的另一方面,一种设备可包含包括具有一组串行链路的串行接口和逻辑的存储器。该逻辑可将该组串行链路中的特定串行链路指定为主串行链路,并将该组其

余的串行链路指定为从串行链路。该逻辑还可经由主串行链路提供经编码的数据流，并可以经由从串行链路提供未经编码的和乱序的数据流。

[0007] 根据本发明的又一方面，一种设备可包括将同步时钟应用到设备的第一部件和第二部件上的装置，其中，第一部件包括具有一组串行链路的串行接口。该设备还可包括将该组串行链路中的特定串行链路指定为指定串行链路的装置，以及经由指定的串行链路将经编码的数据流发送至第二部件或从第二部件接收经编码的数据流的装置。该设备可进一步包括经由该组的其余串行链路将未经编码的和乱序的数据流发送至第二部件或从第二部件接收未经编码的和乱序的数据流的装置。

[0008] 根据本发明的再一方面，一种部件可包括具有一组链路的接口，以及将该组链路的特定链路限定为指定链路的逻辑。该逻辑也可将该组中的其余链路限定为未指定链路，经由指定链路提供经编码的数据流，并经由未指定链路提供未经编码的和乱序的数据流。

附图说明

[0009] 包括在本说明书中并构成本说明书的一部分的附图示出了本文中所描述的一个或多个实施方式，并连同描述对这些实施方式进行解释。在附图中：

[0010] 图 1 是本文所描述的系统 and / 或方法可在其中实现的示例性网络的图；

[0011] 图 2 是在图 1 中描述的设备的示例性部件的图；

[0012] 图 3 是在图 1 中描述的设备的示例性部分的部件之间的示例性相互作用的图；

[0013] 图 4A 至图 4C 是在图 1 中描述的设备的另一示例性部分的部件之间的示例性相互作用的图；以及

[0014] 图 5 和图 6 是提供根据本文描述的实施例的低延时串行接口的示例性处理过程的流程图。

具体实施方式

[0015] 下面的详细描述参照附图。不同图中相同的参考标号标识相同或相似的元件。除此之外，下面的详细描述不限制本发明。

[0016] 本文描述的实施例可以提供利用时钟恢复、换序数据、在发射机和接收机之间具有同步时钟的芯片上的 AC 耦合接口、以及低延时数据编码的系统 and / 或方法。该系统 and / 或方法可以确保具有改进的时钟数据恢复带宽和全部串行链路 BER 的 DC 均衡数据模式和确定性 CID。该系统 and / 或方法可使串行接口嵌入在存储器中，而不是设置在与存储器（例如，由于板的尺寸约束，其会受到抑制）相关联的板上。此外，该系统 and / 或方法可将同步系统时钟分配给存储控制器和存储器，这可以减少串行接口的总延时。

[0017] 示例性网络

[0018] 图 1 是本文所描述的系统 and / 或方法可在其中实施的示例性网络 100 的示图。如所示，网络 100 可以包括与网络 120 连接的一个或多个设备 110，和 / 或一个或多个独立的设备 110（即，不与网络 120 连接）。网络 100 的部件可以经由有线和 / 或无线连接或链路进行互连。为了简单起见，在图 1 中示出了两个设备 110 和单个网络 120。实际上，可存在多个设备 110 和 / 或网络 120。此外，在一些情况下，网络 100 的一个或多个部件可以执行描述为由网络 100 的另一个或多个部件执行的一个或多个任务。

[0019] 在一个示例性实施方式中,设备 110 可以包括网络设备,诸如网关、路由器、交换机、防火墙、网络接口卡 (NIC)、集线器、桥接器、代理服务器、光分插复用器 (OADM),或一些其它类型的处理和 / 或传送通信量的设备 (即,能够经由网络 120 将信息发送至其他设备 110 和 / 或从其他设备 110 接收信息的设备)。在另一个实施方式中,设备 110 可包括独立的设备 (例如,不连接至网络 120),诸如膝上型计算机、个人计算机、工作站、或其他类型的计算设备。

[0020] 网络 120 可以包括任意类型的一个或多个网络。例如,网络 120 可以包括局域网 (LAN)、广域网 (WAN)、城域网 (MAN)、电话网 (诸如公共交换电话网 (PSTN)、公共陆地移动网 (PLMN)、无线网)、内联网、互联网、基于光纤的网、或者网络的组合。

[0021] 虽然图 1 示出了网络 100 的示例性部件,但是在其他的实施方式中,与在图 1 中描述的部件相比,网络 100 可包括更少的部件、不同的部件、配置不同的部件、或附加的部件。

[0022] 示例性网络设备的配置

[0023] 图 2 示出了可对应于一个设备 110 的设备 200 的示例性部件的图。如图所示,设备 200 可包括总线 210、处理单元 220、存储器 230、输入设备 240、输出设备 250、和通信接口 260。

[0024] 总线 210 可以允许在设备 200 的部件之间进行通信。处理单元 220 可以包括解释和执行指令的一个或多个处理器或微处理器。在其他实施方式中,处理单元 220 可被实施为或包括一个或多个专用集成电路 (ASIC)、现场可编程门阵列 (FPGA) 等。

[0025] 如图 2 进一步所示,接口 225 可以设置在处理单元 220 和存储器 230 之间。接口 225 可以包括使处理单元 220 与存储器 230 之间能够通信的光、有线、或无线连接。

[0026] 存储器 230 可以包括存储由处理单元 220 执行的信息和指令的随机存取存储器 (RAM) 或另一类型的动态存储设备、存储处理单元 220 的静态信息和指令的只读存储器 (ROM) 或另一类型的静态存储设备、和 / 或用于存储信息和 / 或指令的某种其它类型的磁或光记录介质及其相应的驱动器。

[0027] 输入设备 240 可以包括允许操作员将信息输入至设备 200 的设备,诸如键盘、小键盘、鼠标、笔、麦克风、一个或多个生物测定机构等。输出设备 250 可以包括将信息输出至操作员的设备,诸如显示器、扬声器等。

[0028] 通信接口 260 可以包括使设备 200 能够与其它设备和 / 或系统进行通信的任何与收发器类似的机构。例如,通信接口 260 可以包括与其他设备 (诸如其它设备 110) 进行通信的机构。

[0029] 如本文描述的,响应于处理单元 220 执行包含在诸如存储器 230 的计算机可读介质中的软件指令,设备 200 可以执行特定操作。计算机可读介质可以限定为物理的或逻辑的存储设备。逻辑存储设备可以包括在单一物理存储设备中或者遍布多个物理存储设备中的存储空间。可以经由通信接口 260 从另一计算机可读介质或从另一设备将软件指令读入到存储器 230 中。包含在存储器 230 中的软件指令可以使处理单元 220 执行本文所描述的处理。可选地,硬件电路可用于替换或者结合软件指令来执行本文所描述的处理。因此,本文所描述的实施不局限于硬件电路和软件的任何特定的组合。

[0030] 尽管图 2 示出了设备 200 的示例性部件,在其它实施中,与图 2 中描述的设备相比较,设备 200 可以包括更少的、不同的、不同配置的、或附加的部件。可选地,或此外,设备

200 的一个或多个部件可以执行描述为由设备 200 的一个或多个其它部件所执行的一个或多个其它任务。

[0031] 示例性存储器 / 存储接口配置

[0032] 图 3 是在设备 110 的示例性部分 300 的部件之间的示例性相互作用的图。如图所示,设备 110 的部分 300 可以包括存储控制器 310、一个或多个存储器 320(例如,和相关联的串行接口 325)、时钟 330、以及时钟分配器 340。设备 110 的部分 300 的部件可经由有线和 / 或无线连接互连。在一个示例性实施例中,设备 110 可包括一个或多个部分 300。

[0033] 存储控制器 310 可以包括管理发送到和 / 或来自存储器 320 的数据流的数字电路。存储控制器 310 可以是单独的设备(或芯片)或可以被集成到另一个设备(或芯片),诸如微处理器。存储控制器 310 可以经由串行接口 325 与存储器 320 进行通信。在一个实例中,存储控制器 310 可以包括读和写动态 RAM(DRAM) 以及刷新 DRAM 的逻辑。

[0034] 每个存储器 320 可以包括存储用于由处理器(例如,处理单元 220)执行的信息和指令的 RAM 或另一类型的动态存储设备;存储用于由处理器(例如,处理单元 220)执行的静态信息和指令的 ROM 或另一类型的静态存储设备;和 / 或用于存储信息和 / 或指令的某种其他类型的磁或光记录介质及其相应的驱动器。在一个示例性实施例中,存储器 320 可以对应于设备 200 的存储器 230(图 2)。如图 3 所示,每个存储器 320 可以包括相应的串行接口 325。在存储器 320 上(例如,“在芯片上”)设置串行接口 325 可以改善存储器 320 和串行接口 325 的延时,可以提高设备 110 的功率,可以增加在设备 110 中的可用空间等。

[0035] 串行接口 325 可以包括提供到和 / 或来自存储器控制器 310 的串行通信(例如,每次按顺序发送一位数据)的接口。在一个实例中,串行接口 325 可以包括 AC 耦合接口(例如,具有 AC 耦合电容器)。在另一个实例中,串行接口 325 可以包括使数据流能够提供至和 / 或接收自存储器控制器 310 的一个或多个串行链路(例如,发射机和接收机对)。

[0036] 在一个示例性实施例中,存储器 320(例如,和串行接口 325)可被设置为与存储控制器 310 相邻,从而可将短通道(如图 3 所示)设置在存储控制器 310 和存储器 320(例如,和串行接口 325)之间。短通道可以减小存储控制器 310 和存储器 320 之间的插入损耗和回程损耗;可以将存储控制器 310 和存储器 320 之间所需的发送和接收均衡量减到最少;可以减少与串行接口 325 相关的延时。以下将结合例如图 4A 和图 4B 提供存储器 320 和串行接口 325 的进一步细节。

[0037] 时钟 330 可以包括产生时钟信号 350 的设备。在一个实例中,时钟 330 可以包括晶体振荡器(例如,使用压电材料的振动晶体的机械共振来产生具有精确频率的电信号的电子电路)。时钟信号 350 可以包括在高和低状态之间振荡的信号,可以用于协调存储控制器 310 和存储器 320 的工作。在一个实例中,时钟信号 350 可以包括具有精确频率的电信号。

[0038] 时钟分配器 340 可以包括从时钟 330 接收时钟信号 350 并提供存储控制器 310 和存储器 320 上的同步时钟 360(例如,基于时钟信号 350)的设备。提供存储控制器 310 和存储器 320 上的同步时钟 360 可减轻由存储控制器 310 和存储器 320 之间的频率偏移(例如,ppm)和建立的相关相位引起的延时影响。同步时钟 360 也可以减少存储器 320(例如,和 / 或串行接口 325)所需的额外管脚、额外功率和额外面积的需要。

[0039] 尽管图 3 示出了设备 110 的部分 300 的示例性部件,在其它实施例中,与图 3 中描

述的部件相比较,设备 110 可以包括更少的部件、不同的部件、不同配置的部件、或附加的部件。例如,尽管图 3 示出了三个存储器 320,但在其它实施例中,设备 110 可包括三个以上存储器 320。可选地,或此外,设备 110 的一个或多个部件可以执行描述为由设备 110 的一个或多个其它部件所执行的一个或多个其它任务。

[0040] 图 4A 至图 4C 是设备 110 的另一示例性部分 400 的部件之间的示例性相互作用的图。如图所示,部分 400 可以包括存储控制器 310、单个存储器 320 和单个串行接口 325。存储控制器 310、存储器 320、和串行接口 325 可以包括以上结合例如图 3 所描述的特征。如图 4A 至图 4C 进一步所示,串行接口 325 可以包括多个串行链路 410-0 至 410-7(统称为“串行链路 410”,以及在某些情况下,单独称为“串行链路 410”)、存储器 320 可以包括相位信息分配器 420。

[0041] 由于在串行接口可以解释代码之前串行接口必须等待全部代码到达,所以对提供至或自串行接口(例如,串行接口 325)的数据进行编码引入了额外的延时。例如,对于每个串行链路 410,如果链路速度为每秒十(10)吉比特(Gbps),每位花费 0.1 纳秒(ns)在存储控制器 310 和存储器 320 之间移动。使用 8B/10B 编码方案,每个代码是十(10)位,所以在串行链路 410 可以解释代码之前串行链路 410 需要等待一纳秒以接收全部代码。使用 64B/66B 编码方案,在串行链路 410 可以解释代码之前串行链路 410 需要等待 6.6 纳秒以接收全部代码。5.6ns(即,6.6ns - 1ns)的差表示串行接口 325 使用 64B/66B 编码方案相对于 8B/10B 编码方案将经历的额外延时。另一方面,8B/10B 编码方案在“有效位”与“总的发送位”的比率方面只有百分之八十(80%)的效率,而 64B/66B 编码方案具有大约百分之九十七(97%)的相应效率。因此,有效的编码方案引入额外延时,但低延时编码方案具有低效率。

[0042] 本文所描述的实施例可在八条串行链路 410 中的一条上提供低延时编码(例如,8B/10B 编码)。在一个示例性实施例中,如结合图 4A 所描述,可指定一条串行链路为主串行链路,而指定其余的串行链路 410 为从串行链路。主串行链路可提供低延时编码。在另一示例性实施例中,如结合图 4B 和图 4C 所描述,每条串行链路 410 可以顺序地用于提供低延时编码。该实施例可以提供大约 97.5%(即, $[7 \times 10(\text{未经编码的串行链路}) + 8(\text{经编码的串行链路})] / 80$)的总效率(例如,在八条串行链路 410 上),同时可以保持一纳秒的延时(例如,如果使用 8B/10B 编码)。

[0043] 参照图 4A,串行链路 410 可以包括使数据流能够提供至和/或接收自存储控制器 310 的发射机和接收机对。在示例性实施例中,串行链路 410 可以包括串行化器/并行化器(SerDes)。SerDes 可以包括将并行数据转化为串行数据和反之亦然集成电路(IC)收发机。SerDes 的发射机部分可以包括并串行转换器,SerDes 的接收机部分可包括串并行转换器。SerDes 能够有助于在经过串行流的两点之间发射并行数据,这可以减少串行接口 325 所需的数据路径和连接管脚或导线的数量。在一个实例中,串行链路 410 可以包括在串行化数据之前将每个数据字节映射至十位代码的 8B/10B SerDes。8B/10B SerDes 的并行化器可利用参考时钟来监控来自比特流的恢复时钟。

[0044] 相位信息分配器 420 可以包括将相位信息 430 提供至串行链路 410 的设备。相位信息 430 可以包括用于校准和/或更新与串行链路 410-1 至 410-7 相关的 CDP 电路的相位以提供数据流 450(例如,没有最大 CID 的限制)的正确操作的信息。

[0045] 如图 4A 进一步所示, 串行接口 325 (例如, 或存储器 320) 可以包括将一条串行链路 410 (例如, 串行链路 410-0) 指定为主串行链路, 和将其余的串行链路 410 (例如, 串行链路 410-1 至 410-7) 指定为从串行链路的逻辑。主串行链路 410-0 可以包括将经编码的数据流发送至存储控制器 310 或接收来自存储控制器 310 的经编码的数据流的逻辑。可以使用 4B/5B 编码方案、7B/8B 编码方案、8B/10B 编码方案、9B/10B 编码方案、31B/32B 编码方案、64B/66B 编码方案、或其它任何在数据流中提供乱序数据、DC 均衡、和低 CID 的编码方案对数据流 440 进行编码。

[0046] 如图 4A 进一步所示, 由于主串行链路 410-0 可以具有良好的 CID, 相位信息分配器 420 可以包括从主串行链路 410-0 提取相位信息 430, 并将相位信息 430 分配至从串行链路 410-1 至 410-7 的逻辑。

[0047] 从串行链路 410-1 至 410-7 可以包括将未经编码的和乱序的数据流 450 发送至存储控制器 310 或从存储控制器 310 接收未经编码的和乱序的数据流 450 的逻辑。数据流 450 可以是未经编码的, 可以是乱序的, 从而可以随机配置数据流 450 中的数据。

[0048] 在一个示例性实施例中, 串行接口 325 (例如, 或存储器 320) 可以包括提供定时器、确定定时器是否已期满、以及当定时器期满时不将特定串行链路 410 (例如, 串行链路 410-0) 指定为主串行链路的逻辑。串行接口 325 (例如, 或存储器 320) 可以进一步包括将另一串行链路 410 指定为主串行链路并重新启动定时器的逻辑。例如, 串行接口 325 (例如, 或存储器 320) 可以不将串行链路 410-0 指定为主串行链路, 可以将串行链路 410-1 指定为主串行链路。主串行链路 410-1 可以将经编码的数据流 440 发送至存储控制器 310 或从存储控制器 310 接收经编码的数据流 440, 而从串行链路 410-0 和 410-2 至 410-7 可以将未经编码的和乱序的数据流 450 发送至存储控制器 310 或从存储控制器 310 接收未经编码的和乱序的数据流 450。

[0049] 如图 4B 所示, 存储器 320 可以不包括相位信息分配器 420, 串行接口 325 (例如, 或存储器 320) 可以包括顺序旋转指定的串行链路 410 (例如, 图 4B 中的串行链路 410-0) 的逻辑。指定的串行链路 410-0 可以包括将经编码的数据流 440 发送至存储控制器 310 或从存储控制器 310 接收经编码的数据流 440 的逻辑。而其余的串行链路 (例如, 图 4B 中未指定的串行链路 410-1 至 410-7) 可以包括将未经编码的和乱序的数据流 450 发送至存储控制器 310 或从存储控制器 310 接收未经编码的和乱序的数据流 450 的逻辑。在一个实例中, 可以以特定的连续顺序改变指定的串行链路 410。如图 4C 所示, 在另一时间点串行链路 410-1 可以是指定的串行链路, 而串行链路 410-0 和 410-2 至 410-7 可以是未指定的串行链路 410。指定的串行链路 410-1 可以包括将经编码的数据流 440 发送至存储控制器 310 或从存储控制器 310 接收经编码的数据流 440 的逻辑。而未指定的串行链路 410-0 和 410-2 至 410-7 可经包括将未经编码的和乱序的数据流 450 发送至存储控制器 310 或从存储控制器 310 接收未经编码的和乱序的数据流 450 的逻辑。

[0050] 例如, 如果使用 8B/10B 编码, 当将数据的前十位发送至串行链路 410 时 (例如, 在第一时间段), 可以对串行链路 410-0 (图 4B) 上的数据执行编码。当将数据的第二个十位发送至串行链路 410 时 (例如, 在第二时间段), 可以对串行链路 410-1 (图 4B) 上的数据执行编码。可以重复这个过程, 直到将八十 (80) 位数据发送至串行链路 410, 并且可以再次返回至串行链路 410-0 (图 4B) 进行编码。因此, 每条串行链路 410 可以包括每八十 (80) 位

数据的编码字。因为每个编码字可具有确定性 CID, 每条串行链路可具有大约八十 (80) 位以上数据的确定性最大 CID。使用这样的配置, 串行链路 410 能够独自执行 CDR 而不需分配相位信息 430。此外, 通过旋转编码字, 可以维持串行接口 325 的效率和延时。

[0051] 图 4A 至图 4C 中所示的配置由于每次只有单个数据流需要编码和解码 (例如, 而不是所有数据流), 因此可以增加可用带宽, 并将与串行接口 325 (例如, 和 / 或存储器 320) 相关的延时减到最小。此外, 图 4A 至图 4C 中所示的配置可以限制 CID 的最大数量, 并不会产生延时开销。

[0052] 尽管图 4A 至图 4C 示出了设备 110 的部分 400 的示例性部件, 但在其它实施例中, 与图 4A 至图 4C 中示出的配置相比较, 设备 110 可以包括更少的部件、不同的部件、不同配置的部件、或附加的部件。例如, 尽管图 4A 至图 4C 示出了具有八条串行链路 410 的串行接口 325, 但在其它实施例中, 串行接口 325 可以包括多于或少于八条的串行链路 410。在另一实例中, 串行链路 410 可以设置在存储控制器 310 中, 存储控制器 310 可以以与存储器 320 相似的方式运行。即, 结合图 4A 至图 4C 所示的相互作用可以在两个方向 (例如, 从存储控制器 310 至存储器 320 和反之亦然) 上工作。可选地, 或此外, 设备 110 的一个或多个部件可以执行描述为由设备 110 的一个或多个其它部件所执行的一个或多个其它任务。

[0053] 示例性处理过程

[0054] 图 5 和图 6 是根据本文描述的实施例的提供低延时串行接口的示例性处理过程 500 的流程图。在一个实施例中, 可以通过设备 110 执行处理过程 500。在另一个实施例中, 可以通过设备 110 的一个或多个部件执行一些或所有处理过程 500。

[0055] 如图 5 所示, 处理过程 500 可以包括将同步时钟应用在设置在设备中的存储器和存储控制器上 (块 510), 将设置在存储器中的串行接口的多条串行链路的特定串行链路指定为主串行链路 (块 520), 以及将其余的多条串行链路指定为从串行链路 (块 530)。例如, 在以上结合图 3 和图 4A 描述的实施例中, 时钟分配器 340 可以从时钟 330 接收时钟信号, 并可在存储控制器 310 和存储器 320 上提供同步时钟 360 (例如, 基于时钟信号 350)。串行接口 325 (例如, 或存储器 320) 可以包括将一条串行链路 410 (例如, 串行链路 410-0) 指定为主串行链路, 以及将其余串行链路 410 (例如, 串行链路 410-1 至 410-7) 指定为从串行链路的逻辑。

[0056] 如图 5 进一步所示, 处理过程 500 可以包括经由主串行链路将经编码的数据流发送至存储控制器或从存储控制器接收经编码数据流 (块 540), 以及, 经由从串行链路, 将未经编码的和乱序的数据流发送至存储控制器或从存储控制器接收未经编码的和乱序的数据流 (块 550)。例如, 在以上结合图 4A 描述的实施例中, 主串行链路 410-0 可以包括将经编码的数据流 440 发送至存储控制器 310 或从存储控制器 310 接收经编码的数据流 440 的逻辑。可以使用 8B/10B 编码方案、64B/66B 编码方案、或其它任何在数据流中提供乱序的数据、DC 均衡、和低 CID 的编码方案对数据流 440 进行编码。从串行链路 410-1 至 410-7 可以包括将未经编码的和乱序的数据流 450 发送至存储控制器 310 或从存储控制器 310 接收未经编码的和乱序的数据流 450 的逻辑。数据流 450 可以是未经编码的, 还可以是乱序的, 从而可以随机配置数据流 450 中的数据。

[0057] 处理过程块 520 可以包括在图 6 中所描述的处理过程块。如图 6 所示, 处理过程块 520 可以包括确定定时器是否已期满 (块 600), 当定时器期满时不将特定串行链路指定

为主串行链路（块 610），将多条串行链路的另一串行链路指定为主串行链路，并重新启动定时器（块 630）。例如，在以上结合图 4A 描述的实施例中，串行接口 325（例如，或存储器 320）可以包括提供定时器、确定定时器是否已期满的逻辑、以及当定时器期满时不将特定的串行链路 410（例如，串行链路 410-0）指定为主串行链路的逻辑。串行接口 325（例如，或存储器 320）可以进一步包括将另一串行链路 410 指定为主串行链路并重新启动定时器的逻辑。串行接口 325（例如，或存储器 320）可以不将串行链路 410-0 指定为主串行链路，并可以将串行链路 410-1 指定为主串行链路。

[0058] 结论

[0059] 本文描述的实施例可提供利用时钟恢复、乱序数据、在发射机和接收机之间具有同步时钟的芯片上的 AC 耦合接口、以及低延时数据编码的系统 and / 或方法。该系统 and / 或方法可以利用改进的时钟数据恢复带宽和全部串行链路 BER 确保 DC 均衡数据模式以及确定性 CID。该系统 and / 或方法可以使串行接口嵌入在存储器中，而不是设置在与存储器（例如，由于板的尺寸约束，其会受限制）相关的板上。此外，该系统 and / 或方法可以将同步系统时钟分配至存储控制器和存储器，者可以减少串行接口的总延时。

[0060] 以上实施例的描述提供了说明和描述，但并非旨在穷举，或将发明限制于所公开的精确形式。可以根据上述教导进行修改和变化，或可以从本发明的实践获得修改和变化。

[0061] 例如，虽然以上描述了串行存储接口，但本文描述的实施例可以应用于利用串行接口或光接口的任何设备或设备的部件。此外，本文所描述的实施例可应用于基于光、有线和 / 或无线的接口。

[0062] 例如，虽然参照图 5 和图 6 已描述了一系列块，在其它实施例中可以更改块的顺序。此外，可以并行执行非依赖性的块。

[0063] 显然如上所述的示例性方面可以在图中所示的实施方式中以软件、固件和硬件的多种不同形式实现。用于实现这些方面的实际软件代码或专门的控制硬件不应构成限制。因此，没有参照特定的软件代码描述该方面的操作和行为——这应当被理解为基于本文的描述可设计软件和控制硬件以实现该方面。

[0064] 此外，本文所描述的一个或多个实施例可经由执行一个或多个功能的“逻辑”来提供。本文所使用的术语“逻辑”可以包括诸如 ASIC 或 FPGA 的硬件，或硬件和软件的组合。

[0065] 尽管在权利要求中陈述了和 / 或在说明书中公开了特征的特定组合，但是这些组合并非旨在限制本发明。事实上，这些特征中的许多特征可以以权利要求书中没有具体陈述和 / 或说明书中没有具体公开的方式组合。

[0066] 除非如这样明确描述，本申请中所使用的元素、过程或指令都不应解释为对本发明是关键的或必需的。同时，本文所使用的冠词“一 (a)”意旨包括一个或多个项目。当只包括一个项目时，使用术语“一个 (one)”或者类似的语言。此外，除非另有明确声明，短语“基于”意旨“至少部分基于”。

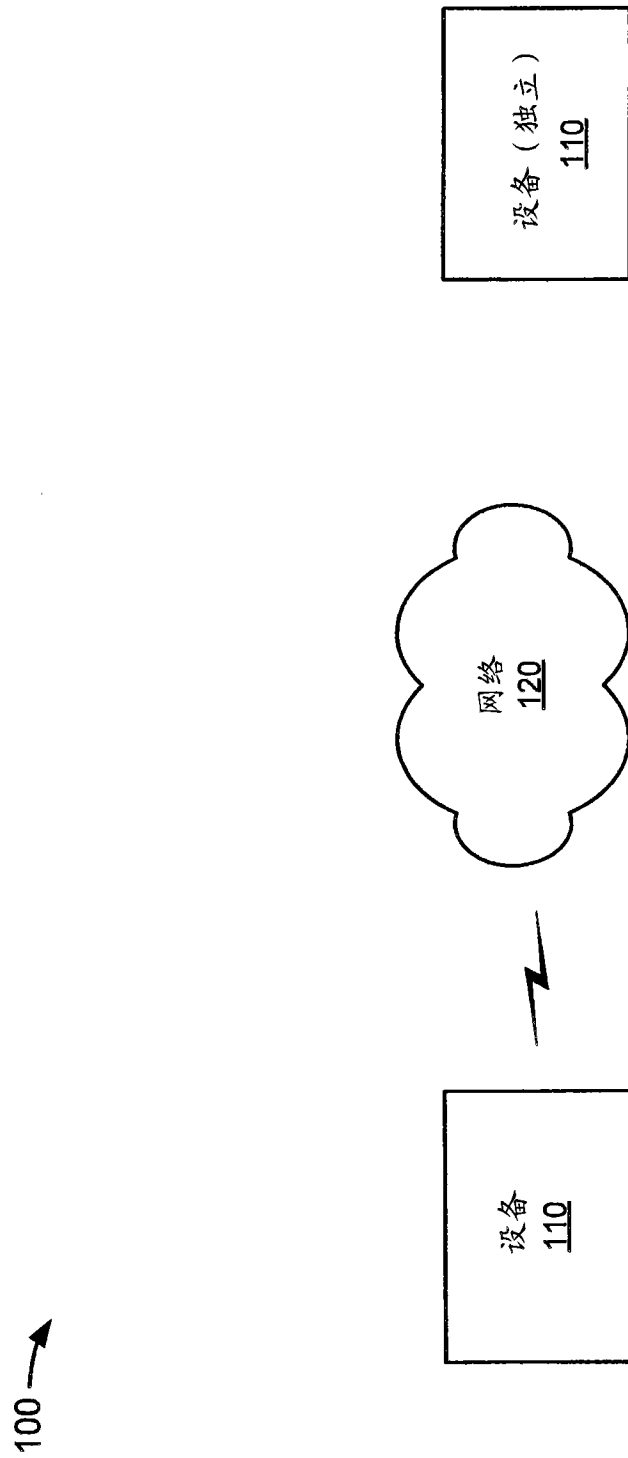


图 1

200 →

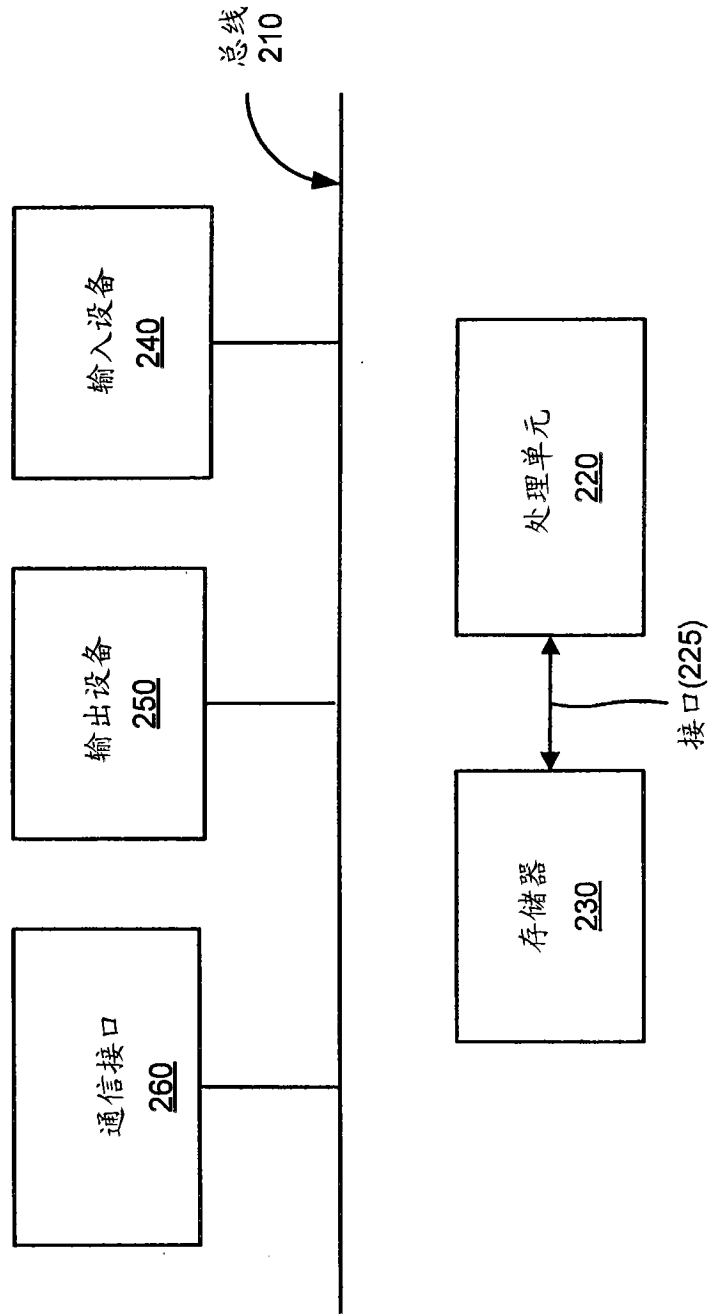


图 2

300 →

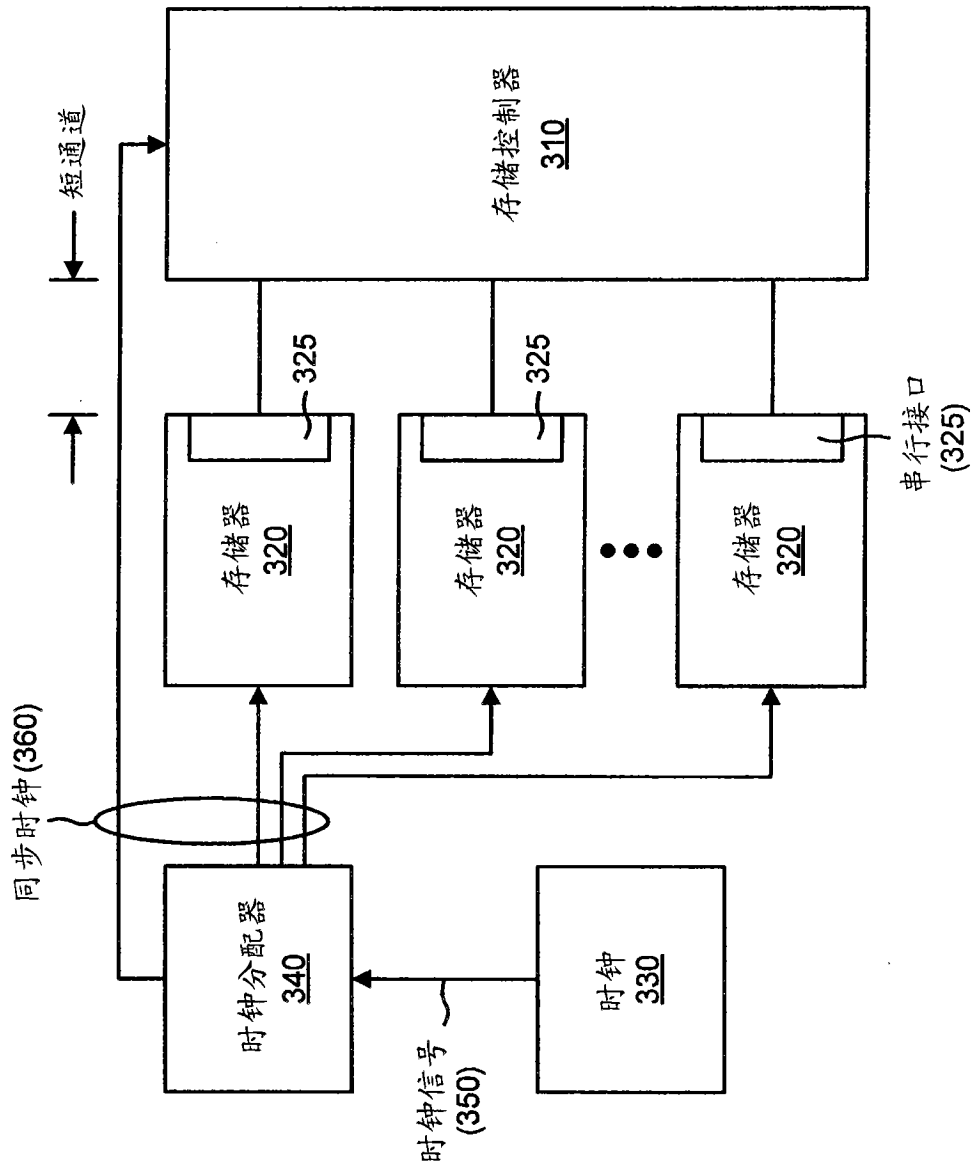


图 3

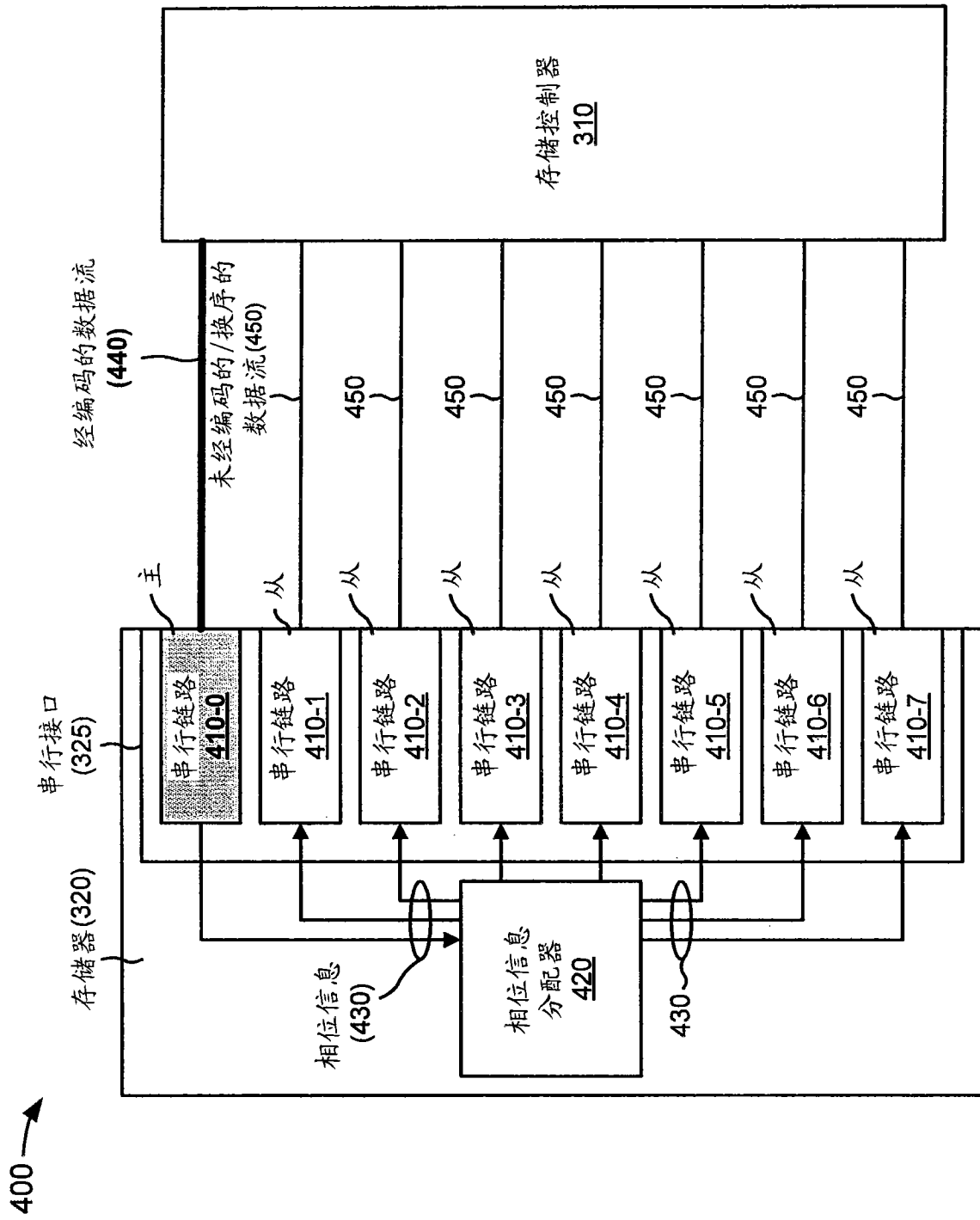


图 4A

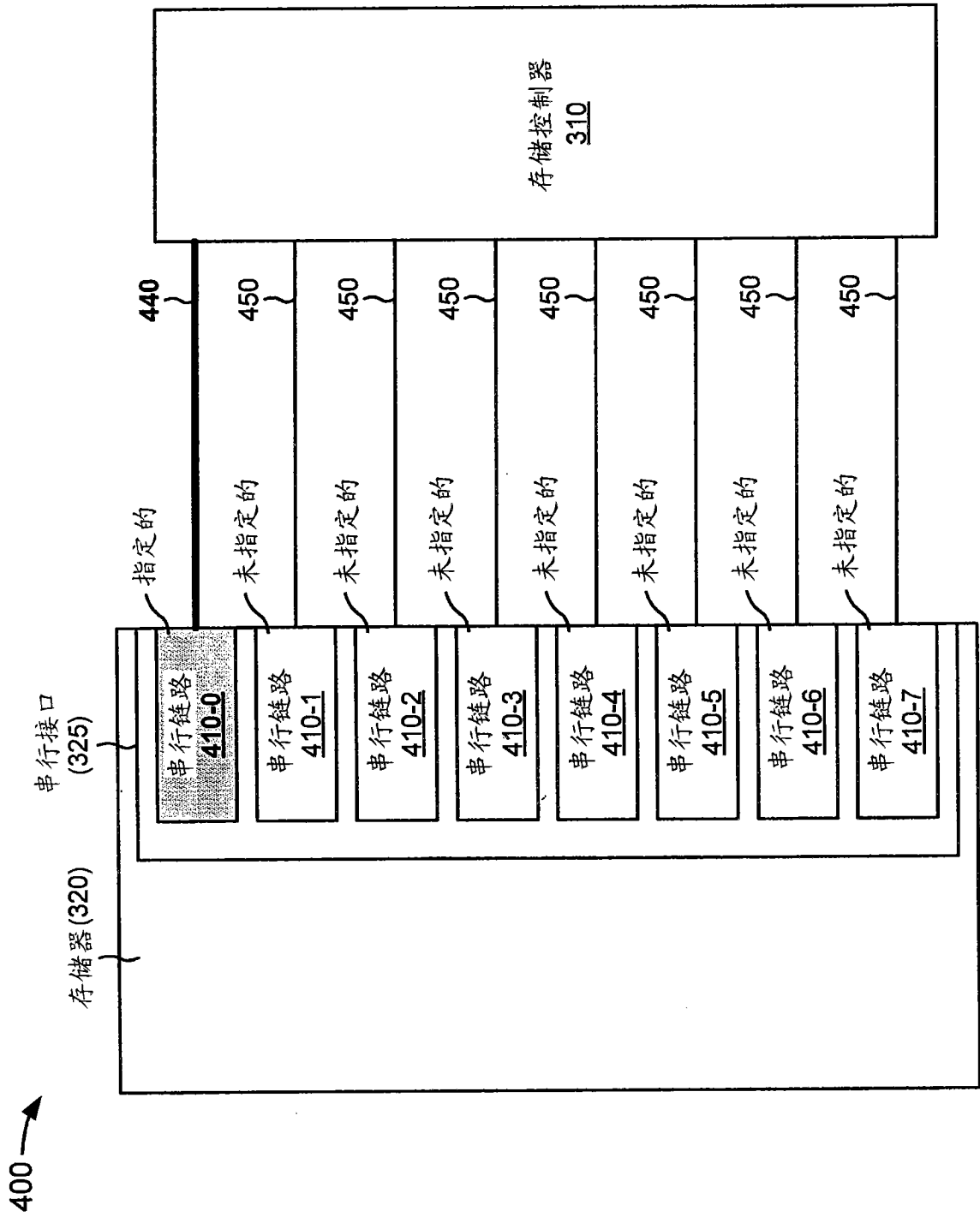


图 4B

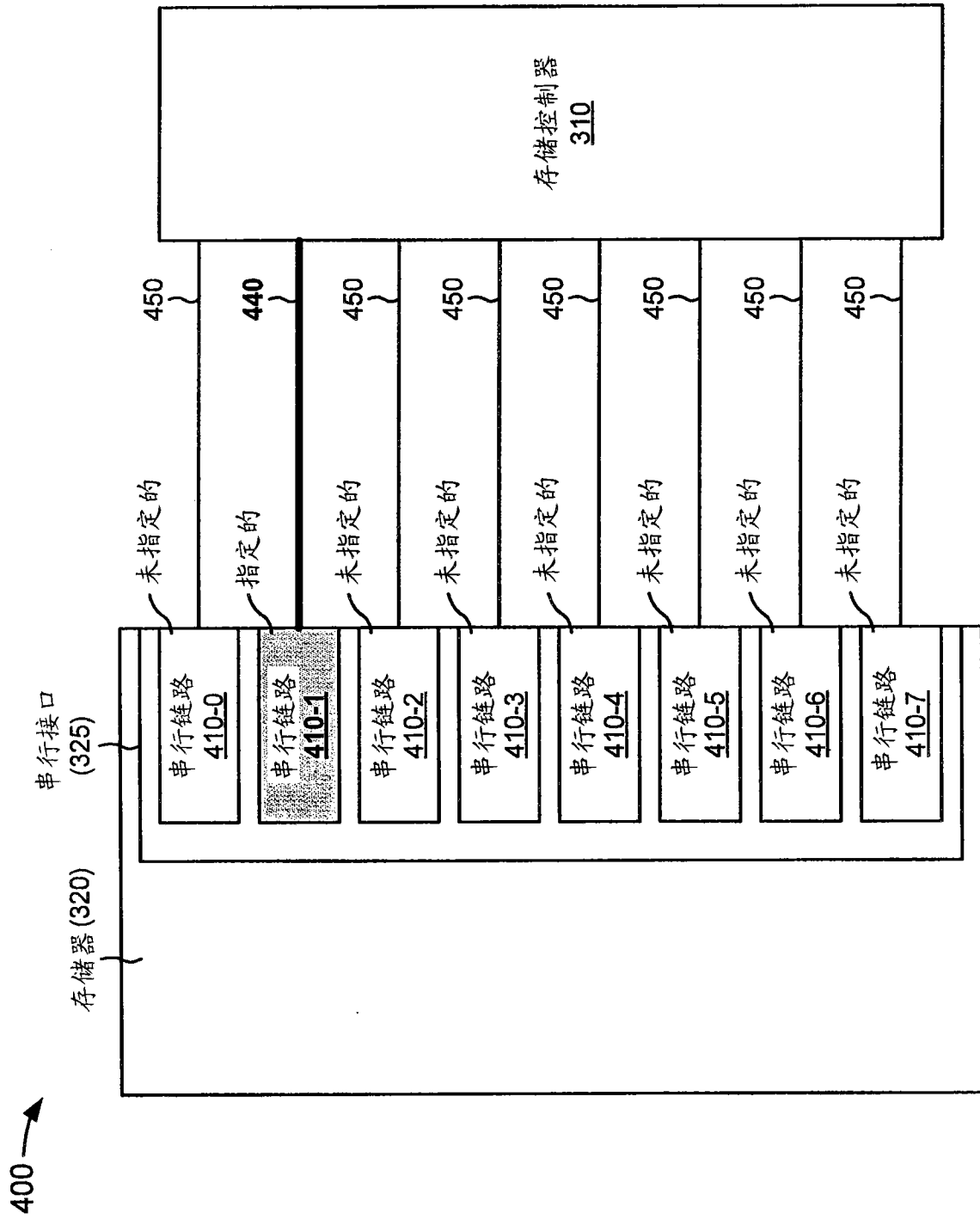


图 4C

500 →

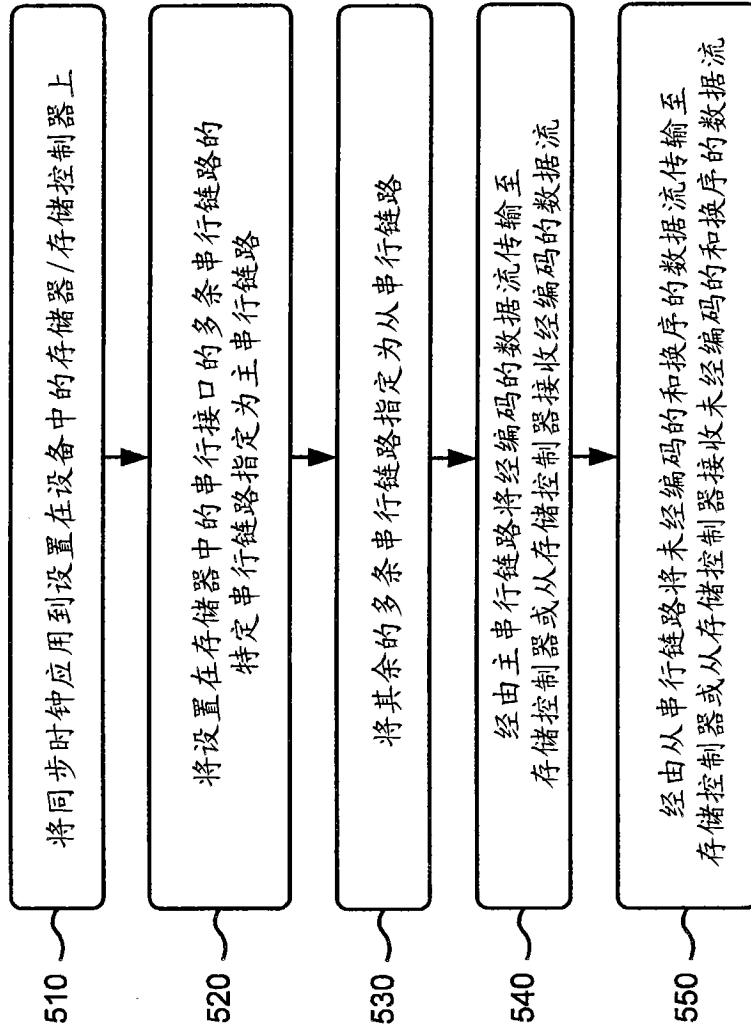


图 5

520 →

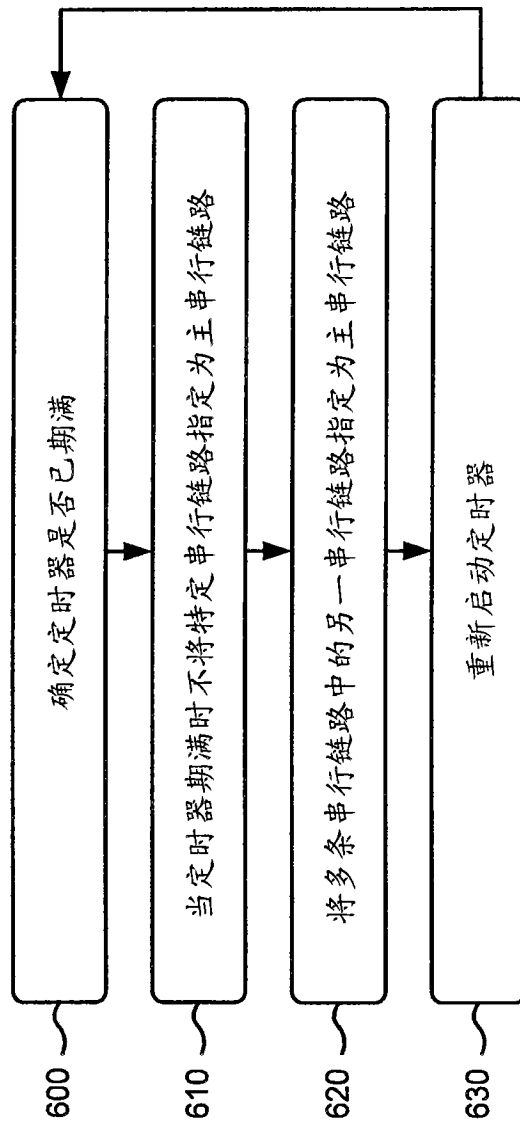


图 6