

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200610088569.3

[43] 公开日 2007年1月10日

[11] 公开号 CN 1892788A

[22] 申请日 2006.6.5

[21] 申请号 200610088569.3

[30] 优先权

[32] 2005.6.30 [33] KR [31] 10-2005-0057941

[71] 申请人 LG. 飞利浦 LCD 株式会社

地址 韩国首尔

[72] 发明人 尹溱模 柳俊锡

[74] 专利代理机构 北京三友知识产权代理有限公司

代理人 李 辉

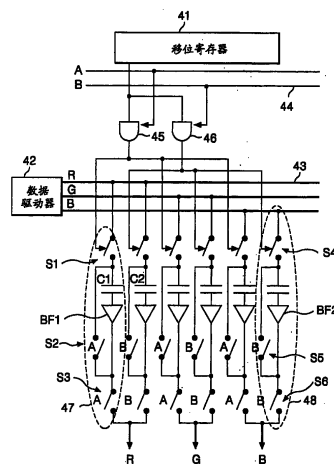
权利要求书 5 页 说明书 11 页 附图 9 页

[54] 发明名称

用于液晶显示器的模拟采样装置

[57] 摘要

用于液晶显示器件的模拟采样装置，包括：用于产生模拟数据电压的数据驱动器；用于接收该模拟数据电压的数据输出总线线路；与数据输出总线线路相连接的第一采样和保持电路，用于补偿模拟数据电压中的偏移电压，并将该模拟数据电压提供给液晶显示板的数据线；以及与数据输出总线线路相连接的第二采样和保持电路，被设置为在第一采样和保持电路将模拟数据电压提供给数据线的同时对所述模拟数据电压进行采样。第一采样和保持电路被设置为在第二采样和保持电路对模拟数据电压进行采样的同时提供该模拟数据电压，并且在第二采样和保持电路提供模拟数据电压的同时对该模拟数据电压进行采样。



1、一种液晶显示器件的模拟采样装置，包括：

用于产生模拟数据电压的数据驱动器；

用于接收所述模拟数据电压的数据输出总线线路；

与数据输出总线线路相连接的第一采样和保持电路，用于对所述模拟数据电压中的偏移电压进行补偿并将该模拟数据电压提供给液晶显示板的数据线；以及

与数据输出总线线路相连接的第二采样和保持电路，被设置为在第一采样和保持电路将模拟数据电压提供给数据线的同时对所述模拟数据电压进行采样，

其中，第一采样和保持电路被设置为在第二采样和保持电路对模拟数据电压进行采样的同时提供所述模拟数据电压，并且在第二采样和保持电路提供模拟数据电压的同时对所述模拟数据电压进行采样。

2、根据权利要求1所述的模拟采样装置，还包括：

移位寄存器，用于顺序地产生采样信号以对模拟数据电压进行采样；
以及

定时控制器，用于通过产生脉冲宽度为一个水平周期并且周期为两个水平周期的第一控制信号以及与第一控制信号相位相反的第二控制信号来控制第一采样和保持电路以及第二采样和保持电路，并且控制数据驱动器和移位寄存器。

3、根据权利要求2所述的模拟采样装置，还包括：

第一 AND 门，用于对采样信号与第一控制信号执行 AND 运算以输入到第一采样和保持电路；以及

第二 AND 门，用于对采样信号与第二控制信号执行 AND 运算以输入到第二采样和保持电路。

4、根据权利要求3所述的模拟采样装置，其中，第一采样和保持电路包括：

第一开关装置，与数据输出总线线路相连接，由第一 AND 门的输出

信号控制；

与第一开关装置相连接的第一电容器；

与第一电容器相连接的第一缓冲器；

第二开关装置，连接在第一缓冲器的输出端子与位于第一开关装置与第一电容器之间的一节点之间，由第一控制信号控制；以及

第三开关装置，连接在第一缓冲器与数据线之间，由第一控制信号控制。

5、根据权利要求4所述的模拟采样装置，其中，第二采样和保持电路包括：

第四开关装置，与数据输出总线线路相连接，由第二 AND 门的输出信号控制；

与第四开关装置相连接的第二电容器；

与第二电容器相连接的第二缓冲器；

第五开关装置，连接在第二缓冲器的输出端子与位于第四开关装置与第二电容器之间的一节点之间，由第二控制信号控制；以及

第六开关装置，连接在第二缓冲器与数据线之间，由第二控制信号控制。

6、根据权利要求2所述的模拟采样装置，其中，数据驱动器将来自定时控制器的数字数据转换为模拟数据电压，以通过数据输出总线输出该模拟数据电压。

7、根据权利要求4所述的模拟采样装置，其中，第一采样和保持电路的第一开关装置被设置为：对于第一水平周期，其响应于来自第一 AND 门的输出而将数据输出总线与第一电容器连接起来，对于第二水平周期，其使得数据输出总线与第一电容器之间的电流通路断开。

8、根据权利要求5所述的模拟采样装置，其中，第二采样和保持电路的第四开关装置被设置为：对于第二水平周期，其响应于第二 AND 门的输出而将数据输出总线与第二电容器连接起来，对于第一水平周期，其使得数据输出总线与第二电容器之间的电流通路断开。

9、一种液晶显示器件的模拟采样装置，包括：

用于产生模拟数据电压的数据驱动器；
用于接收所述模拟数据电压的数据输出总线线路；
用于输出所述模拟数据电压的输出节点；

与数据输出总线线路相连接的第一采样和保持电路，用于针对偏移电压对所述模拟数据电压进行补偿，以用经补偿的模拟数据电压来控制输出节点的电压；以及

与数据输出总线线路相连接的第二采样和保持电路，用于在第一采样和保持电路对输出节点的电压进行控制的同时对模拟数据电压进行采样，

其中，第一采样和保持电路以及第二采样和保持电路被设置为交替地对输出节点的电压进行控制并且对模拟数据电压进行采样。

10、根据权利要求 9 所述的模拟采样装置，还包括：

移位寄存器，用于顺序地产生采样信号；以及

定时控制器，用于产生以下信号：脉冲宽度为一个水平周期且周期为两个水平周期的第一控制信号、与第一控制信号相位相反的第二控制信号；按一个水平周期的时间间隔产生的 HSP 信号；被产生为在当第二控制信号为逻辑高值时的采样时间点为逻辑高值的 $B \cap HSP$ 信号；被产生为在当第一控制信号为逻辑高值时的采样时间点为逻辑高值的 $A \cap HSP$ 信号；以及用于指示数据线的预充电时间段与数据提供时间段的 RSP 信号，以控制第一采样和保持电路以及第二采样和保持电路并且控制数据驱动器和移位寄存器。

11、根据权利要求 10 所述的模拟采样装置，其中，第一采样和保持电路包括：

第一开关装置，用于接收模拟数据电压，由 $B \cap HSP$ 信号控制；
与第一开关装置相连接的第一电容器；
与第一电容器相连接的第一反相器；
与第一反相器相连接的第二电容器；
与第二电容器相连接的第二反相器；
第二开关装置，连接在第一反相器的输出端子与位于第一电容器与

第一反相器之间的一节点之间，由第二控制信号控制；以及

第三开关装置，连接在第二反相器的输出端子与位于第二电容器与第二反相器之间的一节点之间，由第二控制信号控制。

12、根据权利要求 11 所述的模拟采样装置，其中，第二采样和保持电路包括：

第四开关装置，用于接收模拟数据电压，由 $A \cap HSP$ 信号控制；

与第四开关装置相连接的第三电容器；

与第三电容器相连接的第三反相器；

与第三反相器相连接的第四电容器；

与第四电容器相连接的第四反相器；

第五开关装置，连接在第三反相器的输出端子与位于第三电容器与第三反相器之间的一节点之间，由第一控制信号控制；以及

第六开关装置，连接在第四反相器的输出端子与位于第四电容器与第四反相器之间的一节点之间，由第一控制信号控制。

13、根据权利要求 12 所述的模拟采样装置，还包括：

第一选通门，连接在输出节点与位于第一开关装置与第一电容器之间的一节点之间，用于响应于第一控制信号而将模拟数据电压提供给输出节点；

用于接收低电势电压的第一晶体管；

连接在第一晶体管与输出节点之间的第二晶体管；

连接到输出节点的第三晶体管，用于接收提供的高电势电压；

第二选通门，连接在第一晶体管的栅极端子与位于第三开关装置与第一反相器的输出端子之间的一节点之间，由第一控制信号控制；

第三选通门，连接在输出节点与位于第四开关装置与第三电容器之间的一节点之间，用于响应于第二控制信号而将模拟数据电压提供给输出节点；以及

第四选通门，连接在第一晶体管的栅极端子与位于第六开关装置与第四反相器的输出端子之间的一节点之间，由第二控制信号控制。

14、根据权利要求 13 所述的模拟采样装置，其中，第一晶体管和第

二晶体管各自是 n 型薄膜晶体管；第三晶体管是 p 型薄膜晶体管。

15、根据权利要求 11 所述的模拟采样装置，其中，第一采样和保持电路的第一开关装置被设置为：响应于在第二控制信号逻辑为高的时间段内的采样时间点产生的高逻辑的 $B \cap HSP$ 信号而接通，以将来自数据输出总线的模拟数据电压提供给第一电容器，并且，当 $B \cap HSP$ 信号逻辑为低时，其断开以使得输入端子与第一电容器之间的电流通路断开。

16、根据权利要求 12 所述的模拟采样装置，其中，第二采样和保持电路的第四开关装置被设置为：响应于在第一控制信号逻辑为高的时间段内的采样时间点产生的高逻辑的 $A \cap HSP$ 信号而接通，以将来自数据输出总线的模拟数据电压提供给第三电容器，并且，当 $B \cap HSP$ 信号逻辑为低时，其断开以使得输入端子与第三电容器之间的电流通路断开。

用于液晶显示器的模拟采样装置

技术领域

本发明涉及液晶显示器件，更具体地，涉及液晶显示器件的模拟采样装置，其充分确保采样时间和数据驱动时间。

背景技术

液晶显示器件根据视频信号来控制液晶单元的透光率以显示图片。

在一般的有源矩阵型液晶显示器件中，使用有源开关装置来控制各个液晶单元中的电场以控制该单元的透光率。通过控制有源开关装置，可以显示运动图像。薄膜晶体管（以下，称作“TFT”）是有源矩阵型液晶显示器件中的开关装置主要使用的装置。

如图 1 所示，现有技术的液晶显示器件包括：液晶显示板 2，其具有与多个选通线 6 交叉的多个数据线 5，以及形成在选通线和数据线的交叉处的用于驱动液晶单元的 TFT；用于向数据线 5 提供数据的数据驱动器 3；用于向选通线 6 提供扫描脉冲的选通驱动器 4；以及用于控制数据驱动器 3 和选通驱动器 4 的定时控制器 1。

液晶显示板 2 包括注入在两个玻璃基板之间的液晶。数据线 5、选通线 6 和 TFT 形成在这两个玻璃基板中较下的玻璃基板上。TFT 响应于来自选通线 6 的扫描脉冲而将来自数据线 5 的数据提供给液晶显示单元。为此，TFT 的栅极与选通线 6 相连接，源极与数据线 5 相连接，而 TFT 的漏极与液晶单元 Clc 的像素电极相连接。此外，在液晶显示板的下玻璃基板上形成有用于保持液晶单元的电压的存储电容器 Cst。

定时控制器 1 接收数字视频数据 RGB、水平同步信号 H、垂直同步信号 V、以及时钟信号 CLK，并且产生用于控制选通驱动器 4 的选通控制信号 GDC 和用于控制数据驱动器 3 的数据控制信号 DDC。此外，定时控制器 1 将数字视频数据 RGB 提供给数据驱动器 3。

选通驱动器 4 包括：移位寄存器，用于响应于来自定时控制器 1 的选通控制信号 GDC 而顺序地产生扫描脉冲；电平转换器，用于将扫描脉冲的摆动宽度（swing width）转换为适合于驱动液晶单元 Clc 的电平；以及输出缓冲器等。选通驱动器 4 将扫描脉冲提供给选通线 6 以使得与选通线 6 相连接的 TFT 导通，从而选择一个水平行中的要向其提供数据的像素电压（即模拟伽马补偿电压）的液晶单元 Clc。将数据驱动器 3 产生的数据提供给该水平行的由扫描脉冲选择的液晶单元 Clc。

数据驱动器 3 响应于从定时控制器 1 提供的数据驱动控制信号 DDC 而将数据提供给数据线 5。数据驱动器 3 对来自定时控制器 1 的数字数据 RGB 进行采样，锁存该数据，然后将该数据转换成模拟伽马电压。数据驱动器 3 可以被实现为各自具有如图 2 所示结构的多个数据集成电路（以下，称为“IC”）。

如图 2 所示，各个数据 IC 3A 包括：用于从定时控制器 1 接收数字数据 RGB 的数据寄存器 21；用于产生采样时钟的移位寄存器 22；通过 k（其中，k 为小于 m 的整数，m 是液晶显示板的数据线的数量）条数据线 DL1 至 DLk 连接在移位寄存器 22 与输出电路 26 之间的第一锁存器 23、第二锁存器 24 和数/模转换器（以下，称作“DAC”）25；以及连接在伽马基准电压发生器 4 与 DAC 25 之间的伽马电压源 27。

数据寄存器 21 将来自定时控制器 1 的数字数据 RGB 提供给第一锁存器 23。移位寄存器 22 根据源采样时钟信号 SSC 对来自定时控制器 1 的源启动脉冲进行移位以产生采样信号。此外，移位寄存器 22 对源启动脉冲 SSP 进行移位，以向下一级移位寄存器 22 发送进位信号 CAR。第一锁存器 23 响应于移位寄存器 22 顺序地提供的采样信号而对来自数据寄存器 21 的数字数据 RGB 顺序地进行采样。第二锁存器 24 对从第一锁存器 23 提供的数据进行锁存，然后响应于来自定时控制器 1 的源输出使能信号 SOE 而将锁存的数据同时输出。DAC 25 将来自第二锁存器 24 的数据转换成来自伽马电压源 27 的伽马电压 DGH、DGL。伽马电压 DGH、DGL 是与数字输入数据的各个灰度级相对应的模拟电压。输出电路 26 包括与各个数据线相连接的缓冲器。伽马电压源 27 对从伽马基准电压发生器 4 输入的伽马基准电压进行细分，

以将对应于各个灰度级的伽马电压提供给 DAC 25。

数据驱动电路具有复杂的电路结构，并且数据驱动电路的电路占据很大的面积，使得难以将数据驱动电路嵌入在液晶显示板的基板上。

作为解决方案，已经提出了模拟采样型液晶显示器件。如图 3 所示，现有技术的模拟采样型液晶显示器件包括：按一对一的关系与数据寄存器 21 的输出端子相连接的公共总线线路 201 至 240，在公共总线线路 201 至 240 与数据线 DL1 至 DL42 之间设置有通道选择部 34 以及采样和保持部 33。公共总线线路 201 至 240 中的每一条都连接有多条数据输出总线线路。例如，第一公共总线线路 201 连接有第一数据输出总线线路 301 和第 41 数据输出总线线路 341。通道选择部 34 包括按一对一关系与数据输出总线线路 301 相连接的多个开关装置 34A。通道选择部 34 的开关装置 34A 可以使用 CMOS 技术来实现，其响应于来自移位寄存器 32 的控制信号而顺序地导通，从而用于将来自数据输出总线线路 301 的数据提供给采样和保持部 33。采样和保持部 33 对来自通道选择部 34 的数据顺序地进行采样和保持，然后将保持的数据同时提供给数据线 DL1 至 DL42。

然而，在现有技术的模拟采样方法中，可以用于在采样和保持部 33 中对数据进行采样并将数据电压提供给数据线的的时间太短，以至于不能将希望的电压提供给液晶单元。

发明内容

因此，本发明旨在提供一种用于液晶显示器的模拟采样装置，其基本上消除了由于现有技术的局限和缺点而导致的一个或更多个问题。

本发明的优点是提供一种液晶显示器件的模拟采样装置，其充分确保采样时间和数据驱动时间。

为了实现这些和其他优点并根据本发明的目的，如具体实施和广义描述的，一种液晶显示器件的模拟采样装置包括：用于产生模拟数据电压的数据驱动器；用于接收模拟数据电压的数据输出总线线路；与数据输出总线线路相连接的第一采样和保持电路，用于补偿模拟数据电压中的偏移电压并将该模拟数据电压提供给液晶显示板的数据线；以及与数

据输出总线线路相连接的第二采样和保持电路，其被设置为在第一采样和保持电路将模拟数据电压提供给数据线的同时对该模拟数据电压进行采样，其中，第一采样和保持电路被设置为在第二采样和保持电路对模拟数据电压进行采样的同时提供该模拟数据电压、并且在第二采样和保持电路提供模拟数据电压的同时对该模拟数据电压进行采样。

在本发明的另一方面，液晶显示器件的模拟采样装置包括：用于产生模拟数据电压的数据驱动器；用于接收该模拟数据电压的数据输出总线线路；用于输出该模拟数据电压的输出节点；与数据输出总线线路相连接的第一采样和保持电路，用于针对偏移电压对模拟数据电压进行补偿，以用经补偿的模拟数据电压来控制输出节点的电压；以及与数据输出总线线路相连接的第二采样和保持电路，用于在第一采样和保持电路对输出节点的电压进行控制的同时对模拟数据电压进行采样，其中，第一采样和保持电路以及第二采样和保持电路被设置为交替地控制对输出节点的电压的操作并对模拟数据电压进行采样。

本发明的附加特征和优点将在以下的说明中得到阐述，部分地将从说明书中显见，或者可以通过对本发明的实践而习得。本发明的目的和其他优点将通过书面的说明书及其权利要求书以及附图中具体指出的结构来实现并获得。

附图说明

附图被包括进来以提供对本发明的进一步理解，并且被并入且构成本说明书的一部分，附图示出了本发明的实施例，并与说明书一起用于解释本发明的原理。

在附图中：

图 1 是示出液晶显示器件的框图；

图 2 是示出图 1 所示的数据驱动器的详细框图；

图 3 是示出模拟采样型的数据驱动装置的框图；

图 4 是示出根据本发明实施例的液晶显示器件的模拟采样装置的电路图；

图 5 是示出 A 控制信号和 B 控制信号的波形图；

图 6 是示出根据本发明另一实施例的液晶显示器件的模拟采样装置的电路图；

图 7 是图 6 所示的液晶显示器件用模拟采样装置的输入和输出波形图；

图 8 是示出当 A 控制信号在逻辑高电压并且 B 控制信号在逻辑低电压时第二采样和保持电路的输入采样的电路图；以及

图 9 是示出当 A 控制信号在逻辑高电压并且 B 控制信号在逻辑高电压时第一采样和保持电路的数据输出的电路图。

具体实施方式

现在将对本发明的实施例进行详细说明，其示例在附图中示出。

参照图 4 至图 9，对本发明的实施例说明如下。

参照图 4，根据本发明实施例的液晶显示器件的模拟采样装置包括：用于将数字数据转换成模拟数据电压的数据驱动器 42；连接在数据驱动器 42 与液晶显示板的数据线之间的第一采样和保持电路 47 以及第二采样和保持电路 48；用于控制采样和保持电路 47 及 48 的移位寄存器 41；以及 AND 门 45 和 46。

数据驱动器 42 包括移位寄存器、锁存器和 DAC，并将来自定时控制器的数字数据转换成模拟数据电压，并通过数据输出总线 43 输出该模拟数据电压。

第一采样和保持电路 47 以及第二采样和保持电路 48 交替地对模拟数据电压进行采样并将模拟数据电压提供给液晶显示板的数据线。也就是说，在第一采样和保持电路 47 进行模拟采样时，第二采样和保持电路 48 针对缓冲器偏移电压对模拟数据电压进行补偿以提供给液晶显示板的数据线。在第二采样和保持电路 48 执行模拟采样时，第一采样和保持电路 47 针对缓冲器偏移电压对模拟数据电压进行补偿以提供给液晶显示板的数据线。下面参照图 4 和图 5 对采样和保持电路 47 及 48 的电路结构的详细说明及其操作说明进行描述。

采样和保持电路 47 及 48 是由 AND 门根据控制信号 A 和 B 而产生的输出信号来控制的。如图 5 所示，控制信号 A 和 B 由定时控制器产生，其脉冲宽度为一个水平周期（1H），周期为两个水平周期。A 和 B 控制信号具有相反的相位，并且通过控制信号总线线路 44 提供给 AND 门 45 和 46。第一 AND 门 45 产生 A 控制信号与移位寄存器的输出的 AND 输出。第二 AND 门 46 产生 B 控制信号与移位寄存器的输出的 AND 输出。

第一采样和保持电路 47 包括：与第一 AND 门 45 的输出节点相连接的第一开关装置 S1；连接在第一开关装置 S1 与液晶显示板的数据线之间的第二开关装置 S2；第一电容器 C1；第一缓冲器 BF1；以及第三开关装置 S3。对于第一水平周期，第一开关装置 S1 响应于第一 AND 门 45 的输出而将数据输出总线 43 和第一电容器 C1 连接起来，但对于第二水平周期，其使数据输出总线 43 与第一电容器 C1 之间的电流通路断开。第一电容器 C1 对模拟数据电压与在第一缓冲器 BF1 中产生的偏移电压之间的电压差进行存贮，从而用于针对第一缓冲器 BF1 的偏移电压对模拟数据电压进行补偿。对于第一水平周期，第二开关装置 S2 和第三开关装置 S3 响应于 A 控制信号逻辑为高而将第一电容器 C1 连接到液晶显示板的数据线以将经补偿的模拟数据电压提供给数据线。此外，在第二水平周期期间，第二开关 S2 响应于 A 控制信号逻辑为低而断开，以使得第一电容器 C1 与第三开关装置 S3 之间的电流通路断开。第三开关 S3 响应于 A 控制信号逻辑为低而断开，使得第一缓冲器 BF1 与液晶显示板的数据线之间的电流通路断开。总之，对于第一水平周期，第一采样和保持电路 47 提供针对缓冲器 BF1 的偏移进行了补偿的模拟数据电压，然后对于第二水平周期，通过使用第一电容器 C1 在模拟数据电压中针对缓冲器 BF1 的偏移进行补偿。

第二采样和保持电路 48 包括：与第二 AND 门 46 的输出节点相连接的第四开关装置 S4；连接在第四开关装置 S4 与液晶显示板的数据线之间的第五开关装置 S5；第二电容器 C2；第二缓冲器 BF2；以及第六开关装置 S6。对于第二水平周期，第四开关装置 S4 响应于第二 AND 门 46 的输出而将数据输出总线 43 和第二电容器 C2 连接起来，但对于第一水平周

期，其使得数据输出总线 43 与第二电容器 C2 之间的电流通路断开。第二电容器 C2 对模拟数据电压与第二缓冲器 BF2 中产生的偏移电压之间的电压差进行存贮，从而用于针对第二缓冲器 BF2 的偏移电压对模拟数据电压进行补偿。对于第二水平周期，第五开关装置 S5 和第六开关装置 S6 响应于 A 控制信号逻辑为高而将第二电容器 C2 连接到液晶显示板的数据线，以提供经补偿的模拟数据电压。此外，对于第一水平周期，第五开关 S5 响应于 A 控制信号逻辑为低而断开以使得第二电容器 C2 与第六开关装置 S6 之间的电流通路断开，并且第六开关 S6 响应于 A 控制信号逻辑为低而断开以使得在第二缓冲器 BF2 与液晶显示板的数据线之间的电流通路断开。总之，因此，对于第二水平周期，第二采样和保持电路 48 提供针对缓冲器 BF2 的偏移进行了补偿的模拟数据电压，对于第一水平周期，其通过使用第二电容器 C2 在模拟数据电压中针对缓冲器 BF2 的偏移进行补偿。

图 6 示出了根据本发明另一实施例的液晶显示器件的模拟采样装置，图 7 示出了图 6 所示的模拟采样装置的输入/输出波形。在图 6 中，略去了在图 4 中示出的数据驱动器、数据输出总线等。

参照图 6 和图 7，根据本发明实施例的液晶显示器件的模拟采样装置包括：连接在数据驱动器与液晶显示板的数据线之间的第一采样和保持电路 61 以及第二采样和保持电路 62；第一选通门(transmission gate) TG1 和第三选通门 TG3，用于响应于 A 和 B 控制信号而将输出电压 V_{out} 提供给输出节点；第一晶体管 T1，用于根据第一采样和保持电路 61 以及第二采样和保持电路 62 的输出来控制输出电压 V_{out} ；以及第二晶体管 T2 和第三晶体管 T3，用于响应于复位信号 RST 而产生输出电压 V_{out} 。

第一采样和保持电路 61 以及第二采样和保持电路 62 交替地对模拟数据电压进行采样，并将该模拟数据电压提供给液晶显示板的数据线。也就是说，在第一采样和保持电路 61 对模拟数据进行采样时，第二采样和保持电路 62 在模拟数据电压中针对缓冲器偏移电压进行补偿以提供给液晶显示板的数据线，然后，在第二采样和保持电路 62 对模拟数据进行采样时，第一采样和保持电路 61 在模拟数据电压中针对缓冲器偏移电压

进行补偿以提供给液晶显示板的数据线。

第一采样和保持电路 61 包括：与第一 AND 门 45 的输出节点相连接的第一开关装置 S61；连接在第一开关装置 S61 与液晶显示板的数据线之间的第二开关装置 S62 和第三开关装置 S63；第一电容器 C61 和第二电容器 C62；第一反相器 INV1 和第二反相器 INV2；以及第二选通门 TG2。第一开关装置 S61 响应于在 B 控制信号逻辑为高的时间段内的采样时间点产生的逻辑高值的 $B \cap HSP$ 信号而接通，以将来自数据输出总线 43 的模拟数据电压 V_{in} 提供给第一电容器 C61。当 $B \cap HSP$ 信号逻辑为低时，第一开关装置 S61 断开以使输入端子与第一电容器 C61 之间的电流通路断开。第一电容器 C61 对输入电压 V_{in} 与第一反相器 INV1 的偏移电压之间的电压差进行存贮，从而用于针对第一反相器 INV1 的偏移电压对输入电压 V_{in} 进行补偿。当 B 控制信号逻辑为高时，第二开关装置 S62 接通以完成第一电容器 C61 与第二电容器 C62 之间的电流通路，但是当 B 控制信号逻辑为低时使得第一电容器 C61 与第二电容器 C62 之间的电流通路断开。第二电容器 C62 对第一反相器 INV1 的输出电压与第二反相器 INV2 的偏移电压之间的电压差进行存贮，从而用于针对第二反相器 INV2 的偏移电压对第一反相器 INV1 的输出电压进行补偿。当 A 控制信号逻辑为高时，第二选通门 TG2 导通以将其中对偏移电压进行了补偿的输入电压提供给第一晶体管 T1 的栅极端子，从而对输出电压 V_{out} 中的偏移电压进行补偿。

第二采样和保持电路 62 包括：与第二 AND 门 46 的输出节点相连接的第四开关装置 S64；连接在第四开关装置 S64 与液晶显示板的数据线之间的第五开关装置 S65 和第六开关装置 S66；第三电容器 C63 和第四电容器 C64；第三反相器 INV3 和第四反相器 INV4；以及第四选通门 TG4。在 A 控制信号逻辑为高的时间段，第四开关装置 S64 响应于采样时间点产生的逻辑高的 $A \cap HSP$ 信号而接通，以将来自数据输出总线 43 的模拟数据电压 V_{in} 提供给第三电容器 C63。当 $A \cap HSP$ 信号逻辑为低时，第四开关装置 S64 断开以使输入端子与第三电容器 C63 之间的电流通路断开。第三电容器 C63 对输入电压 V_{in} 与第三反相器 INV3 的偏移电压之间的电压

差进行存贮，从而用于针对第三反相器 INV3 的偏移电压对输入电压 V_{in} 进行补偿。当 A 控制信号逻辑为高时，第五开关装置 S65 接通以完成第三电容器 C63 与第四电容器 C64 之间的电流通路，但是当 A 控制信号逻辑为低时断开第三电容器 C63 与第四电容器 C64 之间的电流通路。第四电容器 C64 对第三反相器 INV3 的输出电压与第四反相器 INV4 的偏移电压之间的电压差进行存贮，从而用于针对第四反相器 INV4 的偏移电压对第三反相器 INV3 的输出电压进行补偿。当 B 控制信号逻辑为高时，第四选通门 TG4 导通以将经偏移补偿的输入电压提供给第一晶体管 T1 的栅极端子，从而对输出电压 V_{out} 中的偏移电压进行补偿。

第一晶体管 T1 可以实现为 n 型 MOSFET。T1 的栅极端子与第二选通门 TG2 和第四选通门 TG4 的输出端子相连接。第一晶体管 T1 的源极端子与低电势电压源 VSS 相连接，而第一晶体管 T1 的漏极端子与第二晶体管 T2 的源极端子相连接。第一晶体管 T1 与来自第一采样和保持电路 61 以及第二采样和保持电路 62 的经偏移补偿的模拟数据电压成比例地对源极和漏极之间的电流进行控制，从而补偿输出电压中的偏移。

第二晶体管 T2 可以实现为 n 型 MOSFET，并且 T2 的栅极端子被提供有复位电压。第二晶体管 T2 的源极端子与第一晶体管 T1 的漏极端子相连接，并且第二晶体管 T2 的漏极端子与输出节点相连接。当复位电压 RST 逻辑为高时，第二晶体管 T2 导通以通过输出节点将由第一晶体管 T1 控制的低电势电压 VSS 提供给液晶显示板的数据线，但是当复位电压 RST 逻辑为低时，第二晶体管 T2 截止以使得输出节点与第一晶体管 T1 之间的电流通路断开。

第三晶体管 T3 可以实现为 p 型 MOSFET，并且晶体管 T3 的栅极端子被提供有复位电压。第三晶体管 T3 的源极端子与高电势电压源 VDD 相连接，并且第三晶体管 T3 的漏极端子与输出节点相连接。当复位电压 RST 逻辑为低时，第三晶体管 T3 导通以通过输出节点将高电势电压 VSS 作为预充电电压提供给液晶显示板的数据线，当复位电压 RST 逻辑为高时，第三晶体管 T3 截止以使得输出节点与高电势电压源 VDD 之间的电流通路断开。

当产生的 A 控制信号是逻辑高电平或逻辑高电压时,第三选通门 TG3 将通过第四开关装置 S64 提供的输入电压 V_{in} 提供给输出节点。当产生的 B 控制信号是逻辑高电平时,第一选通门 TG1 将通过第一开关装置 S61 提供的输入电压 V_{in} 提供给输出节点。

如图 7 所示,按照与前述第一实施例相同的方式, A 和 B 控制信号被产生为脉冲宽度为一个水平周期 1H 并且周期为两个水平周期,并且具有相反的相位。HSP 信号被产生为在对模拟数据电压进行采样的时间点具有高逻辑电压,并按一个水平周期的时间间隔出现。 $A \cap HSP$ 信号被产生为在由第二采样和保持电路 62 对模拟数据电压进行采样的时间点具有高逻辑电平,按两个水平周期的时间间隔出现,并且与偶数号的 HSP 信号同步。 $B \cap HSP$ 被产生为在由第一采样和保持电路 61 对模拟数据电压进行采样的时间点具有高逻辑电压,按两个水平周期的时间间隔出现,并且与奇数号的 HSP 信号同步。RST 信号是复位信号,并且被产生为在预充电期间为逻辑低电压、在液晶单元的数据充电期间为逻辑高电压。在定时控制器 1 中产生定时控制信号,如图 1 所示。

下面结合图 7 至图 9 对根据本发明第二实施例的液晶显示器件的模拟采样装置在 A 控制信号为逻辑高电平且 B 控制信号为逻辑低电平的情况下的操作进行说明。

如图 8 所示,输入节点与第三电容器 C63 相连接,第三反相器 INV3 的输入端子与输出端子相连接以将输入电压 V_{in} 与第三反相器 INV3 的偏移电压之间的电压差存贮在第三电容器 C63,并且,第三反相器 INV3 的输出端子与第四电容器 C64 相连接,并且第四反相器 INV4 的输出端子与输入端子相连接以对要存贮在第四电容器 C64 的第三反相器 INV3 的输出电压与第四反相器 INV4 的偏移电压之间的电压差进行存贮。因此,第二采样和保持电路 62 对来自数据驱动器的模拟数据电压进行采样,同时针对反相器 INV3 和 INV4 引起的偏移电压对模拟数据电压进行补偿。同时,第一采样和保持电路 61 被构成为如图 9 所示,以将输出电压 V_{out} 提供给液晶显示板的数据线。

如上所述,根据本发明的液晶显示器件的模拟采样装置使用一个采

样和保持电路来对输入电压进行采样，同时第二采样和保持电路将输入电压提供给液晶显示板的数据线。因此，可以保证充分的采样时间和数据驱动时间。

对于本领域的技术人员，很明显可以在不脱离本发明的精神或范围的情况下对本发明作出各种修改和变型。因此，本发明旨在覆盖对本发明的修改和变型，只要它们落入所附权利要求及其等同物的范围内。

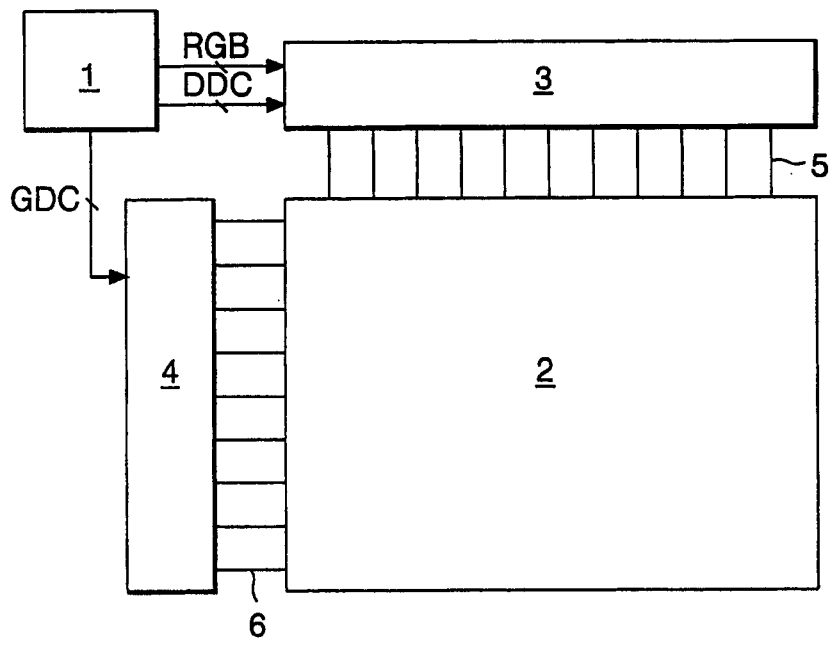


图 1
现有技术

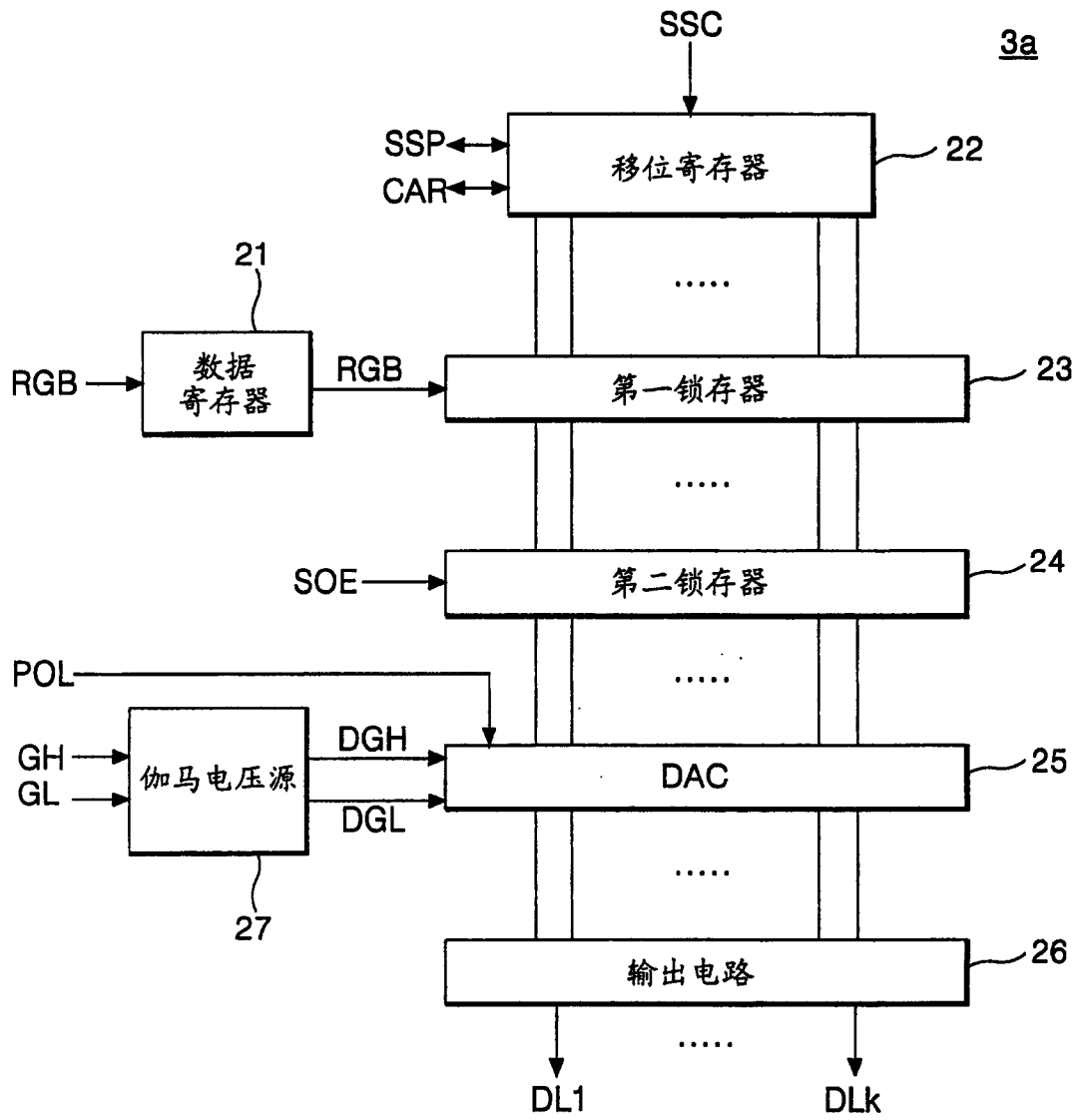


图 2
现有技术

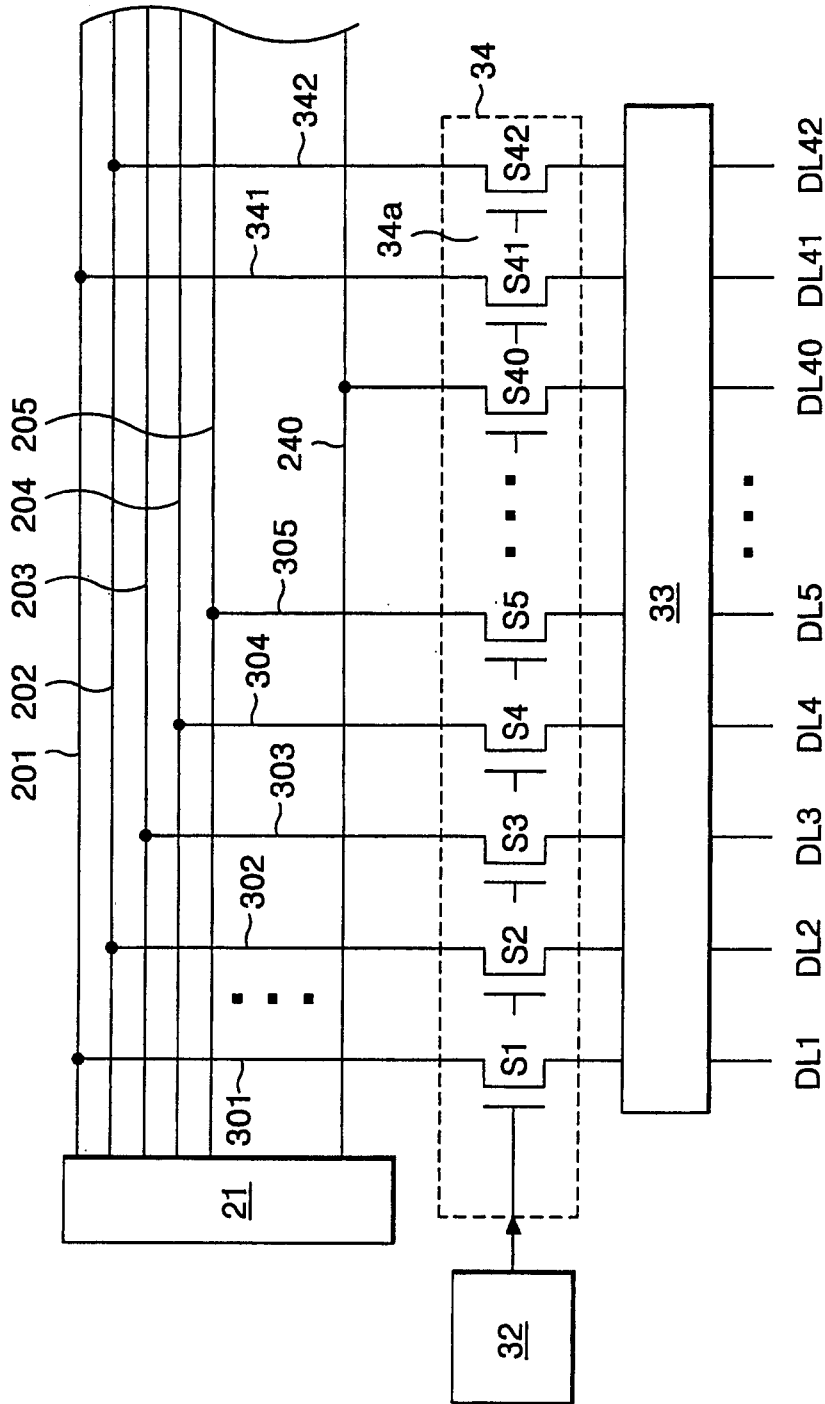


图 3
现有技术

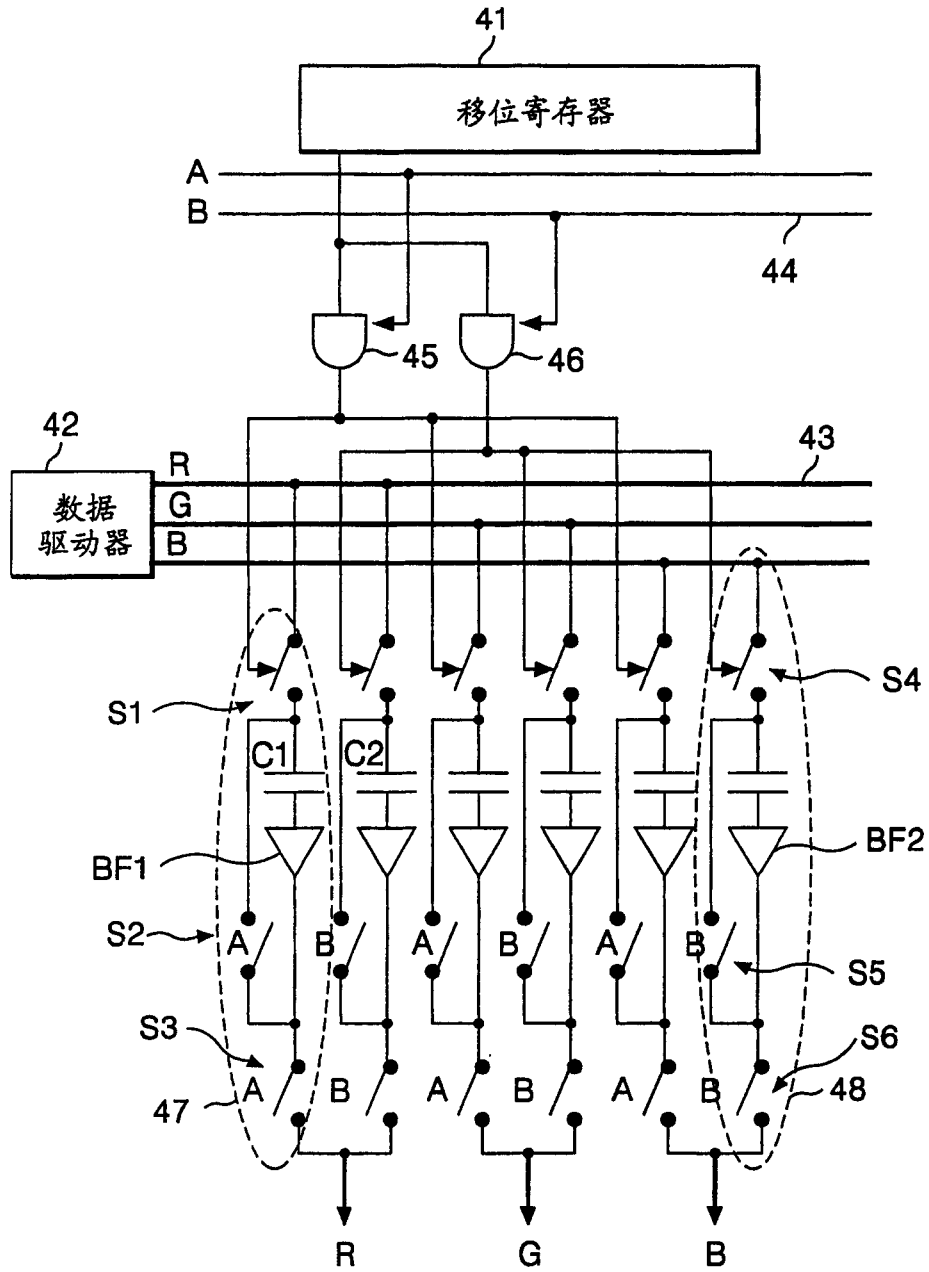


图 4

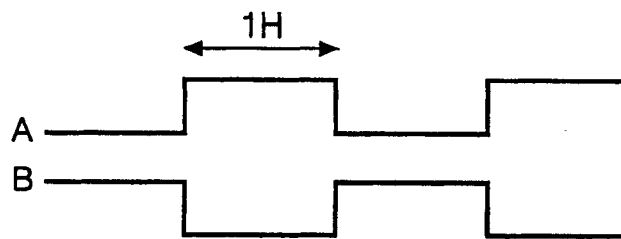


图 5

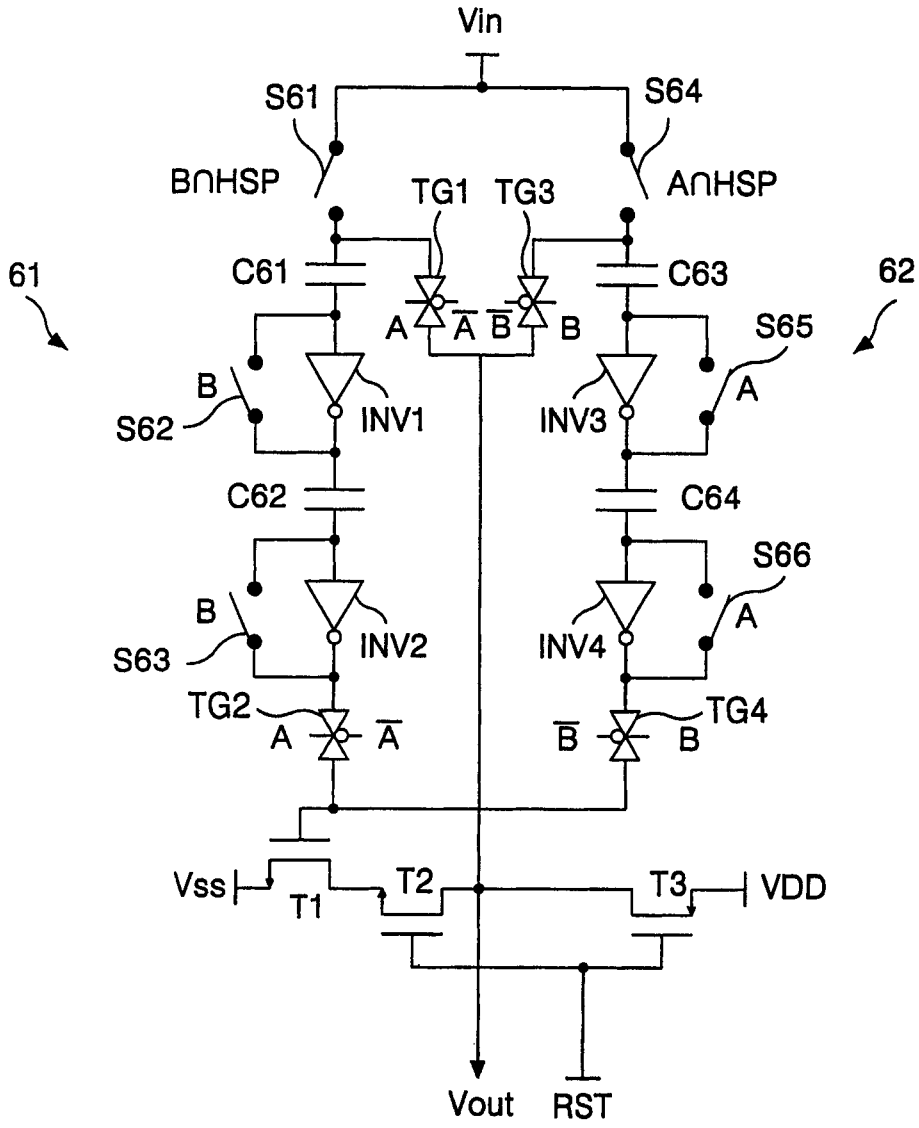


图 6

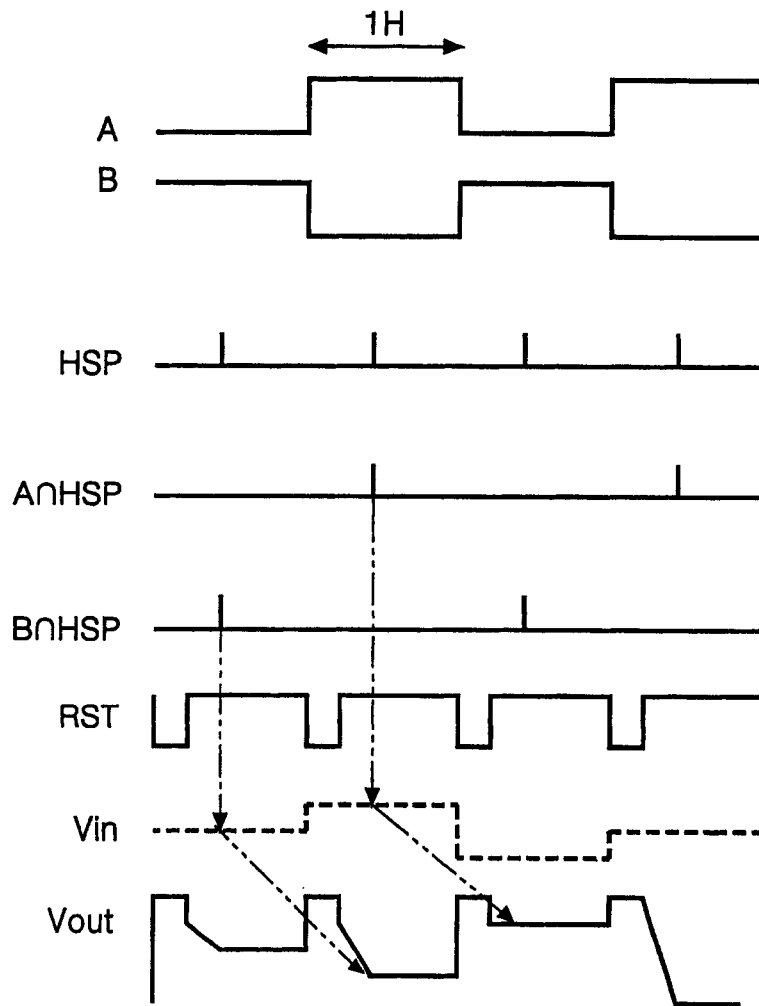
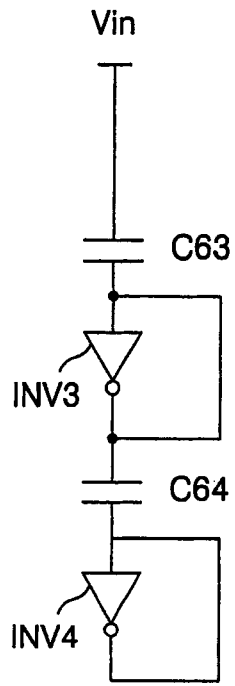
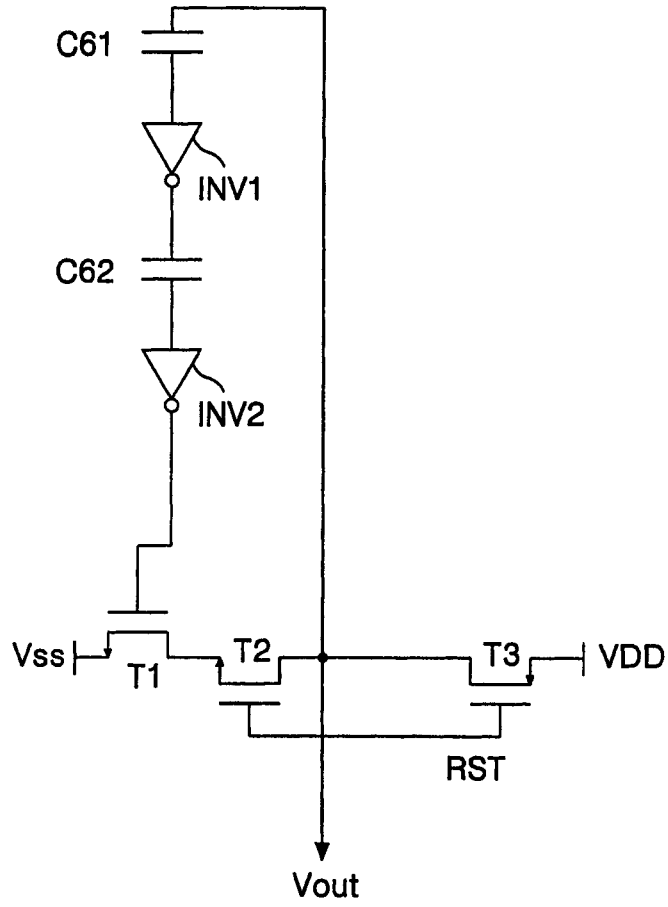


图 7



输入采样

图 8



输出缓冲

图 9