



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(12) ОПИСАНИЕ ПОЛЕЗНОЙ МОДЕЛИ К ПАТЕНТУ

(21)(22) Заявка: 2015131185/08, 27.07.2015

(24) Дата начала отсчета срока действия патента:
27.07.2015

Приоритет(ы):

(22) Дата подачи заявки: 27.07.2015

(45) Опубликовано: 20.12.2015 Бюл. № 35

Адрес для переписки:

305040, г. Курск, ул. 50 лет Октября, 94, ЮЗ ГУ,
ОЗиОИС

(72) Автор(ы):

Ткачев Павел Юрьевич (RU),
Борзов Дмитрий Борисович (RU)

(73) Патентообладатель(и):

Федеральное государственное бюджетное
образовательное учреждение высшего
образования "Юго-Западный
государственный университет" (ЮЗГУ) (RU)

(54) УСТРОЙСТВО ДЛЯ ОПРЕДЕЛЕНИЯ ВОЗМОЖНОСТИ ПАРАЛЛЕЛЬНОГО ВЫПОЛНЕНИЯ ИТЕРАЦИЙ ЦИКЛА

Формула полезной модели

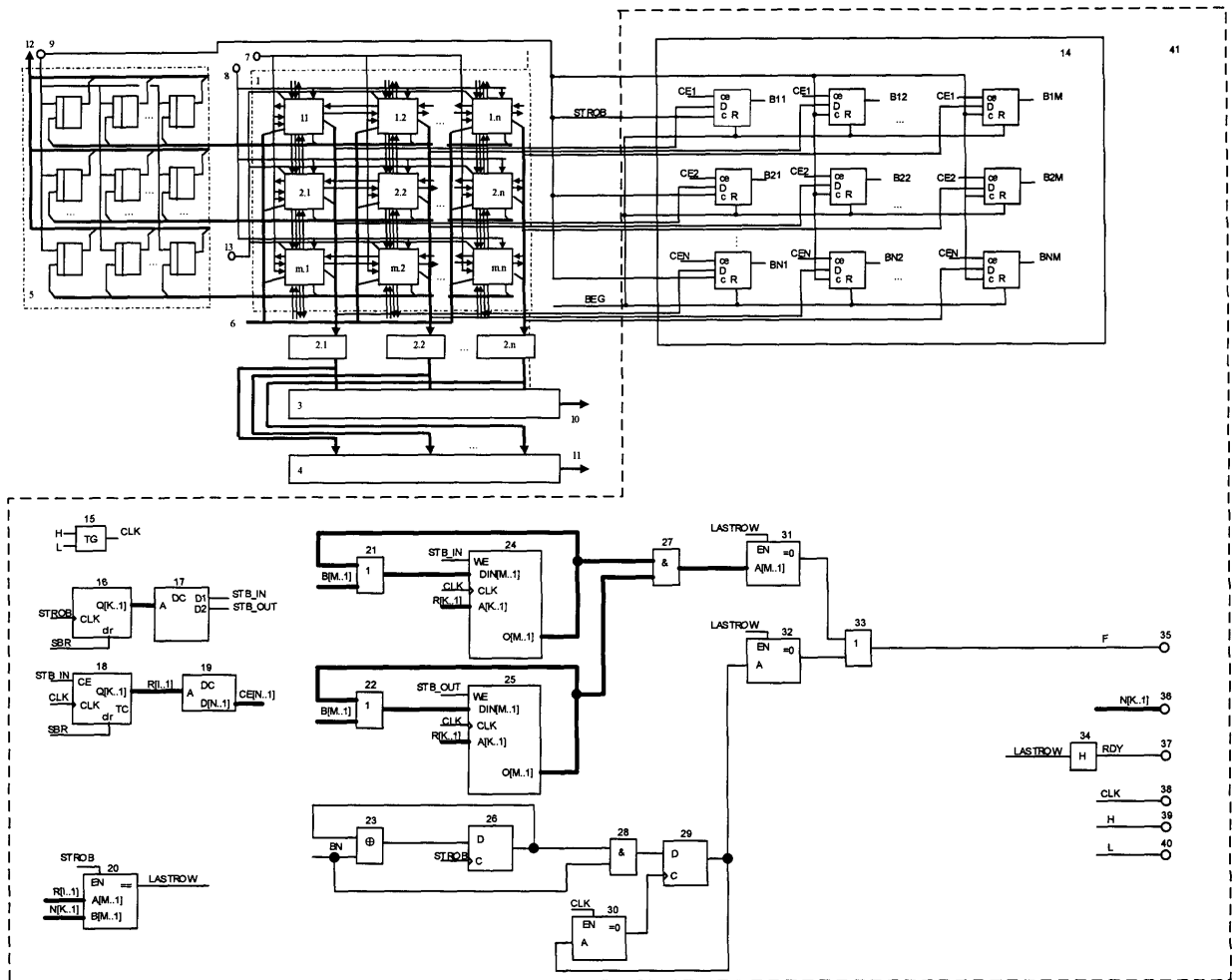
Устройство для определения возможности параллельного выполнения итераций цикла, содержащее матрицу 1 из m строк и n столбцов элементов однородной среды, блок 5 памяти, входы установки матрицы 1 элементов однородной среды соединены с входом 13 установки устройства, вход управления записью блока 5 памяти соединен с входом 9 управления записью устройства, информационные выходы элементов i-й строки (i=1) матрицы 1 элементов однородной среды соединены с i-м информационным входом блока 5 памяти, выход которого соединен с информационным выходом 12 устройства, а также дополнительно введенный блок 41 определения возможности параллельного выполнения итераций цикла, содержащий матрицу 14 из (i,j) (i=1,2,...,N, j=1,2,...,M) D-триггеров синхронизации записи входных данных, тактовый генератор 15, счетчик импульсов стробирования загрузки исходных данных 16, первый дешифратор номера строки 17, счетчик номера обрабатываемой строки 18, второй дешифратор формирования сигналов разрешения загрузки SE 19, компаратор определения последней строки 20, первое однопортовое ОЗУ 24 формирования вектора входных переменных, второе однопортовое ОЗУ 25 формирования вектора выходных переменных, 2 D триггера 26,28, три элемента ИЛИ 21,22,32, два элемента И 27-28, элемент 23 сложения по модулю 2, три элемента сравнения с 0 30-32, элемент задержки 33, причем информационные входы матрицы 14 из (i,j) (i=1,2,...,N, j=1,2,...,M) D-триггеров синхронизации записи входных данных соединены с соответствующими выходами матрицы элементов однородной среды, на синхровходы матрицы из (i,j) (i=1,2,...,N, j=1,2,...,M) D-триггеров синхронизации записи входных данных подается сигнал со входа управления записью устройства, на вход тактового генератора 15 подаются сигналы со входов подачи "питания" 39 и подачи "земли" 40, выход тактового генератора 15 соединен с входами подачи частоты двух однопортовых ОЗУ 24-25, счетчика номера

обрабатываемой строки 18, вход CLK счетчика импульсов стробирования загрузки исходных данных 16 соединен с входом управления записью устройства, первый выход дешифратора номера строка 17 соединен с входом разрешения записи первого однопортового ОЗУ 24 и счетным входом счетчика номера обрабатываемой строки 18, второй выход дешифратора номера строка 17 соединен с входом разрешения записи второго однопортового ОЗУ 25, выход счетчика номера обрабатываемой строки 18 соединен с входом компаратора определения последней строки 20, адресными входами двух однопортовых ОЗУ 24-25 и входом дешифратора формирования сигналов разрешения загрузки 19, выход компаратора 20 определения последней строки соединен с разрешающими входами двух элементов 31-32 сравнения с 0, и через элемент задержки 33 с выходом RDY 37 устройства 41, все выходы матрицы 14 D триггеров кроме последнего столбца соединены со вторыми входами первого и второго элемента ИЛИ 21-22, последний столбец соединен с вторым входом элемента 23 сложения по модулю 2, выход первого элемента ИЛИ 21 соединен с информационным входом первого однопортового ОЗУ 24, выход первого однопортового ОЗУ 24 соединен с первым входом первого элемента И 27, и первым входом первого элемента ИЛИ 21, выход второго элемента ИЛИ 22 соединен с информационным входом второго однопортового ОЗУ 25, выход второго однопортового ОЗУ 25 соединен со вторым входом первого элемента И 27, и первым входом второго элемента ИЛИ 22, выход элемента 23 сравнения по модулю 2 соединен с информационным входом первого D триггера 26, выход первого D триггера 26 соединен с первым входом второго элемента И 28, и первым входом элемента 23 сравнения по модулю 2, выход первого элемента И 21 соединен с входом первого элемента 31 сравнения с 0, выход второго элемента И 28 соединен с входом второго D триггера 29, выход второго D триггера 29 соединен с входом третьего элемента 30 сравнения с 0, выход третьего элемента 30 сравнения с 0 соединен с входом разрешения второго D триггера 29, выход первого элемента 31 сравнения с 0 соединен с первым входом третьего элемента ИЛИ 33, выход второго элемента 32 сравнения с 0 соединен со вторым входом третьего элемента ИЛИ 33, выход третьего элемента ИЛИ 33 соединен с выходом F 35 устройства 41.

R U
1 5 8 1 2 4
U 1

R U
1 5 8 1 2 4
U 1

RU 158124 U1



RU 158124 U1

Полезная модель относится к области цифровой вычислительной техники и предназначено для определения возможности параллельного выполнения итераций цикла.

Известен элемент однородной среды, включающий блок обработки входных сигналов, блок запоминания признака конечной точки, блок выходной логики, триггер записи трасс, блок оценки текущего размещения, блок передачи информации, входы, выходы, управляющий вход, информационные входы, информационные выходы, индикаторный выход (а.с. 1291957 СССР кл. G06F 7/00, опубл. 23.02.87, БИ №7).

Недостатком указанного элемента является узкая область применения, обусловленная отсутствием средств для поиска и распараллеливания линейных участков внутри циклов.

Наиболее близким к предлагаемому устройству по технической сущности является устройство для оценки размещения элементов, содержащее матрицу элементов однородной среды, состоящую из элементов однородной среды, блоки подсчета единиц, блок нахождения максимума, первый сумматор, блок памяти, вход записи исходного гиперграфа, вход управления перестановкой столбцов, вход управления перестановкой строк, вход управления записью в блок памяти, выходы оценки текущего размещения, информационный выход и вход установки (а.с. 1430949 СССР, кл. G06F 7/00, 15/20, опубл. 15.10.88, БИ №38).

Недостатком указанного устройства является узкая область применения, обусловленная отсутствием средств для определения возможности параллельного выполнения итераций цикла.

Технической задачей полезной модели является распараллеливание циклических участков последовательных программ за счет разнесения по процессорам целых итераций.

Техническая задача решается тем, что в устройство для оценки размещения по критериям суммарной длины ребер и максимальной длины ребра, содержащее матрицу из m строк и n столбцов элементов однородной среды, n блоков подсчета единиц, блок нахождения максимума, сумматор, блок памяти, причем входы управления перестановкой столбцов матрицы элементов однородной среды соединены с входом управления перестановкой столбцов устройства, входы управления перестановкой строк матрицы элементов однородной среды соединены с входом управления перестановкой строк устройства, входы установки матрицы элементов однородной среды соединены с входом установки устройства, информационные входы матрицы элементов однородной среды соединены с входом записи устройства, индикаторные выходы элементов j -го столбца ($j=1, 2, \dots, n$) матрицы элементов однородной среды соединены с входом j -го блока подсчета единиц, выход которого соединен с j -м входом блока нахождения максимума и j -м входом сумматора, выходы которых соединены с выходом максимальной длины ребра и выходом суммарной длины ребер устройства соответственно, вход управления записью блока памяти соединен с входом управления записью устройства, информационные выходы элементов i -й строки ($i=1, 2, \dots, m$) матрицы элементов однородной среды соединены с i -м информационным входом блока памяти, выход которого соединен с информационным выходом устройства, дополнительно введен блок определения возможности параллельного выполнения итераций цикла, содержащий матрицу из (i,j) ($i=1, 2, \dots, N, j=1, 2, \dots, M$) D-триггеров синхронизации записи входных данных, тактовый генератор, счетчик импульсов стробирования загрузки исходных данных, первый дешифратор номера строки, счетчик номера обрабатываемой строки, второй дешифратор формирования сигналов разрешения загрузки SE, компаратор определения последней строки, первое

однопортовое оперативное запоминающее устройство (далее - ОЗУ) формирования вектора входных переменных, второе однопортовое ОЗУ формирования вектора выходных переменных, 2 D триггера, три элемента ИЛИ, два элемента И, элемент сложения по модулю 2, три элемента сравнения с 0, элемент задержки, причем

5 информационные входы матрицы из (i,j) (i=1, 2, ..., N, j=1, 2, ..., M) D-триггеров синхронизации записи входных данных соединены с соответствующими выходами матрицы элементов однородной среды, на синхровходы матрицы из (i,j) (i=1, 2, ..., N, j=1, 2, ..., M) D-триггеров синхронизации записи входных данных подается сигнал со

10 входа управления записью устройства, на вход тактового генератора подаются сигналы со входов подачи "питания" и подачи "земли", выход тактового генератора соединен с входами подачи частоты двух однопортовых ОЗУ, счетчика номера обрабатываемой строки, вход CLK счетчика импульсов стробирования загрузки исходных данных соединен с входом управления записью устройства, первый выход дешифратора номера

15 строка соединен с входом разрешения записи первого однопортового ОЗУ и счетным входом счетчика номера обрабатываемой строки, второй выход дешифратора номера строка соединен с входом разрешения записи второго однопортового ОЗУ, выход счетчика номера обрабатываемой строки соединен с входом компаратора определения последней строки, адресными входами двух однопортовых ОЗУ и входом дешифратора формирования сигналов разрешения загрузки, выход компаратора определения

20 последней строки соединен с разрешающими входами элементов сравнения с 0, и через элемент задержки с выходом RDY устройства, все выходы матрицы D триггеров кроме последнего столбца соединены со вторыми входами первого и второго элемента ИЛИ, последний столбец соединен с вторым входом элемента сложения по модулю 2, выход первого элемента ИЛИ соединен с информационным входом первого однопортового

25 ОЗУ, выход первого однопортового ОЗУ соединен с первым входом первого элемента И, и первым входом первого элемента ИЛИ, выход второго элемента ИЛИ соединен с информационным входом второго однопортового ОЗУ, выход второго однопортового ОЗУ соединен со вторым входом первого элемента И, и первым входом второго элемента ИЛИ, выход элемента сравнения по модулю 2 соединен с информационным

30 входом первого D триггера, выход первого D триггера соединен с первым входом второго элемента И, и первым входом элемента сравнения по модулю 2, выход первого элемента И соединен с входом первого элемента сравнения с 0, выход второго элемента И соединен с входом второго D триггера, выход второго D триггера соединен с входом третьего элемента сравнения с 0, выход третьего элемента сравнения с 0 соединен с

35 входом разрешения второго D триггера, выход первого элемента сравнения с 0 соединен с первым входом третьего элемента ИЛИ, выход второго элемента сравнения с 0 соединен со вторым входом третьего элемента ИЛИ, выход третьего элемента ИЛИ соединен с выходом F устройства.

40 Сущность полезной модели поясняется чертежами, где на фиг. 1 изображена функциональная схема устройства для определения возможности параллельного выполнения итераций цикла.

Предлагаемое устройство может использоваться в области проектирования вычислительных систем (далее - ВС), например, при проектировании и эксплуатации многопроцессорных систем, для функционирования которых требуются

45 специализированные параллельные программы.

В ВС исходный (распараллеливаемый) фрагмент программы задается в следующем виде:

1. Исходный текст программы (фиг. 2а);

2. Матрица входных переменных $Min = \|\|Min_{ij}\|\|_{n \times m}$, где $i = \overline{1, N}$, $j = \overline{1, N}$, характеризующая присутствие j-й переменной во входном наборе i-го оператора (фиг. 2б);

5 3. Матрица выходных переменных $Mout = \|\|Mout_{ij}\|\|_{n \times m}$, где $i = \overline{1, N}$, $j = \overline{1, m}$, характеризующая присутствие j-й переменной в выходном наборе i-го оператора (фиг. 2в).

10 По матрицам входных и выходных переменных составляются вектора входных и выходных переменных для итерации. Рассмотрим подробнее способ составления этих векторов. Каждому элементу вектора ставится в соответствие определенная переменная. Элемент вектора входных переменных принимает значение «1», если эта переменная используется хотя бы в одном операторе в теле цикла справа от знака «=», иначе ставится «0». Вектор выходных переменных заполняется так же, как и вектор входных
15 переменных с одним лишь отличием: элемент вектора выходных переменных принимает значение «1», если эта переменная используется хотя бы в одном операторе в теле цикла слева от знака «=», иначе ставится «0».

Вектор входных переменных для итерации в нашем случае имеет следующий вид:

$$I = \{0, 0, 0, 1\};$$

20 Вектор выходных переменных для итерации в нашем случае имеет следующий вид:

$$O = \{1, 1, 1, 0\};$$

Вычислив конъюнкцию этих векторов получим вектор:

$$I \wedge O = \{0, 0, 0, 0\};$$

25 Наличие в этом векторе хотя бы одной единицы говорит о том, что какая-то переменная используется в теле цикла и в качестве входной, и в качестве выходной, следовательно, распараллелить тело цикла по этому методу будет уже невозможно. Если все элементы данного вектора будут равны 0, то необходимо составить векторы использования счетчика цикла для каждого оператора. В нашем примере 4 оператора, значит векторы использования счетчика цикла будут иметь по 4 элемента, по одному
30 на каждый оператор. Элемент этих векторов принимает значение «1», если счетчик используется в этом операторе в качестве входной переменной, либо в качестве выходной переменной, иначе элемент принимает значение «0».

Вектор использования счетчика цикла в качестве входной переменной:

$$I_i = \{0, 0, 0, 1\};$$

35 Вектор использования счетчика цикла в качестве выходной переменной:

$$O_i = \{0, 0, 0, 1\};$$

Для того чтобы определить используется ли счетчик цикла в каких-либо операторах, кроме оператора инкремента/декремента лучше всего подходит операция сложения по модулю 2. В нашем случае:

40
$$I_i \oplus O_i = \{0, 0, 0, 0\};$$

Наличие хотя бы одной единицы в этом векторе говорит о том, что счетчик цикла используется не только в операторе инкремента/декремента. В этом случае возможны 2 варианта развития событий. В первом варианте счетчик используется в качестве
45 входной переменной в одном или нескольких операторах. В этом случае можно заменить его на константу в зависимости от номера итерации. Во втором варианте счетчик используется в качестве выходной переменной в одном или нескольких операторах, то есть изменяется этими операторами. В этом случае распараллелить цикл таким способом

не получится. Определить возможность распараллеливания можно вычислив функцию:

$$(I_i \oplus O_i) \wedge O_i = \{0, 0, 0, 0\};$$

В итоге функцию определения информационной зависимости итераций можно описать следующим математическим выражением:

$$F = \max(I \wedge O) \vee \max(I_i \oplus O_i) \wedge O_i;$$

Функция $\max()$ определяет максимальный элемент вектора, то есть говорит о том, содержит ли вектор хотя бы одну единицу. Если $F=0$, тогда итерации могут независимо друг от друга параллельно выполняться на разных процессорах. Если $F=1$, это означает, что некоторые операторы используются как в качестве входных, так и в качестве выходных внутри итерации, либо счетчик цикла используется в качестве выходной переменной не только в операторе инкремента/декремента. В этом случае предложенную методику распараллеливания тела цикла применить нельзя.

Устройство для определения возможности параллельного выполнения итераций цикла (фиг 1.) содержит матрицу 1 из m строк и n столбцов элементов однородной среды, блок 5 памяти, входы установки матрицы 1 элементов однородной среды соединены с входом 13 установки устройства, вход управления записью блока 5 памяти соединен с входом 9 управления записью устройства, информационные выходы элементов i -й строки ($i=1$) матрицы 1 элементов однородной среды соединены с i -м информационным входом блока 5 памяти, выход которого соединен с информационным выходом 12 устройства, а также дополнительно введенный блок 41 определения возможности параллельного выполнения итераций цикла, содержащий матрицу 14 из (i,j) ($i=1, 2, \dots, N, j=1, 2, \dots, M$) D-триггеров синхронизации записи входных данных, тактовый генератор 15, счетчик импульсов стробирования загрузки исходных данных 16, первый дешифратор номера строба 17, счетчик номера обрабатываемой строки 18, второй дешифратор формирования сигналов разрешения загрузки SE 19, компаратор определения последней строки 20, первое однопортовое ОЗУ 24 формирования вектора входных переменных, второе однопортовое ОЗУ 25 формирования вектора выходных переменных, 2 D триггера 26,28, три элемента ИЛИ 21, 22, 32, два элемента И 27-28, элемент 23 сложения по модулю 2, три элемента сравнения с 0 30-32, элемент задержки 33, причем информационные входы матрицы 14 из (i,j) ($i=1, 2, \dots, N, j=1, 2, \dots, M$) D-триггеров синхронизации записи входных данных соединены с соответствующими выходами матрицы элементов однородной среды, на синхровходы матрицы из (i,j) ($i=1, 2, \dots, N, j=1, 2, \dots, M$) D-триггеров синхронизации записи входных данных подается сигнал со входа управления записью устройства, на вход тактового генератора 15 подаются сигналы со входов подачи "питания" 39 и подачи "земли" 40, выход тактового генератора 15 соединен с входами подачи частоты двух однопортовых ОЗУ 24-25, счетчика номера обрабатываемой строки 18, вход CLK счетчика импульсов стробирования загрузки исходных данных 16 соединен с входом управления записью устройства, первый выход дешифратора номера строба 17 соединен с входом разрешения записи первого однопортового ОЗУ 24 и счетным входом счетчика номера обрабатываемой строки 18, второй выход дешифратора номера строба 17 соединен с входом разрешения записи второго однопортового ОЗУ 25, выход счетчика номера обрабатываемой строки 18 соединен с входом компаратора определения последней строки 20, адресными входами двух однопортовых ОЗУ 24-25 и входом дешифратора формирования сигналов разрешения загрузки 19, выход компаратора 20 определения последней строки соединен с разрешающими входами двух элементов 31-32 сравнения с 0, и через элемент задержки 33 с выходом RDY 37 устройства 41, все выходы матрицы 14 D триггеров кроме последнего столбца соединены со вторыми входами первого и

второго элемента ИЛИ 21-22, последний столбец соединен с вторым входом элемента 23 сложения по модулю 2, выход первого элемента ИЛИ 21 соединен с информационным входом первого однопортового ОЗУ 24, выход первого однопортового ОЗУ 24 соединен с первым входом первого элемента И 27, и первым входом первого элемента ИЛИ 21, 5 выход второго элемента ИЛИ 22 соединен с информационным входом второго однопортового ОЗУ 25, выход второго однопортового ОЗУ 25 соединен со вторым входом первого элемента И 27, и первым входом второго элемента ИЛИ 22, выход элемента 23 сравнения по модулю 2 соединен с информационным входом первого D триггера 26, выход первого D триггера 26 соединен с первым входом второго элемента И 28, и первым входом элемента 23 сравнения по модулю 2, выход первого элемента И 21 соединен с входом первого элемента 31 сравнения с 0, выход второго элемента И 28 соединен с входом второго D триггера 29, выход второго D триггера 29 соединен с входом третьего элемента 30 сравнения с 0, выход третьего элемента 30 сравнения с 0 соединен с входом разрешения второго D триггера 29, выход первого элемента 31 10 сравнения с 0 соединен с первым входом третьего элемента ИЛИ 33, выход второго элемента 32 сравнения с 0 соединен со вторым входом третьего элемента ИЛИ 33, выход третьего элемента ИЛИ 33 соединен с выходом F 35 устройства 41.

Назначение элементов и блоков устройства для поиска линейных участков внутри цикла (фиг. 1) состоит в следующем:

20 Матрица 1 элементов однородной среды предназначена для хранения матриц входных/выходных переменных.

Блоки 2.1-2.n подсчета единиц предназначены для преобразования кодов с индикаторных выходов элементов соответствующих столбцов матрицы 1 в двоичные коды.

25 Блок 3 нахождения максимума предназначен для выделения максимального кода из множества кодов на его входах.

Сумматор 4 предназначен для суммирования п двоичных кодов.

Блок 5 памяти предназначен для хранения входных данных.

30 Вход 6 записи устройства служит для записи матрицы, представляющей двоичный код для сжатия.

Вход 7 управления перестановкой столбцов устройства предназначен для приема сигнала от внешнего устройства управления (далее - ВУУ) о перестановке столбцов.

Вход 8 управления перестановкой строк устройства предназначен для приема сигнала от ВУУ о перестановке строк.

35 Вход 9 управления записью устройства необходим для приема сигнала «Запись» от ВУУ. По этому сигналу в блок 5 памяти заносится текущий вариант размещения из матрицы 1.

Выход 10 максимальной длины ребра устройства необходим для выдачи значения максимальной длины ребра на ВУУ.

40 Выход 11 суммарной длины ребер устройства необходим для выдачи значения суммарной длины ребер на ВУУ.

Информационный выход 12 устройства необходим для выдачи варианта размещения, находящегося в блоке 5 памяти, на ВУУ.

45 Вход 13 установки устройства необходим для синхронизации записи информации в элементы матрицы 1.

Матрица 14.i.j ($i=1, 2, \dots, N, j=1, 2, \dots, M$) D-триггеров синхронизации записи входных данных предназначена для синхронизации записи элементов матрицы 1 в первое 23 однопортовое ОЗУ обработки матрицы входных переменных, второе 24 однопортовое

ОЗУ обработки матрицы выходных переменных, и третье 25 однопортовое ОЗУ обработки последних столбцов матриц входных и выходных переменных.

Тактовый генератор 15 служит для генерации тактовых сигналов устройства.

5 Счетчик 16 импульсов стробирования загрузки исходных данных управляет перебором стробов загрузки разных типов исходных данных: строки матрицы входных переменных, строки матрицы выходных переменных. По приходу высокого уровня сигнала на вход clr счетчика 16 осуществляется его сброс. Счет происходит по приходу импульсов на счетный вход CLK счетчика 16. Выходы $Q_1...Q_E$ 2, содержат информацию о текущем номере строба STROB.

10 Первый 17 дешифратор номера строба, исходя из выходных данных счетчика 16, поступающих на его входы А, формирует выходной строб, выдавая его на одну из выходных линий D1...D2.

Счетчик 18 предназначен для перебора строк обрабатываемых матриц входных/выходных переменных.

15 Дешифратор 19 предназначен для выдачи разрешающих сигналов для матрицы 14 для выдачи определенной строки матрицы входных/выходных переменных.

Компаратор 20 предназначен для формирования сигнала последней строки LASTROW.

20 Первый элемент ИЛИ 21 предназначен для дизъюнкции строк матрицы входных переменных.

Второй элемент ИЛИ 22 предназначен для дизъюнкции строк матрицы выходных переменных.

Элемент 23 сложения по модулю 2 предназначен для сложения по модулю 2 последних столбцов матриц входных/выходных переменных.

25 Первое однопортовое ОЗУ 24 предназначено для хранения обрабатываемой строки матрицы входных переменных.

Второе однопортовое ОЗУ 25 предназначено для хранения обрабатываемой строки матрицы выходных переменных.

30 Первый D триггер 26 предназначен для хранения промежуточного результата сложения по модулю 2 последнего элемента каждой строки обрабатываемых матриц.

Первый элемент И 27 предназначен для конъюнкции строк входных и выходных переменных.

35 Второй элемент И 28 предназначен для конъюнкции последнего столбца матрицы выходных переменных с результатом сложения по модулю 2 последних столбцов матриц входных и выходных переменных.

Второй D триггер 29 предназначен для хранения промежуточного результата сложения по модулю 2 последнего элемента каждой строки обрабатываемых матриц и конъюнкции результата с соответствующим элементом матрицы выходных переменных.

40 Третий 30 элемент сравнения с 0 предназначен для формирования сигнала разрешения записи второго D триггера 29.

Первый 31 элемент сравнения с 0 предназначен для сравнения с 0 выходного значения первого элемента И 27.

45 Второй 32 элемент сравнения с 0 предназначен для сравнения с 0 выходного значения первого элемента И 28.

Третий элемент ИЛИ 33 предназначен для формирования результата F и выдачи его на ВУУ.

Элемент задержки 34 предназначен для выдачи сигнала RDY 34 на ВУУ.

Выход 35 предназначен для выдачи результата на ВУУ. На вход 36 ВУУ подает количество строк обрабатываемой матрицы следования.

Выход 37 признака наличия результата предназначен для оповещения ВУУ о готовности результата.

5 Выход 38 синхронизации частот предназначен для синхронизации работы устройства с ВУУ.

Вход 39 подачи питания и вход 40 подачи "земли" служат для подачи "питания" Н и "земли" L соответственно на устройство для определения возможности параллельного выполнения итераций цикла 41.

10 Оценка размещения по критериям суммарной длины ребер и максимальной длины ребра происходит следующим образом. Информация с индикаторных выходов элементов каждого столбца матрицы 1 поступает в соответствующие блоки подсчета единиц. Блок 2.i (i=1, 2, ..., n) выдает двоичное число (код), равное количеству поступивших на его вход единиц. Полученное число далее поступает на входы сумматора 4 и блока 3
15 нахождения максимума, соответствующие данному блоку подсчета единиц. В результате на выходе 10 устройства образуется код (оценка) максимальной длины ребра, а на выходе 11 - код (оценка) суммарной длины ребер, отвечающие текущему варианту размещения схемы (содержащемуся в матрице 1). Полученные оценки далее поступают на ВУУ, где происходит их сравнение с предыдущими значениями. В случае улучшения
20 оценок ВУУ подает импульс (сигнал «Запись») на вход 9 управления записью устройства и текущий вариант размещения переписывается в блок 5 памяти из матрицы 1. Более подробно рассмотренный режим работы устройства описан в прототипе.

Предлагаемое устройство предназначено для определения возможности параллельного выполнения итераций цикла для его последующего распараллеливания
25 в режиме реального времени.

Работа устройства для определения возможности параллельного выполнения итераций цикла состоит из следующих шагов: Первоначально в матрице 1 элементов однородной среды содержится исходная матрица входных переменных. В счетчике 18
30 строк хранится код единицы («0...01»). Этот код подается на адресный вход дешифратора 19 и на его первом выходе появляется единичный импульс, который поступает на управляющие входы матрицы 14 и разрешает прохождение сигналов с индикаторных выходов первой строки матрицы 1. Эти сигналы устанавливают соответствующие триггеры матрицы 14 в единичные состояния при условии наличия единичных сигналов.

35 Определения возможности параллельного выполнения итераций цикла в режиме реального времени решается в предлагаемом устройстве следующим образом. После записи очередной матрицы входных переменных в матрицу 14 D триггеров запускается генератор 15 импульсов и начинается работа блока 41.

40 Тактовый импульс с выхода генератора 15 импульсов поступает на счетный вход счетчика 16, и по переднему фронту увеличивает содержимое счетчика 16 на единицу, Значение с выхода счетчика 16 поступает на вход дешифратора 17, и на его выходе STB_IN появляется единичное значение которое поступает на вход разрешения записи первого однопортового ОЗУ 24, при этом в счетчике 18 хранится код единицы («00...01»), который поступает на адресный вход первого однопортового ОЗУ 24, и по переднему
45 фронту сигнала CLK происходит загрузка результата дизъюнкции первой строки матрицы входных переменных с содержимым первого однопортового ОЗУ 24 (изначально значение 0) в первое однопортовое ОЗУ 24. При этом последний бит первой строки матрицы входных переменных попадает на второй вход элемента 23 сложения

по модулю 2, и результат сложения по модулю 2 последнего бита строки матрицы входных переменных со значением, хранящемся в первом D триггере (изначально 0) записывается в первый D триггер.

На следующем шаге тактовый импульс с выхода генератора 15 импульсов поступает на счетный вход счетчика 16, и по переднему фронту увеличивает содержимое счетчика 16 на единицу, Значение с выхода счетчика 16 поступает на вход дешифратора 17, и на его выходе STB OUT появляется единичное значение которое поступает на вход разрешения записи второго однопортового ОЗУ 25, при этом в счетчике 18 хранится код единицы («00...01»), который поступает на адресный вход второго однопортового ОЗУ 25, и по переднему фронту сигнала CLK происходит загрузка результата дизъюнкции первой строки матрицы входных переменных с содержимым второго однопортового ОЗУ 25 (изначально значение 0) во второе однопортовое ОЗУ 25. При этом последний бит первой строки матрицы выходных переменных попадает на второй вход элемента 23 сложения по модулю 2, и результат сложения по модулю 2 последнего бита строки матрицы входных переменных со значением, хранящемся в первом D триггере записывается в первый D триггер. Результат конъюнкции значения, сохраненного в первом D триггере 26 со значением последнего бита матрицы выходных переменных записывается во второй D триггер 29 при условии наличия высокого уровня на разрешающем выводе С, который будет до тех пор, пока на выходе второго элемента И 28 не появится высокий уровень.

Эта последовательность действий повторяется до тех пор, пока не закончатся строки исходных матриц входных/выходных переменных, при этом на выходе компаратора 20 появляется высокий уровень сигнала LASTROW, который разрешает работу первого и второго элементов сравнения 31-32. Результаты сравнения попадают на входы третьего элемента ИЛИ, который формирует выходной сигнал F. Элемент задержки 34 задерживает выдачу сигнала RDY на время переключения третьего элемента ИЛИ 33. Сигнал RDY говорит ВУУ о том, что работа блока 41 определения возможности параллельного выполнения итераций цикла завершена.

Таким образом, предлагаемое устройство определения возможности параллельного выполнения итераций цикла обеспечивает возможность как оценки размещения по критериям суммарной длины ребер, максимальной длины ребра, так и возможность определения возможности параллельного выполнения итераций цикла в оперативном режиме. Тем самым обеспечивается расширение функциональных возможностей устройства и, следовательно, области его целесообразного применения.

(57) Реферат

Полезная модель относится к области цифровой вычислительной техники и предназначено для определения возможности параллельного выполнения итераций цикла. Техническая задача решается тем, что в устройство для оценки размещения по критериям суммарной длины ребер и максимальной длины ребра, дополнительно введен блок определения возможности параллельного выполнения итераций цикла, тактовый генератор, счетчик импульсов стробирования загрузки исходных данных, первый дешифратор номера строка, счетчик номера обрабатываемой строки, второй дешифратор формирования сигналов разрешения загрузки СЕ, компаратор определения последней строки, первое однопортовое оперативное запоминающее устройство (далее - ОЗУ) формирования вектора входных переменных, второе однопортовое ОЗУ формирования вектора выходных переменных, 2 D триггера, три элемента ИЛИ, два элемента И, элемент сложения по модулю 2, три элемента сравнения с 0, элемент

задержки. Ил. 2

5

10

15

20

25

30

35

40

45

АА



Реферат

Устройство для определения возможности параллельного выполнения итераций цикла.

Полезная модель относится к области цифровой вычислительной техники и предназначено для определения возможности параллельного выполнения итераций цикла.

Техническая задача решается тем, что в устройство для оценки размещения по критериям суммарной длины ребер и максимальной длины ребра, дополнительно введен блок определения возможности параллельного выполнения итераций цикла, тактовый генератор, счётчик импульсов стробирования загрузки исходных данных, первый дешифратор номера строка, счетчик номера обрабатываемой строки, второй дешифратор формирования сигналов разрешения загрузки СЕ, компаратор определения последней строки, первое однопортовое оперативное запоминающее устройство (далее - ОЗУ) формирования вектора входных переменных, второе однопортовое ОЗУ формирования вектора выходных переменных, 2 D триггера, три элемента ИЛИ, два элемента И, элемент сложения по модулю 2, три элемента сравнения с 0, элемент задержки.

Ил. 2

Референт Борзов Д.Б.

2015131185

SS



МПК7 G 06 F 7/00, 15/20

Устройство для определения возможности параллельного выполнения итераций цикла.

Полезная модель относится к области цифровой вычислительной техники и предназначено для определения возможности параллельного выполнения итераций цикла.

Известен элемент однородной среды, включающий блок обработки входных сигналов, блок запоминания признака конечной точки, блок выходной логики, триггер записи трасс, блок оценки текущего размещения, блок передачи информации, входы, выходы, управляющий вход, информационные входы, информационные выходы, индикаторный выход (а.с. 1291957 СССР кл. G 06 F 7/00, опубл. 23.02.87, БИ №7).

Недостатком указанного элемента является узкая область применения, обусловленная отсутствием средств для поиска и распараллеливания линейных участков внутри циклов.

Наиболее близким к предлагаемому устройству по технической сущности является устройство для оценки размещения элементов, содержащее матрицу элементов однородной среды, состоящую из элементов однородной среды, блоки подсчета единиц, блок нахождения максимума, первый сумматор, блок памяти, вход записи исходного гиперграфа, вход управления перестановкой столбцов, вход управления перестановкой строк, вход управления записью в блок памяти, выходы оценки текущего размещения, информационный выход и вход установки (а.с. 1430949 СССР, кл. G 06 F 7/00, 15/20, опубл. 15.10.88, БИ №38).

Недостатком указанного устройства является узкая область применения, обусловленная отсутствием средств для определения возможности параллельного выполнения итераций цикла.

Технической задачей полезной модели является распараллеливание циклических участков последовательных программ за счет разнесения по процессорам целых итераций.

Техническая задача решается тем, что в устройство для оценки размещения по критериям суммарной длины ребер и максимальной длины ребра, содержащее матрицу из m строк и n столбцов элементов однородной среды, n блоков подсчета единиц, блок нахождения максимума, сумматор, блок памяти, причем входы управления перестановкой столбцов матрицы элементов однородной среды соединены с входом управления перестановкой столбцов устройства, входы управления перестановкой строк матрицы элементов однородной среды соединены с входом управления перестановкой строк устройства, входы установки матрицы элементов однородной среды соединены с входом установки устройства, информационные входы матрицы элементов однородной среды соединены с входом записи устройства, индикаторные выходы элементов j -го столбца ($j = 1, 2, \dots, n$) матрицы элементов однородной среды соединены с входом j -го блока подсчета единиц, выход которого соединен с j -м входом блока нахождения максимума и j -м входом сумматора, выходы которых соединены с выходом максимальной длины ребра и выходом суммарной длины ребер устройства соответственно, вход управления записью блока памяти соединен с входом управления записью устройства, информационные выходы элементов i -й строки ($i = 1, 2, \dots, m$) матрицы элементов однородной среды соединены с i -м информационным входом блока памяти, выход которого соединен с информационным выходом устройства, дополнительно введен блок определения возможности параллельного выполнения итераций цикла, содержащий матрицу из (i,j) ($i=1,2,\dots,N, j=1,2,\dots,M$) D-триггеров синхронизации записи входных данных, тактовый генератор, счётчик импульсов стробирования загрузки исходных данных, первый дешифратор номера строба, счетчик номера обрабатываемой строки, второй дешифратор формирования сигналов разрешения загрузки СЕ, компаратор определения последней строки, первое однопортовое опера-

тивное запоминающее устройство (далее - ОЗУ) формирования вектора входных переменных, второе однопортовое ОЗУ формирования вектора выходных переменных, 2 D триггера, три элемента ИЛИ, два элемента И, элемент сложения по модулю 2, три элемента сравнения с 0, элемент задержки, причём информационные входы матрицы из (i,j) ($i=1,2,\dots,N, j=1,2,\dots,M$) D-триггеров синхронизации записи входных данных соединены с соответствующими выходами матрицы элементов однородной среды, на синхровходы матрицы из (i,j) ($i=1,2,\dots,N, j=1,2,\dots,M$) D-триггеров синхронизации записи входных данных подаётся сигнал со входа управления записью устройства, на вход тактового генератора подаются сигналы со входов подачи “питания” и подачи “земли”, выход тактового генератора соединен с входами подачи частоты двух однопортовых ОЗУ, счетчика номера обрабатываемой строки, вход CLK счётчика импульсов стробирования загрузки исходных данных соединён с входом управления записью устройства, первый выход дешифратора номера строка соединен с входом разрешения записи первого однопортового ОЗУ и счетным входом счетчика номера обрабатываемой строки, второй выход дешифратора номера строка соединен с входом разрешения записи второго однопортового ОЗУ, выход счетчика номера обрабатываемой строки соединен с входом компаратора определения последней строки, адресными входами двух однопортовых ОЗУ и входом дешифратора формирования сигналов разрешения загрузки, выход компаратора определения последней строки соединен с разрешающими входами элементов сравнения с 0, и через элемент задержки с выходом RDY устройства, все выходы матрицы D триггеров кроме последнего столбца соединены со вторыми входами первого и второго элемента ИЛИ, последний столбец соединен с вторым входом элемента сложения по модулю 2, выход первого элемента ИЛИ соединен с информационным входом первого однопортового ОЗУ, выход первого однопортового ОЗУ соединен с первым входом первого элемента И, и первым входом первого элемента ИЛИ, выход второго элемента ИЛИ соединен с информационным входом второго однопортового ОЗУ, выход второго одно-

портового ОЗУ соединен со вторым входом первого элемента И, и первым входом второго элемента ИЛИ, выход элемента сравнения по модулю 2 соединен с информационным входом первого D триггера, выход первого D триггера соединен с первым входом второго элемента И, и первым входом элемента сравнения по модулю 2, выход первого элемента И соединен с входом первого элемента сравнения с 0, выход второго элемента И соединен с входом второго D триггера, выход второго D триггера соединен с входом третьего элемента сравнения с 0, выход третьего элемента сравнения с 0 соединен с входом разрешения второго D триггера, выход первого элемента сравнения с 0 соединен с первым входом третьего элемента ИЛИ, выход второго элемента сравнения с 0 соединен со вторым входом третьего элемента ИЛИ, выход третьего элемента ИЛИ соединен с выходом F устройства.

Сущность полезной модели поясняется чертежами, где на фиг. 1 изображена функциональная схема устройства для определения возможности параллельного выполнения итераций цикла.

Предлагаемое устройство может использоваться в области проектирования вычислительных систем (далее - ВС), например, при проектировании и эксплуатации многопроцессорных систем, для функционирования которых требуются специализированные параллельные программы.

В ВС исходный (распараллеливаемый) фрагмент программы задаётся в следующем виде:

1. Исходный текст программы (фиг.2а);
2. Матрица входных переменных $Min = \left\| Min_{ij} \right\|_{n \times m}$, где $i = \overline{1, N}$, $j = \overline{1, N}$, характеризующая присутствие j -й переменной во входном наборе i -го оператора (фиг.2б);
3. Матрица выходных переменных $Mout = \left\| Mout_{ij} \right\|_{n \times m}$, где $i = \overline{1, N}$, $j = \overline{1, m}$, характеризующая присутствие j -й переменной в выходном наборе i -го оператора (фиг.2в).

По матрицам входных и выходных переменных составляются вектора входных и выходных переменных для итерации. Рассмотрим подробнее способ составления этих векторов. Каждому элементу вектора ставится в соответствие определенная переменная. Элемент вектора входных переменных принимает значение «1», если эта переменная используется хотя бы в одном операторе в теле цикла справа от знака « \Rightarrow », иначе ставится «0». Вектор выходных переменных заполняется так же, как и вектор входных переменных с одним лишь отличием: элемент вектора выходных переменных принимает значение «1», если эта переменная используется хотя бы в одном операторе в теле цикла слева от знака « \Rightarrow », иначе ставится «0».

Вектор входных переменных для итерации в нашем случае имеет следующий вид:

$$I = \{0, 0, 0, 1\};$$

Вектор выходных переменных для итерации в нашем случае имеет следующий вид:

$$O = \{1, 1, 1, 0\};$$

Вычислив конъюнкцию этих векторов получим вектор:

$$I \wedge O = \{0, 0, 0, 0\};$$

Наличие в этом векторе хотя бы одной единицы говорит о том, что какая-то переменная используется в теле цикла и в качестве входной, и в качестве выходной, следовательно, распараллелить тело цикла по этому методу будет уже невозможно. Если все элементы данного вектора будут равны 0, то необходимо составить векторы использования счетчика цикла для каждого оператора. В нашем примере 4 оператора, значит векторы использования счетчика цикла будут иметь по 4 элемента, по одному на каждый оператор. Элемент этих векторов принимает значение «1», если счетчик используется в этом операторе в качестве входной переменной, либо в качестве выходной переменной, иначе элемент принимает значение «0».

Вектор использования счетчика цикла в качестве входной переменной:

$$I_i = \{0, 0, 0, 1\};$$

Вектор использования счетчика цикла в качестве выходной переменной:

$$O_i = \{0, 0, 0, 1\};$$

Для того чтобы определить используется ли счетчик цикла в каких-либо операторах, кроме оператора инкремента/декремента лучше всего подходит операция сложения по модулю 2. В нашем случае:

$$I_i \oplus O_i = \{0, 0, 0, 0\};$$

Наличие хотя бы одной единицы в этом векторе говорит о том, что счетчик цикла используется не только в операторе инкремента/декремента. В этом случае возможны 2 варианта развития событий. В первом варианте счетчик используется в качестве входной переменной в одном или нескольких операторах. В этом случае можно заменить его на константу в зависимости от номера итерации. Во втором варианте счетчик используется в качестве выходной переменной в одном или нескольких операторах, то есть изменяется этими операторами. В этом случае распараллелить цикл таким способом не получится. Определить возможность распараллеливания можно вычислив функцию:

$$(I_i \oplus O_i) \wedge O_i = \{0, 0, 0, 0\};$$

В итоге функцию определения информационной зависимости итераций можно описать следующим математическим выражением:

$$F = \max(I \wedge O) \vee \max((I_i \oplus O_i) \wedge O_i);$$

Функция $\max()$ определяет максимальный элемент вектора, то есть говорит о том, содержит ли вектор хотя бы одну единицу. Если $F = 0$, тогда итерации могут независимо друг от друга параллельно выполняться на разных процессорах. Если $F=1$, это означает, что некоторые операторы используются как в качестве входных, так и в качестве выходных внутри итерации, либо счетчик цикла используется в качестве выходной переменной не только в операторе инкремента/декремента. В этом случае предложенную методику распараллеливания тела цикла применить нельзя.

Устройство для определения возможности параллельного выполнения итераций цикла (фиг1.) содержит матрицу 1 из m строк и n столбцов элемен-

тов однородной среды, блок 5 памяти, входы установки матрицы 1 элементов однородной среды соединены с входом 13 установки устройства, вход управления записью блока 5 памяти соединен с входом 9 управления записью устройства, информационные выходы элементов i -й строки ($i = 1$) матрицы 1 элементов однородной среды соединены с i -м информационным входом блока 5 памяти, выход которого соединен с информационным выходом 12 устройства, а также дополнительно введенный блок 41 определения возможности параллельного выполнения итераций цикла, содержащий матрицу 14 из (i,j) ($i=1,2,\dots,N, j=1,2,\dots,M$) D-триггеров синхронизации записи входных данных, тактовый генератор 15, счётчик импульсов стробирования загрузки исходных данных 16, первый дешифратор номера строка 17, счётчик номера обрабатываемой строки 18, второй дешифратор формирования сигналов разрешения загрузки СЕ 19, компаратор определения последней строки 20, первое однопортовое ОЗУ 24 формирования вектора входных переменных, второе однопортовое ОЗУ 25 формирования вектора выходных переменных, 2 D триггера 26,28, три элемента ИЛИ 21,22,32, два элемента И 27-28, элемент 23 сложения по модулю 2, три элемента сравнения с 0 30-32, элемент задержки 33, причём информационные входы матрицы 14 из (i,j) ($i=1,2,\dots,N, j=1,2,\dots,M$) D-триггеров синхронизации записи входных данных соединены с соответствующими выходами матрицы элементов однородной среды, на синхровходы матрицы из (i,j) ($i=1,2,\dots,N, j=1,2,\dots,M$) D-триггеров синхронизации записи входных данных подаётся сигнал со входа управления записью устройства, на вход тактового генератора 15 подаются сигналы со входов подачи “питания” 39 и подачи “земли” 40, выход тактового генератора 15 соединен с входами подачи частоты двух однопортовых ОЗУ 24-25, счетчика номера обрабатываемой строки 18, вход CLK счётчика импульсов стробирования загрузки исходных данных 16 соединён с входом управления записью устройства, первый выход дешифратора номера строка 17 соединен с входом разрешения записи первого однопортового ОЗУ 24 и счетным входом счетчика номера обрабатываемой строки 18, второй выход дешифратора

номера строба 17 соединен с входом разрешения записи второго однопортового ОЗУ 25, выход счетчика номера обрабатываемой строки 18 соединен с входом компаратора определения последней строки 20, адресными входами двух однопортовых ОЗУ 24-25 и входом дешифратора формирования сигналов разрешения загрузки 19, выход компаратора 20 определения последней строки соединен с разрешающими входами двух элементов 31-32 сравнения с 0, и через элемент задержки 33 с выходом RDY 37 устройства 41, все выходы матрицы 14 D триггеров кроме последнего столбца соединены со вторыми входами первого и второго элемента ИЛИ 21-22, последний столбец соединен с вторым входом элемента 23 сложения по модулю 2, выход первого элемента ИЛИ 21 соединен с информационным входом первого однопортового ОЗУ 24, выход первого однопортового ОЗУ 24 соединен с первым входом первого элемента И 27, и первым входом первого элемента ИЛИ 21, выход второго элемента ИЛИ 22 соединен с информационным входом второго однопортового ОЗУ 25, выход второго однопортового ОЗУ 25 соединен со вторым входом первого элемента И 27, и первым входом второго элемента ИЛИ 22, выход элемента 23 сравнения по модулю 2 соединен с информационным входом первого D триггера 26, выход первого D триггера 26 соединен с первым входом второго элемента И 28, и первым входом элемента 23 сравнения по модулю 2, выход первого элемента И 21 соединен с входом первого элемента 31 сравнения с 0, выход второго элемента И 28 соединен с входом второго D триггера 29, выход второго D триггера 29 соединен с входом третьего элемента 30 сравнения с 0, выход третьего элемента 30 сравнения с 0 соединен с входом разрешения второго D триггера 29, выход первого элемента 31 сравнения с 0 соединен с первым входом третьего элемента ИЛИ 33, выход второго элемента 32 сравнения с 0 соединен со вторым входом третьего элемента ИЛИ 33, выход третьего элемента ИЛИ 33 соединен с выходом F 35 устройства 41.

Назначение элементов и блоков устройства для поиска линейных участков внутри цикла (фиг. 1) состоит в следующем:

Матрица 1 элементов однородной среды предназначена для хранения матриц входных/выходных переменных.

Блоки 2.1 – 2.n подсчета единиц предназначены для преобразования кодов с индикаторных выходов элементов соответствующих столбцов матрицы 1 в двоичные коды.

Блок 3 нахождения максимума предназначен для выделения максимального кода из множества кодов на его входах.

Сумматор 4 предназначен для суммирования n двоичных кодов.

Блок 5 памяти предназначен для хранения входных данных.

Вход 6 записи устройства служит для записи матрицы, представляющей двоичный код для сжатия.

Вход 7 управления перестановкой столбцов устройства предназначен для приема сигнала от внешнего устройства управления (далее - ВУУ) о перестановке столбцов.

Вход 8 управления перестановкой строк устройства предназначен для приема сигнала от ВУУ о перестановке строк.

Вход 9 управления записью устройства необходим для приема сигнала «Запись» от ВУУ. По этому сигналу в блок 5 памяти заносится текущий вариант размещения из матрицы 1.

Выход 10 максимальной длины ребра устройства необходим для выдачи значения максимальной длины ребра на ВУУ.

Выход 11 суммарной длины ребер устройства необходим для выдачи значения суммарной длины ребер на ВУУ.

Информационный выход 12 устройства необходим для выдачи варианта размещения, находящегося в блоке 5 памяти, на ВУУ.

Вход 13 установки устройства необходим для синхронизации записи информации в элементы матрицы 1.

Матрица 14.i.j ($i=1,2,\dots,N$, $j=1,2,\dots,M$) D-триггеров синхронизации записи входных данных предназначена для синхронизации записи элементов матрицы 1 в первое 23 однопортовое ОЗУ обработки матрицы входных пере-

менных, второе 24 однопортовое ОЗУ обработки матрицы выходных переменных, и третье 25 однопортовое ОЗУ обработки последних столбцов матриц входных и выходных переменных.

Тактовый генератор 15 служит для генерации тактовых сигналов устройства.

Счетчик 16 импульсов стробирования загрузки исходных данных управляет перебором стробов загрузки разных типов исходных данных: строки матрицы входных переменных, строки матрицы выходных переменных. По приходу высокого уровня сигнала на вход clr счётчика 16 осуществляется его сброс. Счёт происходит по приходу импульсов на счётный вход CLK счётчика 16. Выходы $Q_1 \dots Q_n$, содержат информацию о текущем номере строба STROB.

Первый 17 дешифратор номера строба, исходя из выходных данных счётчика 16, поступающих на его входы A, формирует выходной строб, выдавая его на одну из выходных линий D1...D2.

Счетчик 18 предназначен для перебора строк обрабатываемых матриц входных/выходных переменных.

Дешифратор 19 предназначен для выдачи разрешающих сигналов для матрицы 14 для выдачи определенной строки матрицы входных/выходных переменных.

Компаратор 20 предназначен для формирования сигнала последней строки LASTROW.

Первый элемент ИЛИ 21 предназначен для дизъюнкции строк матрицы входных переменных.

Второй элемент ИЛИ 22 предназначен для дизъюнкции строк матрицы выходных переменных.

Элемент 23 сложения по модулю 2 предназначен для сложения по модулю 2 последних столбцов матриц входных/выходных переменных.

Первое однопортовое ОЗУ 24 предназначено для хранения обрабатываемой строки матрицы входных переменных.

Второе однопортовое ОЗУ 25 предназначено для хранения обрабатываемой строки матрицы выходных переменных.

Первый D триггер 26 предназначен для хранения промежуточного результата сложения по модулю 2 последнего элемента каждой строки обрабатываемых матриц.

Первый элемент И 27 предназначен для конъюнкции строк входных и выходных переменных.

Второй элемент И 28 предназначен для конъюнкции последнего столбца матрицы выходных переменных с результатом сложения по модулю 2 последних столбцов матриц входных и выходных переменных.

Второй D триггер 29 предназначен для хранения промежуточного результата сложения по модулю 2 последнего элемента каждой строки обрабатываемых матриц и конъюнкции результата с соответствующим элементом матрицы выходных переменных.

Третий 30 элемент сравнения с 0 предназначен для формирования сигнала разрешения записи второго D триггера 29.

Первый 31 элемент сравнения с 0 предназначен для сравнения с 0 выходного значения первого элемента И 27.

Второй 32 элемент сравнения с 0 предназначен для сравнения с 0 выходного значения первого элемента И 28.

Третий элемент ИЛИ 33 предназначен для формирования результата F и выдачи его на ВУУ.

Элемент задержки 34 предназначен для выдачи сигнала RDY 34 на ВУУ.

Выход 35 предназначен для выдачи результата на ВУУ.

На вход 36 ВУУ подает количество строк обрабатываемой матрицы следования.

Выход 37 признака наличия результата предназначен для оповещения ВУУ о готовности результата.

Выход 38 синхронизации частот предназначен для синхронизации работы устройства с ВУУ.

Вход 39 подачи питания и вход 40 подачи “земли” служат для подачи “питания” Н и “земли” L соответственно на устройство для определения возможности параллельного выполнения итераций цикла 41.

Оценка размещения по критериям суммарной длины ребер и максимальной длины ребра происходит следующим образом. Информация с индикаторных выходов элементов каждого столбца матрицы 1 поступает в соответствующие блоки подсчета единиц. Блок 2.i ($i = 1, 2, \dots, n$) выдает двоичное число (код), равное количеству поступивших на его вход единиц. Полученное число далее поступает на входы сумматора 4 и блока 3 нахождения максимума, соответствующие данному блоку подсчета единиц. В результате на выходе 10 устройства образуется код (оценка) максимальной длины ребра, а на выходе 11 – код (оценка) суммарной длины ребер, отвечающие текущему варианту размещения схемы (содержащемуся в матрице 1). Полученные оценки далее поступают на ВУУ, где происходит их сравнение с предыдущими значениями. В случае улучшения оценок ВУУ подает импульс (сигнал «Запись») на вход 9 управления записью устройства и текущий вариант размещения переписывается в блок 5 памяти из матрицы 1. Более подробно рассмотренный режим работы устройства описан в прототипе.

Предлагаемое устройство предназначено для определения возможности параллельного выполнения итераций цикла для его последующего распараллеливания в режиме реального времени.

Работа устройства для определения возможности параллельного выполнения итераций цикла состоит из следующих шагов: Первоначально в матрице 1 элементов однородной среды содержится исходная матрица входных переменных. В счетчике 18 строк хранится код единицы («0...01»). Этот код подается на адресный вход дешифратора 19 и на его первом выходе появляется единичный импульс, который поступает на управляющие входы матрицы 14 и разрешает прохождение сигналов с индикаторных выходов

первой строки матрицы 1. Эти сигналы устанавливают соответствующие триггеры матрицы 14 в единичные состояния при условии наличия единичных сигналов.

Определения возможности параллельного выполнения итераций цикла в режиме реального времени решается в предлагаемом устройстве следующим образом. После записи очередной матрицы входных переменных в матрицу 14 D триггеров запускается генератор 15 импульсов и начинается работа блока 41.

Тактовый импульс с выхода генератора 15 импульсов поступает на счетный вход счетчика 16, и по переднему фронту увеличивает содержимое счетчика 16 на единицу, Значение с выхода счетчика 16 поступает на вход дешифратора 17, и на его выходе STB_IN появляется единичное значение которое поступает на вход разрешения записи первого однопортового ОЗУ 24, при этом в счетчике 18 хранится код единицы («00..01»), который поступает на адресный вход первого однопортового ОЗУ 24, и по переднему фронту сигнала CLK происходит загрузка результата дизъюнкции первой строки матрицы входных переменных с содержимым первого однопортового ОЗУ 24 (изначально значение 0) в первое однопортовое ОЗУ 24. При этом последний бит первой строки матрицы входных переменных попадает на второй вход элемента 23 сложения по модулю 2, и результат сложения по модулю 2 последнего бита строки матрицы входных переменных со значением, хранящемся в первом D триггере (изначально 0) записывается в первый D триггер.

На следующем шаге тактовый импульс с выхода генератора 15 импульсов поступает на счетный вход счетчика 16, и по переднему фронту увеличивает содержимое счетчика 16 на единицу, Значение с выхода счетчика 16 поступает на вход дешифратора 17, и на его выходе STB_OUT появляется единичное значение которое поступает на вход разрешения записи второго однопортового ОЗУ 25, при этом в счетчике 18 хранится код единицы («00..01»), который поступает на адресный вход второго однопортового ОЗУ 25, и по переднему фронту сигнала CLK происходит загрузка результата

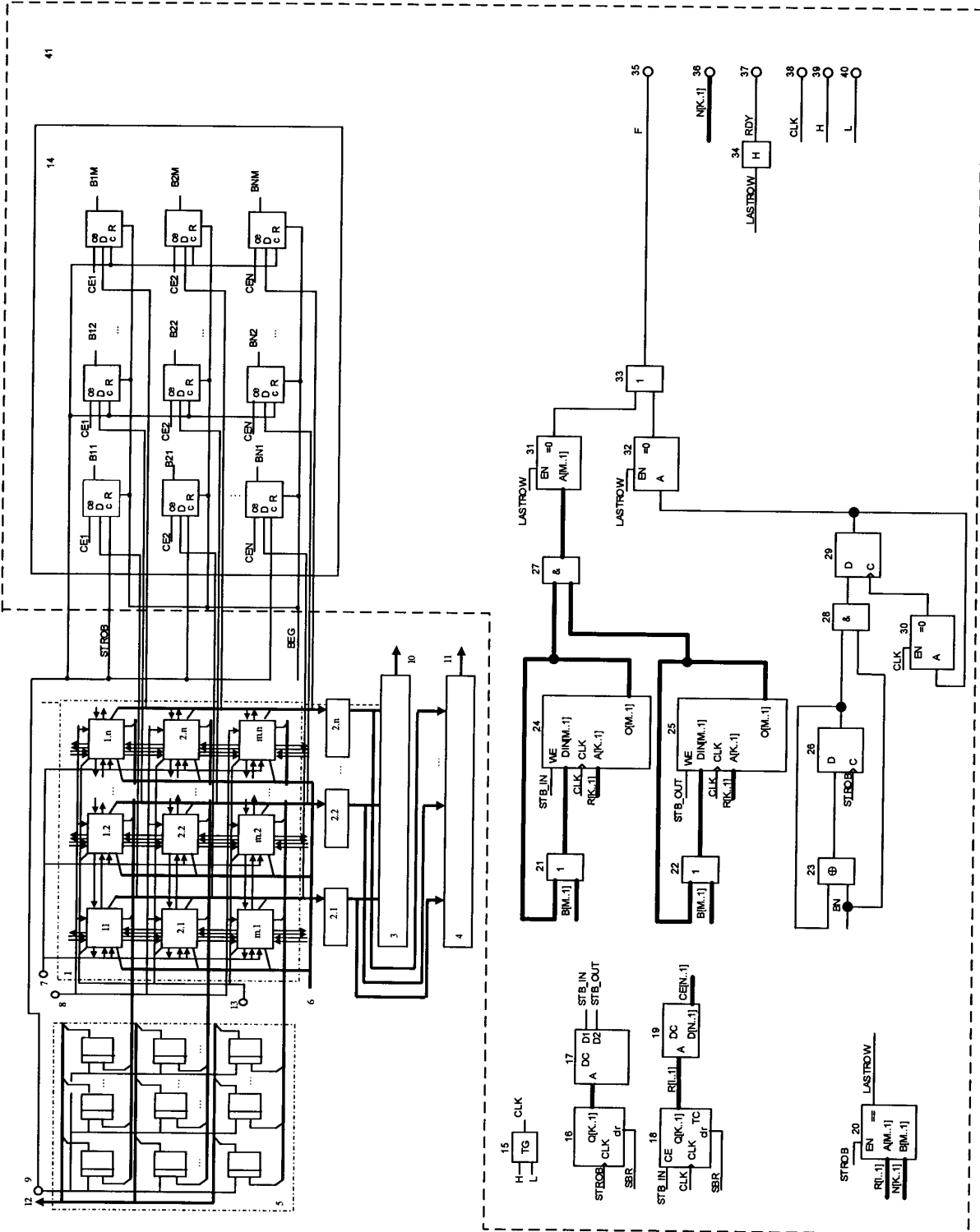
дизъюнкции первой строки матрицы входных переменных с содержимым второго однопортового ОЗУ 25 (изначально значение 0) во второе однопортовое ОЗУ 25. При этом последний бит первой строки матрицы выходных переменных попадает на второй вход элемента 23 сложения по модулю 2, и результат сложения по модулю 2 последнего бита строки матрицы входных переменных со значением, хранящемся в первом D триггере записывается в первый D триггер. Результат конъюнкции значения, сохраненного в первом D триггере 26 со значением последнего бита матрицы выходных переменных записывается во второй D триггер 29 при условии наличия высокого уровня на разрешающем выводе С, который будет до тех пор, пока на выходе второго элемента И 28 не появится высокий уровень.

Эта последовательность действий повторяется до тех пор, пока не закончатся строки исходных матриц входных/выходных переменных, при этом на выходе компаратора 20 появляется высокий уровень сигнала LASTROW, который разрешает работу первого и второго элементов сравнения 31-32. Результаты сравнения попадают на входы третьего элемента ИЛИ, который формирует выходной сигнал F. Элемент задержки 34 задерживает выдачу сигнала RDY на время переключения третьего элемента ИЛИ33. Сигнал RDY говорит ВУУ о том, что работа блока 41 определения возможности параллельного выполнения итераций цикла завершена.

Таким образом, предлагаемое устройство определения возможности параллельного выполнения итераций цикла обеспечивает возможность как оценки размещения по критериям суммарной длины ребер, максимальной длины ребра, так и возможность определения возможности параллельного выполнения итераций цикла в оперативном режиме. Тем самым обеспечивается расширение функциональных возможностей устройства и, следовательно, области его целесообразного применения.



Устройство для определения возможности параллельного выполнения итераций цикла



Фиг.1

Устройство для определения возможности параллельного выполнения итераций цикла

```

for (i=1;i<10;i++)
{
A=0;
B=0;
C=D+1;
}

```

а)

Матрица входных переменных *Min*

Операнд/ № оператора	A	B	C	D	I
1	0	0	0	0	0
2	0	0	0	0	0
3	0	0	0	1	0
4	0	0	0	0	1

б)

Матрица выходных переменных *Mout*

Операнд/ № оператора	A	B	C	D	I
1	1	0	0	0	0
2	0	1	0	0	0
3	0	0	1	0	0
4	0	0	0	0	1

в)

Фиг. 2