(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
G11C 29/00

(45) 공고일자 2002년10월18일
(11) 등록번호 10-0356774
(24) 등록일자 2002년10월02일

(21) 출원번호 10-2000-0069533
(22) 출원일자 2000년11월22일

(65) 공개번호 특2002-0039743
(43) 공개일자 2002년05월30일

(73) 특허권자 삼성전자 주식회사
경기 수원시 팔달구 매탄3동 416

(72) 발명자 이병훈
서울특별시마포구연남동567-24호
임영호
경기도용인시기흥읍농서리산24번지

(74) 대리인 임창현
권혁수

심사관 : 김세영

(54) 반도체 메모리 장치의 결함 어드레스 저장 회로

요약

여기에 개시되는 반도체 메모리 장치는 결함 어드레스 저장 회로를 포함하며, 상기 결함 어드레스 저장 회로는 제 1 전원 단자와 출력 노드 사이에 연결되며, 제어 신호에 응답하여 상기 출력 노드를 상기 제 1 전원 단자의 전위로 프리챠지하는 프리챠지 회로 및; 상기 출력 노드와 제 2 전원 단자 사이에 연결되며, 결함 셀에 대응하는 어드레스 신호들을 저장하는 퓨즈 뱅크를 포함한다. 상기 퓨즈 뱅크는 낸드형 구조를 갖도록 상기 출력 노드와 상기 제 2 전원 단자 사이에 직렬 연결된 어드레스 저장 블럭들을 갖는다. 이러한 장치에 의하면, 낸드 구조로 어드레스 저장 블럭들을 구현함으로써 정상적인 어드레스가 입력될 때 생기는 상기 결함 어드레스 저장 회로의 DC 전류 경로를 차단할 수 있다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 결함 어드레스 저장 회로를 보여주는 회로도;

도 2는 본 발명의 제 1 실시예에 따른 결함 어드레스 저장 회로를 보여주는 회로도;

도 3은 도 2의 동작을 설명하기 위한 동작 타이밍도;

도 4는 본 발명의 제 2 실시예에 따른 결함 어드레스 저장 회로를 보여주는 회로도;

도 5는 본 발명의 제 3 실시예에 따른 결함 어드레스 저장 회로를 보여주는 회로도;

도 6은 도 5의 동작을 설명하기 위한 동작 타이밍도; 그리고

도 7은 본 발명의 제 4 실시예에 따른 결함 어드레스 저장 회로를 보여주는 회로도이다.

도면의 주요 부분에 대한 부호의 설명

100-400 : 낸드형 퓨즈 뱅크

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치들에 관한 것으로서, 좀 더 구체적으로는 결함 셀에 대응하는 열 또는 행 어드레스를 저장하기 위한 결함 어드레스 저장 회로에 관한 것이다.

많은 집적 회로 메모리 어레이에는, 메모리 내의 결함 행들 (또는, 열들)의 대용으로서 사용되도록 복수의 리던던트 행들 (또는, 열들)이 제공된다. 결함 행 (또는, 열)이 생길 때, 전체 칩을 결함이 있는 것으로 취급하기 보다는 오히려, 결함 행 (또는, 열) 대신에 리던던트 행 (또는, 열)이 이용될 수 있다. 상기 결함 행 (또는, 열)의 어드레스를 대응하는 리던던트 행 (또는, 열)로 지정함으로써 상기 결함 행 (또는, 열)이 상기 리던던트 행 (또는, 열)로 대체된다. 상기 결함 행 (또는, 열)에 대응하는 어드레스가 입력될 때, 상기 리던던트 행 (또는, 열)이 대신 지정된다.

상기 결함 행 (또는, 열)을 상기 리던던트 행 (또는, 열)로 대체하기 위해서, 메모리 장치는 결함 어드레스 저장 회로 (또는, 결함 어드레스 검출 회로)를 포함한다. 상기 결함 어드레스 저장 회로는 행/열 어드레스들을 모니터하고, 상기 결함 행 (또는, 열)의 어드레스가 입력될 때 상기 리던던트 행 (또는, 열)을 대신 인에이블시킨다. 앞서 설명된 바와 같은 기능을 수행하는 결함 어드레스 저장 회로의 예들이 U.S. Patent No. 5,258,953에 "SEMICONDUCTOR MEMORY DEVICE"라는 제목으로, U.S. Patent No. 5,657,280에 "DEFECTIVE CELL REPAIRING CIRCUIT AND METHOD OF SEMICONDUCTOR MEMORY DEVICE"라는 제목으로 그리고 U.S. Patent No. 5,723,999에 "REDUNDANT ROW FUSE BANK CIRCUIT"라는 제목으로 각각 게재되어 있으며, 레퍼런스로 포함된다.

도 1은 종래 기술에 따른 결함 어드레스 저장 회로를 보여주는 회로도이다.

도 1을 참조하면, 결함 어드레스 저장 회로는 퓨즈 (11), PMOS 트랜지스터 (12), 인버터 (13) 그리고 노어형 퓨즈 뱅크 (NOR-type fuse bank) (또는, 노어형 퓨즈 어레이) (30)로 구성된다. 상기 퓨즈 (11)와 상기 PMOS 트랜지스

터 (12)는 전원 전압과 노드 (N0) 사이에 연결되며, 상기 트랜지스터 (12)는 신호 (nRchk)에 따라 스위치 온/오프된다. 상기 인버터 (13)의 입력 단자는 상기 노드 (N0)에 연결되고, 그것의 출력 단자는 신호 (nRcen)를 출력하도록 연결된다. 상기 노어형 퓨즈 뱅크 (30)는 퓨즈들 (14-24) 및 NMOS 트랜지스터들 (15-25)로 구성되며, 도면에 도시된 바와 같이 연결되어 있다. 상기 퓨즈들 (14-24)은 상기 NMOS 트랜지스터들 (15-25)에 각각 대응한다. 도면에서 알 수 있듯이, 상기 퓨즈들 (14-24) 및 상기 NMOS 트랜지스터들 (15-25)은 노어 구조를 갖도록 구성되어 있다.

회로 동작에 있어서, 결함이 발생하지 않은 경우, 전원 전압에서 노드 (N0)로 흐르는 전류 (또는, 공급되는 전하들)을 차단하기 위해서 퓨즈 (11)가 절단된다. 상기 퓨즈 뱅크 (30) 내의 퓨즈들 (14-24)은 연결 상태로 유지된다. 이러한 조건에 의하면, 비록 어떠한 조합의 어드레스 신호들 (A0,nA0,A1,nA1,A2,nA2)이 입력되더라도, 상기 퓨즈 뱅크 (30) 내의 NMOS 트랜지스터들 (15-25) 중 적어도 하나는 턴 온되며, 그 결과 노드 (N0)는 로우 상태로 유지된다.

반면에, 상기 퓨즈 (11)는 연결 상태로 유지되고, 상기 퓨즈 뱅크 (30) 내의 퓨즈들 (14-24)이 결함 행 (또는, 열)에 대응하는 어드레스를 검출하도록 절단된다. 예컨대, 어드레스 신호들 (A0-A2)이 모두 로우인 경우, 각각 하이 레벨을 갖는 어드레스 신호들 (nA0-nA2)에 대응하는 퓨즈들 (16,20,24)은 모두 절단되고 어드레스 신호들 (A0-A2)에 대응하는 퓨즈들 (14,18,22)은 모두 연결 상태로 유지된다. 이러한 조건에 의하면, 노드 (N0)에서 접지 전압으로 흐르는 전류 경로가 차단되기 때문에, 노드 (N0)는 퓨즈 (11)와 PMOS 트랜지스터 (12)를 통해 하이 레벨로 충전된다. 인버터 (13)를 통해 로우 레벨의 신호 (nRcen)가 출력되며, 이는 현재 어드레스되는 행 (또는, 열)이 결함이 있음을 나타난다. 즉, 결함 행 (또는, 열)이 대응하는 리던던트 행 (또는, 열)로 대체될 것이다.

정상적인 행 (또는, 열)에 대응하는 어드레스 신호들이 입력되는 경우, 어드레스 신호들 (A0-A2) 중 적어도 하나는 하이 레벨을 갖기 때문에, 그에 대응하는 NMOS 트랜지스터는 턴 온된다. 즉, 노드 (N0)에서 접지 전압으로의 전류 경로가 형성된다. PMOS 트랜지스터 (12)의 전류 구동 능력이 퓨즈 뱅크 (30)의 NMOS 트랜지스터의 그것보다 작게 설정되기 때문에, 상기 노드 (N0)는 하이 레벨의 신호 (nRcen)를 출력하도록 로우 레벨로 유지된다.

메모리 장치가 복수 개의 결함 어드레스 저장 회로를 구비함은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 앞서 설명된 바와 같이, 각 결함 어드레스 저장 회로에 저장된 결함 어드레스가 현재 입력된 어드레스와 일치하지 않을 때, 각 결함 어드레스 저장 회로에는 전원 전압에서 접지 전압으로의 DC 경로가 형성된다. 즉, 종래 기술에 따른 결함 어드레스 저장 회로로 인해서 많은 양의 전류가 불필요하게 소모된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 정상적인 어드레스가 입력될 때 소모되는 DC 전류를 방지할 수 있는 반도체 메모리 장치의 결함 어드레스 저장 회로를 제공하는 것이다.

발명의 구성 및 작용

(구성)

상술한 제반 목적을 달성하기 위한 본 발명에 따르면, 반도체 메모리 장치는 제 1 전원 단자와 출력 노드 사이에 연결되며, 제어 신호에 응답하여 상기 출력 노드를 상기 제 1 전원 단자의 전위로 프리챠지하는 프리챠지 회로 및; 상기 출력 노드와 제 2 전원 단자 사이에 연결되며, 결함 셀에 대응하는 어드레스 신호들을 저장하는 퓨즈 뱅크를 포함한다. 상기 퓨즈 뱅크는 낸드형 구조를 갖도록 상기 출력 노드와 상기 제 2 전원 단자 사이에 직렬 연결된 어드레스 저장 블럭들을 갖는다.

이 실시예에 있어서, 상기 제 1 전원 단자는 전원 전압을 공급받고, 상기 제 2 전원 단자는 접지 전압을 공급받는다.

이 실시예에 있어서, 상기 퓨즈 뱅크의 각 어드레스 저장 블럭은 제 1 그룹의 퓨즈 및 NMOS 트랜지스터와 제 2 그룹의 퓨즈 및 NMOS 트랜지스터로 구성되되, 상기 제 1 및 제 2 그룹들 각각의 퓨즈 및 NMOS 트랜지스터는 직렬 연결되고 상기 제 1 및 제 2 그룹들은 서로 병렬 연결된다.

이 실시예에 있어서, 상기 퓨즈 뱅크의 각 어드레스 저장 블럭은 제 1 그룹의 퓨즈 및 NMOS 트랜지스터와 제 2 그룹의 퓨즈 및 NMOS 트랜지스터로 구성되되, 상기 제 1 및 제 2 그룹들의 퓨즈들은 직렬 연결되고 그것의 NMOS 트랜지스터들은 직렬 연결되며, 상기 퓨즈들의 접속 노드는 상기 트랜지스터들의 접속 노드에 전기적으로 연결된다.

이 실시예에 있어서, 상기 퓨즈 뱅크의 각 어드레스 저장 블럭에 제공되는 상기 제 1 및 제 2 그룹들의 NMOS 트랜지스터들은 상보적인 어드레스 신호들에 의해서 제어된다.

이 실시예에 있어서, 상기 출력 노드에 연결되며, 상기 출력 노드에 응답하여 상기 어드레스 신호들에 대응하는 출력 신호를 출력하는 버퍼 회로를 부가적으로 포함한다.

(작용)

이러한 회로에 의하면, 낸드 구조의 퓨즈 뱅크가 구현되며, 이는 정상적인 어드레스가 입력될 때 생기는 DC 전류가 차단되게 한다.

(실시예)

이하, 본 발명에 따른 바람직한 실시예들이 참조 도면들에 의거하여 상세히 설명된다.

도 2는 본 발명의 제 1 실시예에 따른 반도체 메모리 장치의 결함 어드레스 저장 회로를 보여주는 회로도이다.

도 2를 참조하면, 본 발명의 결함 어드레스 저장 회로는 PMOS 트랜지스터 (41), 인버터 (42), 그리고 낸드형 퓨즈 뱅크 (100)를 포함한다. 상기 PMOS 트랜지스터 (41)는 전원 전압과 출력 노드 (N1) 사이에 연결되며, 상기 출력 노드 (N1)를 전원 전압으로 프리챠지하도록 제어 신호 (nRp)에 의해서 제어된다. 상기 인버터 (42)는 출력 노드 (N1)에 연결되며, 상기 출력 노드 (N1)의 전위에 따른 신호 (Ren)를 출력한다. 상기 PMOS 트랜지스터 (41)는 프리챠지 회로로서 동작하고, 상기 인버터 (42)는 버퍼 회로로서 동작한다.

계속해서 도 2를 참조하면, 상기 낸드형 퓨즈 뱅크 (100)는 복수 개의 어드레스 저장 블럭들 (100a,100b,100c)을 포함하며, 상기 어드레스 저장 블럭들 (100a,100b,100c)은 낸드 구조를 갖도록 상기 출력 노드 (N1)와 상기 접지 전압 사이에 직렬 연결되어 있다. 상기 어드레스 저장 블럭들 (100a,100b,100c) 각각은 2개의 퓨즈들과 2개의 NMOS 트랜지스터들로 구성된다. 상기 어드레스 저장 블럭 (100a)의 퓨즈 (43) 및 NMOS 트랜지스터 (44)는 상기 출력 노드 (N1)와 상기 어드레스 저장 블럭 (100b) 사이에 직렬 연결된다. 상기 어드레스 저장 블럭 (100a)의 퓨즈 (44) 및 NMOS 트랜지스터 (46)는 상기 출력 노드 (N1)와 상기 어드레스 저장 블럭 (100b) 사이에 직렬 연결된다. 즉, 상기 퓨즈 (43) 및 NMOS 트랜지스터 (45)의 그룹은 상기 출력 노드 (N1)와 상기 어드레스 저장 블럭 (100b) 사이에 상기 퓨즈 (44) 및 NMOS 트랜지스터 (46)의 그룹과 병렬 연결된다. 상기 어드레스 저장 블럭 (100a)의 NMOS 트랜지스터들 (45,46)은 상보적인 어드레스 신호들 (nA0,A0)에 의해서 각각 제어되도록 연결된다. 마찬가지로, 도 2에서 알 수 있듯이, 나머지 어드레스 저장 블럭들 (100b,100c)은 상기 어드레스 저장 블럭 (100a)의 회로 구성과 동일하며, 그것에 대한 설명은 그러므로 생략된다.

도 3은 도 2에 도시된 결함 어드레스 저장 회로의 동작을 설명하기 위한 동작 타이밍도이다.

이하, 본 발명에 따른 결함 어드레스 저장 회로의 동작이 참조 도면들에 의거하여 상세히 설명된다.

임의의 결함 셀에 대응하는 어드레스 (이하, 리페어 어드레스라 칭함)는 도 2에 도시된 결함 어드레스 저장 회로에 다음과 같은 방법으로 저장된다. 예를 들면, 리페어 어드레스 (A0-A2)가 "000"라 가정하자. 이러한 경우, 리페어 어드레스 신호들 (A0-A2)에 대응하는 퓨즈들 (44,48,52)은 절단되고, 상보 리페어 어드레스 신호들 (nA0-nA2)에 대응하는 퓨즈들 (43,47,51)은 연결 상태로 유지된다. 이러한 퓨즈 커팅에 의해서 리페어 어드레스가 퓨즈 뱅크 (100)에 저장될 것이다.

신호 (nRp)가 로우 레벨로 유지되는 동안 출력 노드 (N1)는 PMOS 트랜지스터 (41)를 통해 하이 레벨을 갖는다. 도 3에 도시된 바와 같이, "000"의 리페어 어드레스 (A0-A2)가 입력되면, 낸드형 퓨즈 뱅크 (100)의 NMOS 트랜지스터들 (46,50,54)은 턴 오프되는 반면에 NMOS 트랜지스터들 (45,49,53)은 "111"의 상보 리페어 어드레스 신호들 (nA0-nA2)에 의해서 턴 온된다. 이는 출력 노드 (N1)와 접지 전압 사이에 전류 경로 (43→45→47→49→51→53)가 형성되게 하며, 도 3에 도시된 바와 같이, 결함 셀에 대응하는 리던던트 셀이 선택되도록 하이 레벨의 신호 (Ren)가 출력된다.

"010"의 정상적인 어드레스가 도 2의 결함 어드레스 저장 회로에 입력되는 경우, 상기 낸드형 퓨즈 뱅크 (100)의 어드레스 저장 블럭 (100b)을 구성하는 NMOS 트랜지스터 (50)는 턴 온되는 반면에 NMOS 트랜지스터 (49)는 턴 오프된다. 이는 상기 어드레스 저장 블럭들 (100a,100c) 사이의 전류 경로가 차단되게 하며, 전원 전압에서 접지 전압으로의 DC 전류 경로가 형성되지 않는다. 즉, 정상적인 어드레스가 입력되는 경우, 본 발명에 따른 낸드형 퓨즈 뱅크 (100)를 갖는 결함 어드레스 저장 회로에 의해서 소모되는 DC 전류가 방지된다.

도 4는 본 발명의 제 2 실시예에 따른 반도체 메모리 장치의 결함 어드레스 저장 회로를 보여주는 회로도이다.

도 4를 참조하면, 본 발명의 결함 어드레스 저장 회로는 PMOS 트랜지스터 (55), 인버터 (56), 그리고 낸드형 퓨즈 뱅크 (200)를 포함한다. 상기 PMOS 트랜지스터 (55)는 전원 전압과 출력 노드 (N2) 사이에 연결되며, 상기 출력 노드 (N2)를 전원 전압으로 프리챠지하도록 제어 신호 (nRp)에 의해서 제어된다. 상기 인버터 (56)는 출력 노드 (N2)에 연결되며, 상기 출력 노드 (N2)의 전위에 따른 신호 (Ren)를 출력한다. 상기 PMOS 트랜지스터 (55)는 프리챠지 회로로서 동작하고, 상기 인버터 (56)는 버퍼 회로로서 동작한다.

본 발명에 따른 낸드형 퓨즈 뱅크 (200)는 복수 개의 어드레스 저장 블럭들 (200a,200b,200c)을 포함하며, 상기 어드레스 저장 블럭들 (200a,200b,200c)은 낸드 구조를 갖도록 상기 출력 노드 (N2)와 상기 접지 전압 사이에 직렬 연결되어 있다. 상기 어드레스 저장 블럭들 (200a,200b,200c) 각각은 2개의 퓨즈들과 2개의 NMOS 트랜지스터들로 구성된다. 상기 어드레스 저장 블럭 (200a)의 퓨즈들 (58,60)은 상기 출력 노드 (N2)와 상기 어드레스 저장 블럭 (200b) 사이에 직렬 연결된다. 상기 어드레스 저장 블럭 (200a)의 NMOS 트랜지스터들 (57,59)은 상기 출력 노드 (N2)와 상기 어드레스 저장 블럭 (200b) 사이에 직렬 연결된다. 상기 트랜지스터들 (57,59)의 접속 노드는 상기 퓨즈들 (58,60)의 접속 노드와 전기적으로 연결되어 있다. 상기 어드레스 저장 블럭 (200a)의 NMOS 트랜지스터들 (57,59)은 상보적인 어드레스 신호들 (A0,nA0)에 의해서 각각 제어되도록 연결된다. 마찬가지로, 도 4에서 알 수 있듯이, 나머지 어드레스 저장 블럭들 (200b,200c)은 상기 어드레스 저장 블럭 (200a)의 회로 구성과 동일하며, 그것에 대한 설명은 그러므로 생략된다.

임의의 결함 셀에 대응하는 어드레스 (이하, 리페어 어드레스라 칭함)는 본 발명의 제 2 실시예에 따른 결함 어드레스 저장 회로에 다음과 같은 방법으로 저장된다. 예를 들면, 리페어 어드레스 (A0-A2)가 "000"라 가정하자. 이러한 경우, 어드레스 저장 블럭들 (200a,200b,200c)의 퓨즈들 (60,64,68)은 절단되는 반면에 퓨즈들 (58,62,66)은 연결 상태로 유지된다. 이러한 퓨즈 커팅에 의해서 리페어 어드레스가 낸드형 퓨즈 뱅크 (200)에 저장될 것이다.

신호 (nRp)가 로우 레벨로 유지되는 동안 출력 노드 (N2)는 PMOS 트랜지스터 (55)를 통해 하이 레벨을 갖는다. "000"의 리페어 어드레스 (A0-A2)가 입력되면, 낸드형 퓨즈 뱅크 (200)의 NMOS 트랜지스터들 (57,61,65)은 턴 오프되는 반면에 NMOS 트랜지스터들 (59,63,67)은 "111"의 상보 리페어 어드레스 신호들 (nA0-nA2)에 의해서 턴 온된다. 이는 출력 노드 (N2)와 접지 전압 사이에 점선으로 표시된 바와 같은 전류 경로 (58→59→62→63→66→67)가 형성되게 하며, 결함 셀에 대응하는 리던던트 셀이 선택되도록 하이 레벨의 신호 (Ren)가 출력된다.

"010"의 정상적인 어드레스가 도 4의 결함 어드레스 저장 회로에 입력되는 경우, 상기 낸드형 퓨즈 뱅크 (200)의 어드레스 저장 블럭 (200b)을 구성하는 NMOS 트랜지스터 (61)는 턴 온되는 반면에 NMOS 트랜지스터 (63)는 턴 오프된다. 상기 어드레스 저장 블럭들 (100a,100c) 사이의 전류 경로가 차단되기 때문에, 전원 전압에서 접지 전압으로의 DC 전류 경로가 형성되지 않는다. 즉, 정상적인 어드레스가 입력되는 경우, 본 발명에 따른 낸드형 퓨즈 뱅크 (200)를 갖는 결함 어드레스 저장 회로에 의해서 소모되는 DC 전류가 방지된다.

도 5는 본 발명의 제 3 실시예에 따른 반도체 메모리 장치의 결함 어드레스 저장 회로를 보여주는 회로도이다.

도 5를 참조하면, 본 발명의 결함 어드레스 저장 회로는 NMOS 트랜지스터 (69), 인버터 (82), 그리고 낸드형 퓨즈 뱅크 (300)를 포함한다. 상기 NMOS 트랜지스터 (69)는 접지 전압과 출력 노드 (N3) 사이에 연결되며, 상기 출력 노드 (N3)를 접지 전압으로 프리챠지하도록 제어 신호 (Rn)에 의해서 제어된다. 상기 인버터 (82)는 출력 노드 (N3)에 연결되며, 상기 출력 노드 (N3)의 전위에 따른 신호 (Rn)를 출력한다. 상기 NMOS 트랜지스터 (69)는 프리챠지 회로로서 동작하고, 상기 인버터 (82)는 버퍼 회로로서 동작한다.

계속해서 도 5를 참조하면, 상기 낸드형 퓨즈 뱅크 (300)는 복수 개의 어드레스 저장 블럭들 (300a,300b,300c)을 포함하며, 상기 어드레스 저장 블럭들 (300a,300b,300c)은 낸드 구조를 갖도록 전원 전압과 출력 노드 (N3) 사이에 직렬 연결되어 있다. 상기 어드레스 저장 블럭들 (300a,300b,300c) 각각은 2개의 퓨즈들과 2개의 PMOS 트랜지스터들로 구성된다. 상기 어드레스 저장 블럭 (300a)의 퓨즈 (70) 및 PMOS 트랜지스터 (72)는 상기 전원 전압과 상기 어드레스 저장 블럭 (300b) 사이에 직렬 연결된다. 상기 어드레스 저장 블럭 (300a)의 퓨즈 (71) 및 PMOS 트랜지스터 (73)는 상기 전원 전압과 상기 어드레스 저장 블럭 (300b) 사이에 직렬 연결된다. 즉, 상기 퓨즈 (70) 및 PMOS 트랜지스터 (72)의 그룹은 상기 전원 전압과 상기 어드레스 저장 블럭 (300b) 사이에 상기 퓨즈 (71) 및 PMOS 트랜지스터 (73)의 그룹과 병렬 연결된다. 상기 어드레스 저장 블럭 (300a)의 PMOS 트랜지스터들 (72,73)은 상보적인 어드레스 신호들 (nA0,A0)에 의해서 각각 제어되도록 연결된다. 마찬가지로, 도 5에서 알 수 있듯이, 나머지 어드레스 저장 블럭들 (300b,300c)은 상기 어드레스 저장 블럭 (100a)의 회로 구성과 동일하며, 그것에 대한 설명은 그러므로 생략된다.

도 6은 도 5에 도시된 결함 어드레스 저장 회로의 동작을 설명하기 위한 동작 타이밍도이다. 이하, 본 발명에 따른 결함 어드레스 저장 회로의 동작이 참조 도면들에 의거하여 상세히 설명된다.

임의의 결함 셀에 대응하는 리페어 어드레스는 도 5에 도시된 결함 어드레스 저장 회로에 다음과 같은 방법으로 저장된다. 예를 들면, 리페어 어드레스 (A0-A2)가 "000"라 가정하자. 이러한 경우, 리페어 어드레스 신호들 (A0-A2)에 대응하는 퓨즈들 (71,75,79)은 연결 상태로 유지되고, 상보 리페어 어드레스 신호들 (nA0-nA2)에 대응하는 퓨즈들 (70,74,78)은 절단된다. 이러한 퓨즈 커팅에 의해서 리페어 어드레스가 낸드형 퓨즈 뱅크 (300)에 저장될 것이다.

신호 (Rn)가 하이 레벨로 유지되는 동안 출력 노드 (N3)는 NMOS 트랜지스터 (69)를 통해 로우 레벨을 갖는다. 도 6에 도시된 바와 같이, "000"의 리페어 어드레스 (A0-A2)가 입력되면, 낸드형 퓨즈 뱅크 (300)의 PMOS 트랜지스터들 (73,77,81)은 턴 온되는 반면에 PMOS 트랜지스터들 (72,76,80)은 "111"의 상보 리페어 어드레스 신호들 (nA0-nA2)에 의해서 턴 오프된다. 이는 전원 전압과 출력 노드 (N3) 사이에 전류 경로 (71→73→75→77→79→81)가 형성되게 하며, 도 6에 도시된 바와 같이, 결함 셀에 대응하는 리던던트 셀이 선택되도록 로우 레벨의 신호 (nRen)가 출력된다.

"010"의 정상적인 어드레스가 도 5의 결함 어드레스 저장 회로에 입력되는 경우, 상기 낸드형 퓨즈 뱅크 (300)의 어드레스 저장 블럭 (300b)을 구성하는 PMOS 트랜지스터 (77)는 턴 오프되는 반면에 PMOS 트랜지스터 (76)는 턴 온된다. 이는 상기 어드레스 저장 블럭들 (300a,300c) 사이의 전류 경로가 차단되게 하며, 전원 전압에서 접지 전압으로의 DC 전류 경로가 형성되지 않는다. 즉, 정상적인 어드레스가 입력되는 경우, 본 발명에 따른 낸드형 퓨즈 뱅크 (300)를 갖는 결함 어드레스 저장 회로에 의해서 소모되는 DC 전류가 방지된다.

도 7은 본 발명의 제 4 실시예에 따른 반도체 메모리 장치의 결함 어드레스 저장 회로를 보여주는 회로도이다.

도 7을 참조하면, 본 발명의 결함 어드레스 저장 회로는 NMOS 트랜지스터 (83), 인버터 (84), 그리고 낸드형 퓨즈 뱅크 (400)를 포함한다. 상기 NMOS 트랜지스터 (83)는 출력 노드 (N4)와 접지 전압 사이에 연결되며, 상기 출력 노드 (N4)를 접지 전압으로 프리챠지하도록 제어 신호 (Rn)에 의해서 제어된다. 상기 인버터 (84)는 출력 노드 (N4)에 연결되며, 상기 출력 노드 (N4)의 전위에 따른 신호 (nRen)를 출력한다. 상기 PMOS 트랜지스터 (83)는 프리챠지 회로로서 동작하고, 상기 인버터 (84)는 버퍼 회로로서 동작한다.

본 발명에 따른 낸드형 퓨즈 뱅크 (400)는 복수 개의 어드레스 저장 블럭들 (400a,400b,400c)을 포함하며, 상기 어드레스 저장 블럭들 (400a,400b,400c)은 낸드 구조를 갖도록 전원 전압과 출력 노드 (N4) 사이에 직렬 연결되어 있다. 상기 어드레스 저장 블럭들 (400a,400b,400c) 각각은 2개의 퓨즈들과 2개의 PMOS 트랜지스터들로 구성된다. 상기 어드레스 저장 블럭 (400a)의 퓨즈들 (86,88)은 상기 전원 전압과 상기 어드레스 저장 블럭 (400b) 사이에 직렬 연결된다. 상기 어드레스 저장 블럭 (400a)의 PMOS 트랜지스터들 (85,87)은 상기 전원 전압과 상기 어드레스 저장 블럭 (400b) 사이에 직렬 연결된다. 상기 트랜지스터들 (85,87)의 접속 노드는 상기 퓨즈들 (86,88)의 접속 노드와 전기적으로 연결되어 있다. 상기 어드레스 저장 블럭 (400a)의 PMOS 트랜지스터들 (85,87)은 상보적인 어드레스 신호들 (A0,nA0)에 의해서 각각 제어되도록 연결된다. 마찬가지로, 도 7에서 알 수 있듯이, 나머지 어드레스 저장 블럭들 (400b,400c)은 상기 어드레스 저장 블럭 (400a)의 회로 구성과 동일하며, 그것에 대한 설명은 그러므로 생략된다.

임의의 결함 셀에 대응하는 어드레스 (이하, 리페어 어드레스라 칭함)는 본 발명의 제 4 실시예에 따른 결함 어드레스 저장 회로에 다음과 같은 방법으로 저장된다. 예를 들면, 리페어 어드레스 (A0-A2)가 "000"라 가정하자. 이러한 경우, 어드레스 저장 블럭들 (400a,400b,400c)의 퓨즈들 (86,90,94)은 절단되는 반면에 퓨즈들 (88,92,96)은 연결 상태로 유지된다. 이러한 퓨즈 커팅에 의해서 리페어 어드레스가 낸드형 퓨즈 뱅크 (400)에 저장될 것이다.

신호 (Rn)가 하이 레벨로 유지되는 동안 출력 노드 (N4)는 NMOS 트랜지스터 (83)를 통해 로우 레벨을 갖는다. "000"의 리페어 어드레스 (A0-A2)가 입력되면, 낸드형 퓨즈 뱅크 (400)의 PMOS 트랜지스터들 (85,89,93)은 턴 온되는 반면에 PMOS 트랜지스터들 (87,91,95)은 "111"의 상보 리페어 어드레스 신호들 (nA0-nA2)에 의해서 턴 오프된다. 이는 전원 전압과 출력 노드 (N4)에 전류 경로 (85→88→89→92→93→96)가 형성되게 하며, 결함 셀에 대응하는 리던던트 셀이 선택되도록 로우 레벨의 신호 (nRen)가 출력된다.

"010"의 정상적인 어드레스가 도 7의 결함 어드레스 저장 회로에 입력되는 경우, 상기 낸드형 퓨즈 뱅크 (400)의 어드레스 저장 블럭 (400b)을 구성하는 PMOS 트랜지스터 (89)는 턴 오프되는 반면에 PMOS 트랜지스터 (91)는 턴 온된다. 이는 상기 어드레스 저장 블럭들 (400a,400c) 사이의 전류 경로가 차단되게 하며, 전원 전압에서 접지 전압으로의 DC 전류 경로가 형성되지 않는다. 즉, 정상적인 어드레스가 입력되는 경우, 본 발명에 따른 낸드형 퓨즈 뱅크 (400)를 갖는 결함 어드레스 저장 회로에 의해서 소모되는 DC 전류가 방지된다.

발명의 효과

상술한 바와 같이, 낸드 구조로 어드레스 저장 블럭들을 구현함으로써 정상적인 어드레스가 입력될 때 생기는 DC 전류 경로를 차단할 수 있다.

(57) 청구의 범위

청구항 1.

행들과 열들의 매트릭스로 배열된 메모리 셀들과, 상기 메모리 셀들 중 결함 셀을 대체하기 위한 리던던트 셀을 갖는 반도체 메모리 장치의 결함 어드레스 저장 회로에 있어서:

제 1 전원 단자와 출력 노드 사이에 연결되며, 제어 신호에 응답하여 상기 출력 노드를 상기 제 1 전원 단자의 전위로 프리챠지하는 프리챠지 회로 및;

상기 출력 노드와 제 2 전원 단자 사이에 연결되며, 상기 결함 셀에 대응하는 어드레스 신호들을 저장하는 퓨즈 뱅크를 포함하며,

상기 퓨즈 뱅크는 낸드형 구조를 갖도록 상기 출력 노드와 상기 제 2 전원 단자 사이에 직렬 연결된 어드레스 저장 블럭들을 갖는 것을 특징으로 하는 반도체 메모리 장치의 결함 어드레스 저장 회로.

청구항 2.

제 1 항에 있어서,

상기 제 1 전원 단자는 전원 전압을 공급받고, 상기 제 2 전원 단자는 접지 전압을 공급받는 것을 특징으로 하는 반도체 메모리 장치의 결함 어드레스 저장 회로.

청구항 3.

제 2 항에 있어서,

상기 퓨즈 뱅크의 각 어드레스 저장 블럭은 제 1 그룹의 퓨즈 및 NMOS 트랜지스터와 제 2 그룹의 퓨즈 및 NMOS 트랜지스터로 구성되되, 상기 제 1 및 제 2 그룹들 각각의 퓨즈 및 NMOS 트랜지스터는 직렬 연결되고 상기 제 1 및 제 2 그룹들은 서로 병렬 연결되는 것을 특징으로 하는 반도체 메모리 장치의 결함 어드레스 저장 회로.

청구항 4.

제 2 항에 있어서,

상기 퓨즈 뱅크의 각 어드레스 저장 블럭은 제 1 그룹의 퓨즈 및 NMOS 트랜지스터와 제 2 그룹의 퓨즈 및 NMOS 트랜지스터로 구성되되, 상기 제 1 및 제 2 그룹들의 퓨즈들은 직렬 연결되고 그것의 NMOS 트랜지스터들은 직렬 연결되며, 상기 퓨즈들의 접속 노드는 상기 트랜지스터들의 접속 노드에 전기적으로 연결되는 것을 특징으로 하는 반도체 메모리 장치의 결함 어드레스 저장 회로.

청구항 5.

제 3 항 또는 제 4 항에 있어서,

상기 퓨즈 뱅크의 각 어드레스 저장 블럭에 제공되는 상기 제 1 및 제 2 그룹들의 NMOS 트랜지스터들은 상보적인 어드레스 신호들에 의해서 제어되는 것을 특징으로 하는 반도체 메모리 장치의 결함 어드레스 저장 회로.

청구항 6.

제 1 항에 있어서,

상기 제 1 전원 단자는 접지 전압을 공급받고, 상기 제 2 전원 단자는 전원 전압을 공급받는 것을 특징으로 하는 반도체 메모리 장치의 결함 어드레스 저장 회로.

청구항 7.

제 6 항에 있어서,

상기 퓨즈 뱅크의 각 어드레스 저장 블럭은 제 1 그룹의 퓨즈 및 PMOS 트랜지스터와 제 2 그룹의 퓨즈 및 PMOS 트랜지스터로 구성되되, 상기 제 1 및 제 2 그룹들 각각의 퓨즈 및 PMOS 트랜지스터는 직렬 연결되고 상기 제 1 및 제 2 그룹들은 서로 병렬 연결되는 것을 특징으로 하는 반도체 메모리 장치의 결함 어드레스 저장 회로.

청구항 8.

제 6 항에 있어서,

상기 퓨즈 뱅크의 각 어드레스 저장 블럭은 제 1 그룹의 퓨즈 및 PMOS 트랜지스터와 제 2 그룹의 퓨즈 및 PMOS 트랜지스터로 구성되되, 상기 제 1 및 제 2 그룹들의 퓨즈들은 직렬 연결되고 그것의 PMOS 트랜지스터들은 직렬 연결되며, 상기 퓨즈들의 접속 노드는 상기 트랜지스터들의 접속 노드에 전기적으로 연결되는 것을 특징으로 하는 반도체 메모리 장치의 결함 어드레스 저장 회로.

청구항 9.

제 7 항 또는 제 8 항에 있어서,

상기 퓨즈 뱅크의 각 어드레스 저장 블럭에 제공되는 상기 제 1 및 제 2 그룹들의 PMOS 트랜지스터들은 상보적인 어드레스 신호들에 의해서 제어되는 것을 특징으로 하는 반도체 메모리 장치의 결함 어드레스 저장 회로.

청구항 10.

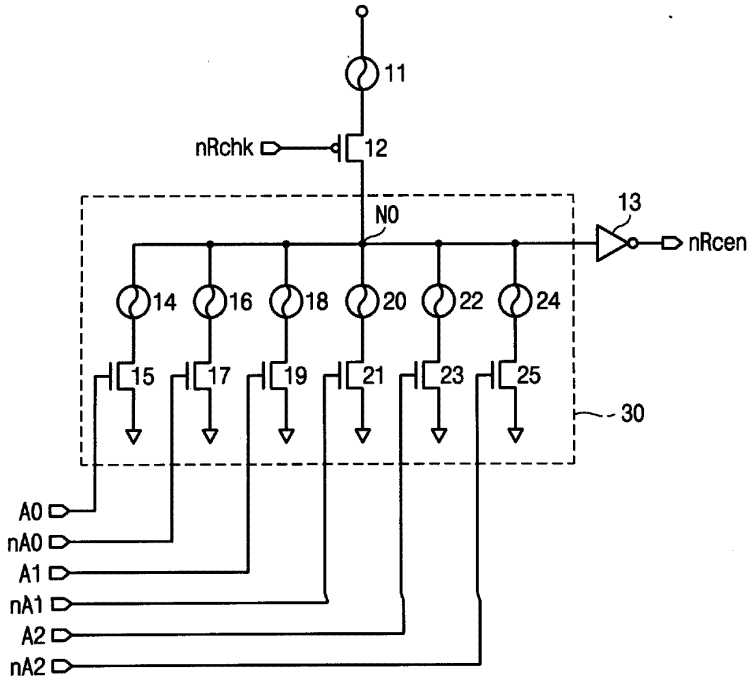
제 1 항에 있어서,

상기 출력 노드에 연결되며, 상기 출력 노드에 응답하여 상기 어드레스 신호들에 대응하는 출력 신호를 출력하는 버퍼 회로를 부가적으로 포함하는 것을 특징으로 하는 반도체 메모리 장치의 결함 어드레스 저장 회로.

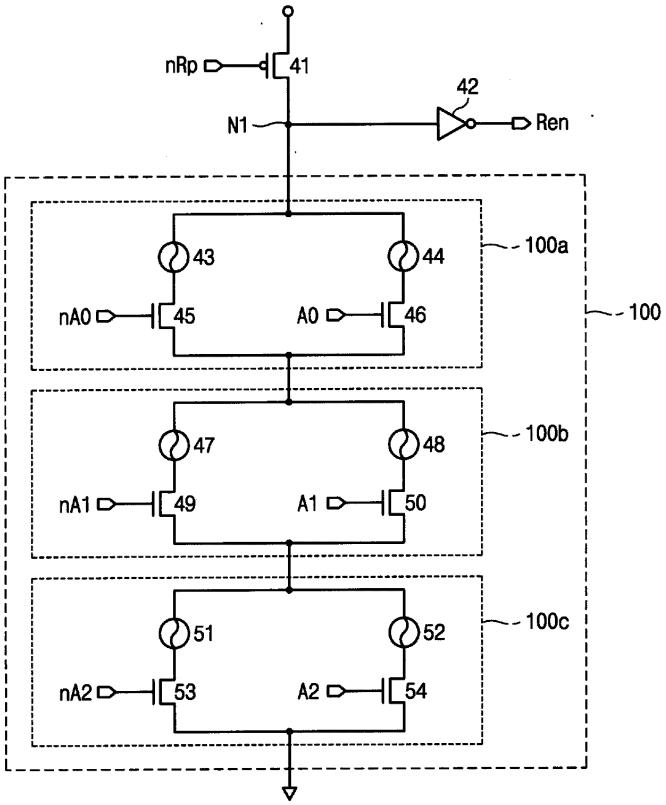
도면

도면 1

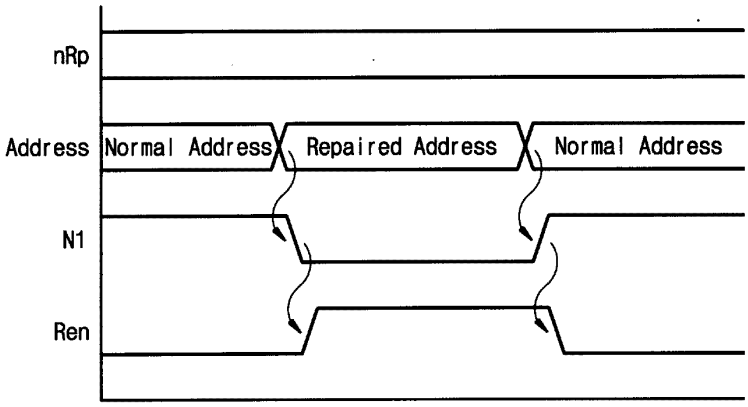
(종래 기술)



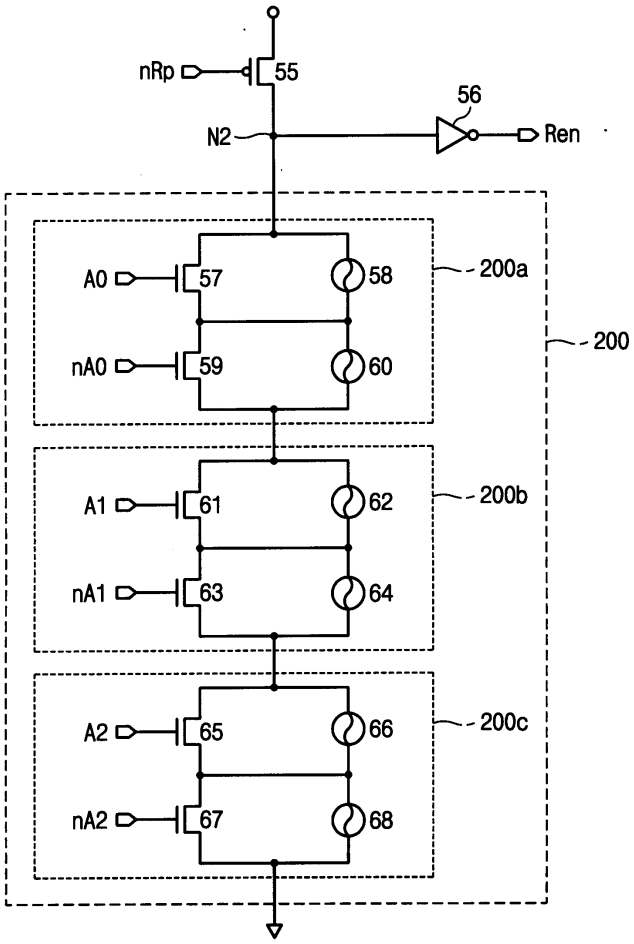
도면 2


nRp
41
42
N1
Ren
43
44
100a
nA0
45
A0
46
100
47
48
100b
nA1
49
A1
50
51
52
100c
nA2
53
A2
54

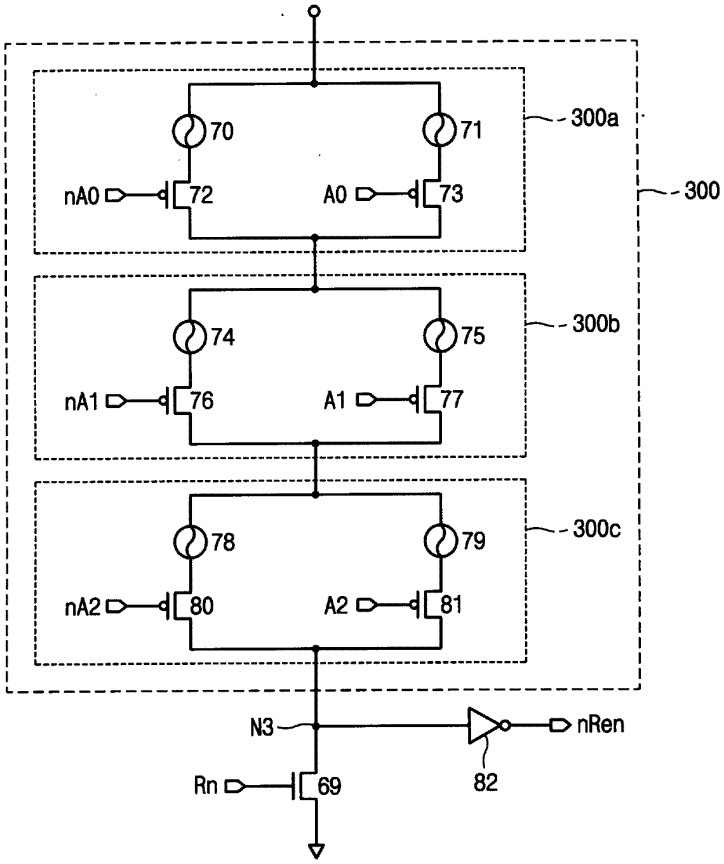
도면 3


nRp
Address
Normal Address
Repaired Address
Normal Address
N1
Ren

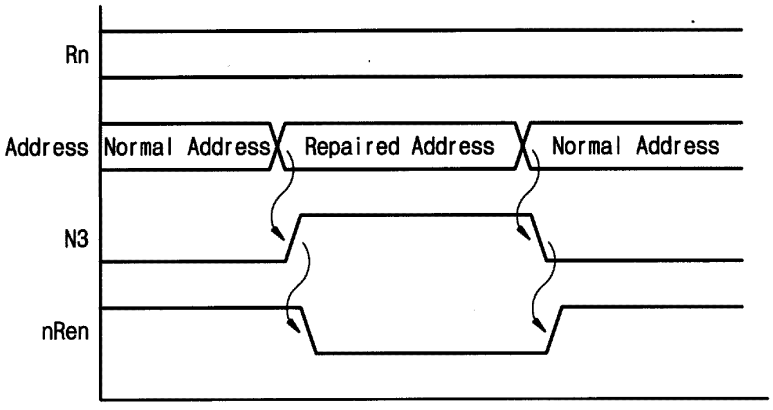
도면 4


nRp
55
56
N2
Ren
A0
57
58
200a
nA0
59
60
200
A1
61
62
200b
nA1
63
64
A2
65
66
200c
nA2
67
68

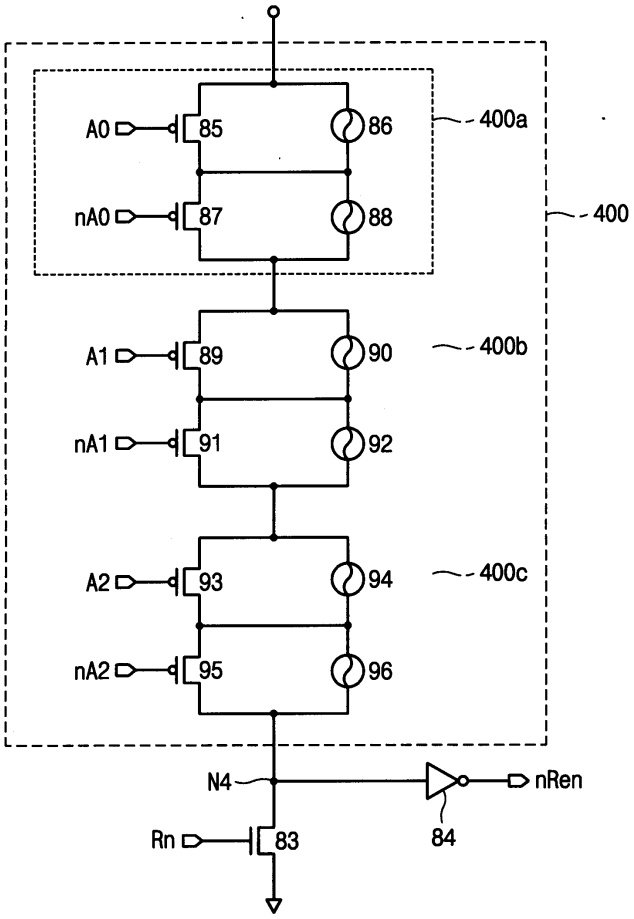
도면 5


300
300a
300b
300c
70
71
72
73
nA0
A0
74
75
76
77
nA1
A1
78
79
80
81
nA2
A2
N3
nRen
82
Rn
69

도면 6


Rn
Address
Normal Address
Repaired Address
Normal Address
N3
nRen

도면 7


A0
85
86
400a
nA0
87
88
400
A1
89
90
400b
nA1
91
92
A2
93
94
400c
nA2
95
96
N4
nRen
Rn
83
84