



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년03월10일
 (11) 등록번호 10-1369195
 (24) 등록일자 2014년02월25일

(51) 국제특허분류(Int. Cl.)
H03K 17/22 (2006.01)
 (21) 출원번호 10-2012-0105736
 (22) 출원일자 2012년09월24일
 심사청구일자 2012년09월24일
 (65) 공개번호 10-2013-0032288
 (43) 공개일자 2013년04월01일
 (30) 우선권주장
 1020110095555 2011년09월22일 대한민국(KR)
 (56) 선행기술조사문헌
 KR1020020004664 A
 전체 청구항 수 : 총 2 항

(73) 특허권자
(주)제퍼로직
 서울특별시 강남구 역삼로 413, 대치타워 (대치동)
 (72) 발명자
김영식
 서울 관악구 성현로 80, 142동 1002호 (봉천동, 관악드림타운)
 (74) 대리인
특허법인주원

심사관 : 김남인

(54) 발명의 명칭 **파워 온 리셋 회로**

(57) 요약

파워 온 리셋 회로가 개시된다. 인가된 전원 전압에 따라 MOS(MOS) 다이오드를 통과하는 제 1 전류를 발생하는 제 1 전류 발생부, 전원 전압에 따라 선형적으로 비례하는 제 2 전류를 발생하는 제 2 전류 발생부, 및 제 1 전류와 제 2 전류의 크기가 다른 경우 더 큰 전류에 대응하여 미리 설정된 출력값을 출력하는 전류 비교부를 포함하는 파워 온 리셋 회로로서, 온도 변화에 따른 제 1 전류의 변화가 작은 미리 설정된 전류 범위에서 제 1 전류와 제 2 전류가 동일해지도록 설정된다. MOS 다이오드(MOS FET의 diode 연결)의 전류 특성 중 온도에 따라 변하지 않는 전류 영역을 활용해서 파워온 리셋 회로를 설계하고, 전압에 따라 변화 양상이 반전되는 두 전류를 비교하는 방식으로 구현했기 때문에, 파워 온 리셋 회로가 온도 변화, 및 노이즈에 강하게 된다.

대표도 - 도2



특허청구의 범위

청구항 1

인가된 전원 전압에 따라 모스(MOS) 다이오드를 통과하는 제 1 전류를 발생하는 제 1 전류 발생부;

상기 전원 전압에 따라 선형적으로 비례하는 제 2 전류를 발생하는 제 2 전류 발생부; 및

상기 제 1 전류와 상기 제 2 전류의 크기가 다른 경우 더 큰 전류에 대응하여 미리 설정된 출력값을 출력하는 전류 비교부를 포함하는 것을 특징으로 하는 파워 온 리셋 회로.

청구항 2

제 1항에 있어서,

상기 제 1 전류 발생부 및 상기 제 2 전류 발생부는, 온도 변화에 따른 상기 제 1 전류의 변화가 작은 미리 설정된 전류 범위에서 상기 제 1 전류와 상기 제 2 전류가 동일해지도록 설정되는 것을 특징으로 하는 파워 온 리셋 회로.

명세서

기술분야

[0001] 본 발명은 파워 온 리셋 회로에 관한 것으로, 회로(혹은 시스템) 초기 구간을 제어하는 신호를 발생시켜, 전체 회로(혹은 시스템)의 초기 동작을 제어하는 것이 가능한 파워 온 리셋 회로 및 그 구동 방법에 관한 것이다.

배경기술

[0002] 많은 기능을 포함하고 있는 회로(혹은 시스템)는 올바른 동작을 위해서 초기 조건이 정해져 있어야 하는 회로를 다수 포함한다. 초기화는 회로가 동작하기 전에 정해져야 하는데 이러한 역할을 하는 장치가 파워 온 리셋 (Power on reset) 회로라고 한다.

[0003] 파워 온 리셋 회로는 칩의 전원 전압이 켜져서 내부 전압이 모두 올라가기 전 일정한 전위를 감지하여 펄스(이하 "파워 온 리셋 신호"라 한다)를 생성한다. 회로가 동작하기 전에 파워 온 리셋 신호는 모든 회로 내부를 초기화시키고, 플립-플롭(flip-flop), 및 레지스터(register) 등과 같이 초기화가 필요한 회로 블록들을 리셋시킨다.

[0004] 이상적인 파워 온 리셋 회로는 파워 온 리셋 신호의 전위가 전원의 램핑(ramping) 시간과 노이즈(noise)에 대해서 안정적이어야 하고, 공정 변화 및 온도 등의 물리 변수에 대해서도 영향을 적게 받을 뿐만 아니라 외부 환경의 변화에도 안정적으로 동작하도록 디자인되어야 한다.

[0005] 도 1은 일반적인 파워 온 리셋 회로를 도시한 것이다. 이 회로는 전원부(파워, VDD)에 전압을 저항 R1과 R2로 분배해서 전원전압(VDD)이 원하는 전압에 도달했을 때 MN1을 턴 온 시켜 반전기(30)를 거쳐 POR 신호를 발생시킨다.

[0006] 그런데 이 회로는 안정적으로 동작하는 장점이 있지만, 동작 온도 공정 변화에 쉽게 변한다는 단점이 있다. 아울러, 전력소비를 줄이기 위해 저항 (R1, R2, R3)을 아주 큰 값으로 사용해야 하기 때문에, 면적손실이 크다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 상술한 종래의 문제점을 해결하기 위해 안출된 것으로서, 동작 온도 변화에 둔감하고, 노이즈에 강하며, 면적과 소비전력을 줄일 수 있는 파워 온 리셋 회로를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0008] 상기 목적을 달성하기 위해 본 발명에 따른 파워 온 리셋 회로는, 인가된 전원 전압에 따라 모스(MOS) 다이오드

를 통과하는 제 1 전류를 발생하는 제 1 전류 발생부, 전원 전압에 따라 선형적으로 비례하는 제 2 전류를 발생하는 제 2 전류 발생부, 및 제 1 전류와 제 2 전류의 크기가 다른 경우 더 큰 전류에 대응하여 미리 설정된 출력값을 출력하는 전류 비교부를 포함하는 파워 온 리셋 회로로서, 온도 변화에 따른 제 1 전류의 변화가 작은 미리 설정된 전류 범위에서 제 1 전류와 제 2 전류가 동일해지도록 설정된다.

[0009] 모스 다이오드(MOS FET의 diode 연결)의 전류 특성 중 온도에 따라 변하지 않는 전류 영역을 활용해서 파워 온 리셋 회로를 설계하고, 전압에 따라 변화 양상이 반대되는 두 전류를 비교하는 방식으로 구현했기 때문에, 파워 온 리셋 회로가 온도 변화, 및 노이즈에 강하게 된다.

발명의 효과

[0010] 본 발명에서 제시한 파워 온 리셋 회로는 동작 온도 변화에 둔감하고, 노이즈에 강하게 설계되어 안정적인 동작을 수행할 뿐 아니라, 저항 이용을 최소화하여 설계 면적을 줄일 수 있다.

도면의 간단한 설명

- [0011] 도 1은 종래 파워온 리셋 회로 도면.
- 도 2는 본 발명에서 제안한 파워 온 리셋 회로 개념도.
- 도 3은 파워 온 리셋 회로의 기본 회로도.
- 도 4는 도 3의 (10) 회로의 전원전압과 온도에 따른 출력전류 시뮬레이션 결과 도면.
- 도 5는 도 3의 (20) 회로의 전원전압과 온도에 따른 출력전류 시뮬레이션 결과 도면.
- 도 6은 도 3의 (10) 회로와 (20) 회로의 전원 전압에 따른 출력전류 결과 도면.
- 도 7은 본 발명의 구체적인 예시 도면.
- 도 9는 본 발명의 또다른 구체적인 예시 도면.
- 도 10은 도 8의 전원전압에 따른 출력 결과 도면.

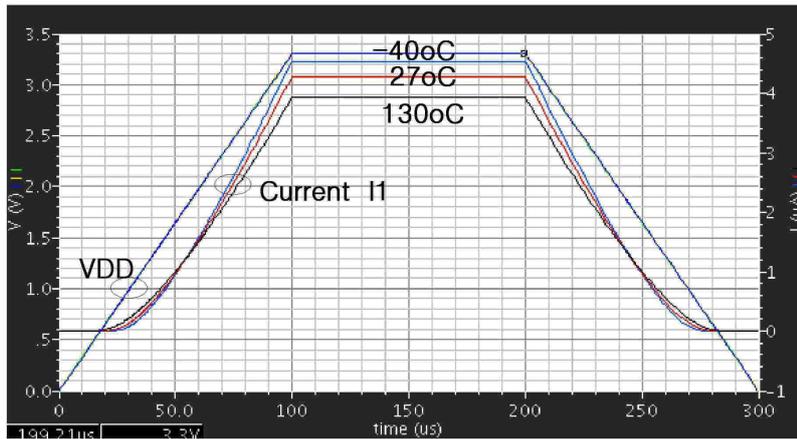
발명을 실시하기 위한 구체적인 내용

- [0012] 도 2는 본 발명에서 제안한 회로의 구성을 도시한 것이다. 우선, 모스 다이오드(MOS FET의 diode 연결)를 이용한 전류 발생기(10)가 있고, 전원 전압(VDD)에 선형적인 전류 발생기(20) 그리고 이 두 전류를 비교해서 출력을 내는 전류 비교기(30)로 구성되어 있다.
- [0013] 모스 다이오드를 이용한 전류 발생기는 전원 전압에 따라 전류가 상승하면서, 특정 구간에는 온도에 따라 증가하고 다른 구간에는 온도에 따라 감소하는 특징으로 인해 두 구간 사이에서는 온도에 변화가 없는 지점이 있다는 특징이 있다.
- [0014] 그리고 전원 전압(VDD)에 선형적인 전류 발생기(20)는 전원 전압(VDD)에 따라 선형적으로 전류가 증가하고, 온도에 따라서는 증가/감소 등 한쪽의 특성을 보이거나, 온도에 따라 변화가 없을 수도 있다. 이 두 전류를 특정한 전원 전압(VDD)에서 교차하게 설계를 하고, 전류 비교기를 통해 파워 온 리셋 신호를 발생시킨다.
- [0015] 도 3은 도 2의 모스 다이오드를 이용한 전류 발생기(10)와 전원 전압(VDD)에 선형적인 전류 발생기(20)의 구체적인 예를 도시한 것이다. 도 3의 모스 다이오드를 이용한 전류 발생기(10)는 전원 전압(VDD)과 온도에 따라 시뮬레이션한 결과를 도 4의 (a)에 나타내었고, 도 4의 (b)는 (a) 전류에서 온도 변화가 없는 영역을 크게 확대한 그림이다.
- [0016] 도 4의 결과에 따르면, 모스 다이오드 전류는 전원 전압(VDD)에 따라 증가하는 특징을 보이면서, 특정 영역에서는 온도에 따라 증가하는 영역과 온도에 따라 감소하는 영역 두 영역의 특징을 나타내고, 그 결과 온도에 따라 변화가 없는 점(그림에서 “Zero Temperature Point”)이 존재한다.
- [0017] 이 영역 주의에서 I1의 전류는 온도에 따라 둔감한 특징을 보이고 있다. 온도에 따라 증가하는 영역의 특징인 모스 전류에 포함된 반도체 이동도(mobility)의 영향에 따른 것이며, 온도에 따라 감소하는 영역은 문턱 전압(threshold voltage) 특성에 따른 것이다.
- [0018] 도 5는 도 3의 전원 전압(VDD)에 선형적인 전류 발생기(20)를 전원 전압(VDD)과 온도에 따라 전류(I2) 시뮬레이

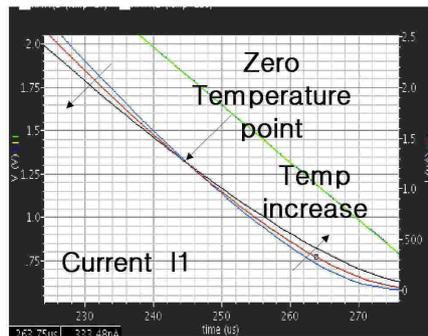
선한 결과를 나타낸 것이다. 이 장치(20)의 출력 전류 I2는 도 3의 N1의 입력 전압(VGS1)과 N2의 입력 전압(VGS2)과 저항(R2)과 $I2=(VGS1-VGS2)/R2$ 의 특징을 보이는데, 이러한 특징은 N1과 N2의 문턱 전압 의존성을 상쇄시킬 수 있는 장점이 있다. 본 발명의 예시로 제시된 회로는 도 4에서처럼 온도에 따라 전류가 증가하는 특징을 보이고 있다.

- [0019] 도 6은 도 3의 두 장치(10)와 (20)의 출력 전류인 I1과 I2를 도시한 것인데, N1과 N2의 크기 R2와 R1의 크기를 적절하게 조합하여, 특정 전원 전압(VDD) 이하에서는 $I2 > I1$ 의 관계가 그 이상에서는 $I2 < I1$ 의 결과가 나오도록 설계한 것이다. 여기서 R2의 역할은 전체 전류를 줄이는 역할을 한다. 그리고 두 전류의 교차점을 I1 전류 과형에서 “Zero Temperature Point” 부근에 오게 설계를 한다면, 온도에 둔감한 결과를 얻을 수 있다.
- [0020] 도 7은 본 발명의 구체적인 예시를 나타낸 것이다. 도 3의 N1과 N2, 그리고 R1과 R2는 도 7에서도 같은 특징을 갖는다. 도 3에서와 같이 모스 다이오드를 이용한 전류 발생기에서의 전류 I1과 전원 전압(VDD)에 선형적인 전류 발생기의 출력 전류 I2를 서로 비교하기 위해서, I1의 전류는 P1과 P2의 전류 미러(Current Mirror) 통해 P2로 보내고, I2의 전류는 P3-P4, N3-N4를 통해 N4로 보낸다.
- [0021] 여기서 P2와 N4가 전류 비교기를 구성한다. P2의 전류와 N2의 전류량에 따라 N 영역의 전압이 정해진다. 예를 들어 도 6과 같이 I1과 I2의 전류가 흐른다면 Region I에서는 N영역 $I2 > I1$ 이므로 Low를, Region II에서는 $I2 < I1$ 이므로 ‘하이(High)’를 다시 Region III에서는 $I2 > I1$ 이므로, ‘로우(Low)’를 나타내는데, 이 전압은 버퍼(buffer) 단을 거쳐 최종 출력단으로 출력한다.
- [0022] 도 8은 본 발명의 또 다른 예시를 나타낸 것이다. 도 6의 결과에 히스테리시스 특성을 주기 위해 스위치 N5와 저항 R21과 R22를 두었다. 히스테리시스 특성은 저항뿐 아니라, N1-N4, P1-P2 그리고 Buffer 단을 스위치 N5에 의해 사이즈(Size)나 장치의 개수를 조절하여 다양한 방식으로 구현할 수 있다.
- [0023] 도 9는 도 8 회로 결과를 도시하였다. 전원전압(VDD)이 2V 일 때 POR 이 ‘하이’ 신호를 내고 1.8V가 될 때 ‘로우’ 신호를 출력되는 결과이다.
- [0024] 본 발명은 파워 온 리셋 회로에 관한 것으로, 회로(혹은 시스템) 초기 구간을 제어하는 신호를 발생시켜, 전체 회로(혹은 시스템)의 초기 동작을 제어하는 것이 가능한 파워 온 리셋 회로 및 그 구동 방법에 관한 것이다.
- [0025] 본 발명에서는 모스 다이오드(MOS FET의 diode 연결)의 전류 특성 중 온도에 따라 변하지 않는 전류 영역을 활용해서 파워온 리셋 회로를 설계하였고, 전압에 따라 변화 양상이 반전되는 두 전류를 비교하는 방식으로 구현했기 때문에, 노이즈에 강한 특성이 있다.
- [0026] 본 발명에서 제시한 파워 온 리셋 회로는 동작 온도 변화에 둔감하고, 노이즈에 강하게 설계되어 안정적인 동작을 수행할 뿐 아니라, 저항이용을 최소화하여 설계 면적을 줄일 수 있다. 본 발명의 특징을 정리하면 다음과 같다.
- [0027] 1. 본 발명은 회로(혹은 시스템) 초기 조건을 정하는 신호를 발생시키는 파워 온 리셋 회로에 대한 것으로 우선, 모스 다이오드를 이용한 전류 발생기와, 전원 전압(VDD)에 선형적인 전류 발생기 그리고 이 두 전류를 비교해서 출력을 내는 전류 비교기로 구성된다.
- [0028] 2. 모스 다이오드를 이용한 전류 발생기의 출력 전류 특징은 전원 전압에 따라 전류가 증가하면서, 온도에 따라 전류가 증가하는 영역, 온도에 변화없는 경계지점, 온도에 따라 감소하는 영역으로 구분된다.
- [0029] 3. 전원 전압에 선형적인 전류 발생기는 전원 전압에 따라 전류가 증가하는 특징을 갖는다.
- [0030] 4. 두 전류원은 모스 다이오드를 이용한 전류 발생기의 출력전류(I1)와 전원전압에 선형적인 전류 발생기의 출력 전류(I2)는 전원 전압의 크기에 따라 두 가지 영역, $I1 > I2$ 인 영역과 $I1 < I2$ 인 영역으로 구분된다.
- [0031] 5. 두 전류가 교차하는 지점을 모스 다이오드를 이용한 전류 발생기의 출력전류가 온도에 따라 변화없는 지점 부근에서 발생하도록 조절할 수 있다.
- [0032] 6. 두 가지 전류 발생기의 출력전류(I1과 I2)가 서로 교차하는 지점은 전원전압이 상승할 때와 하강할 때 각각 다르거나 같게 조절할 수 있다.
- [0033] 본 발명이 비록 일부 바람직한 실시예에 의해 설명되었지만, 본 발명의 범위는 이에 의해 제한되어서는 아니 되

도면4

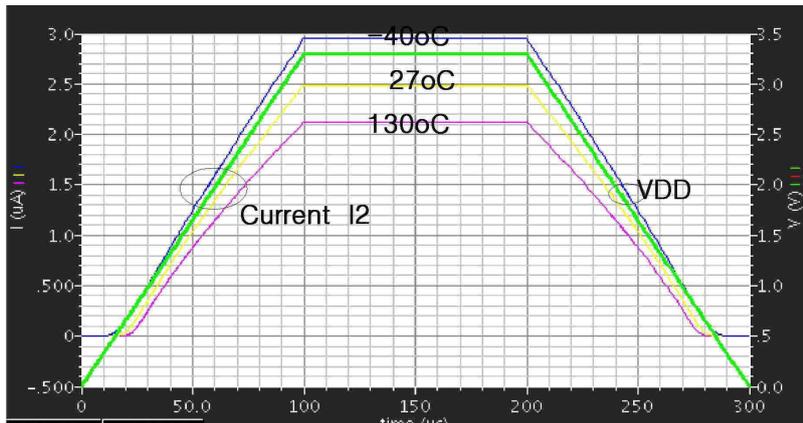


(a)

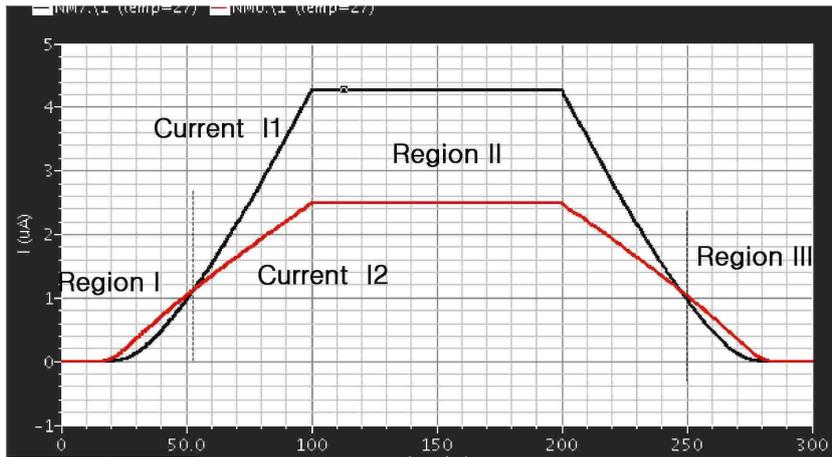


(b)

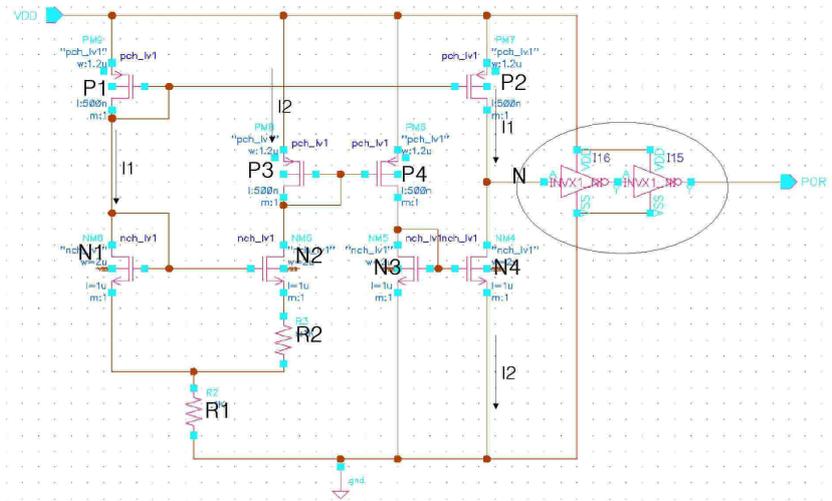
도면5



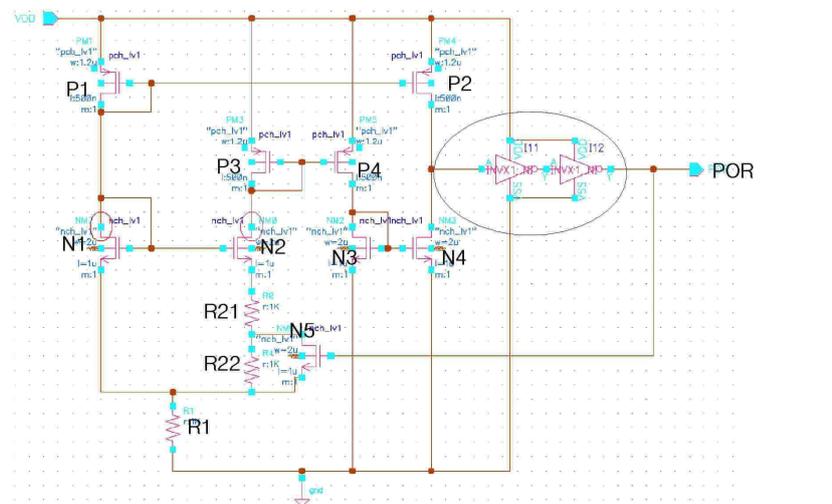
도면6



도면7



도면8



도면9

