



(12)发明专利

(10)授权公告号 CN 107403602 B

(45)授权公告日 2020.05.19

(21)申请号 201710873646.4

(22)申请日 2017.09.25

(65)同一申请的已公布的文献号
申请公布号 CN 107403602 A

(43)申请公布日 2017.11.28

(73)专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
专利权人 合肥京东方光电科技有限公司

(72)发明人 吕磊 高杰 徐春敏

(74)专利代理机构 北京银龙知识产权代理有限公司 11243
代理人 许静 刘伟

(51)Int.Cl.
G09G 3/20(2006.01)
G11C 19/28(2006.01)

(56)对比文件

- CN 202443728 U, 2012.09.19,
- CN 105702225 A, 2016.06.22,
- CN 105529009 A, 2016.04.27,
- CN 105609138 A, 2016.05.25,
- CN 105185345 A, 2015.12.23,
- US 2015042689 A1, 2015.02.12,
- US 2011150169 A1, 2011.06.23,

审查员 孟慧慧

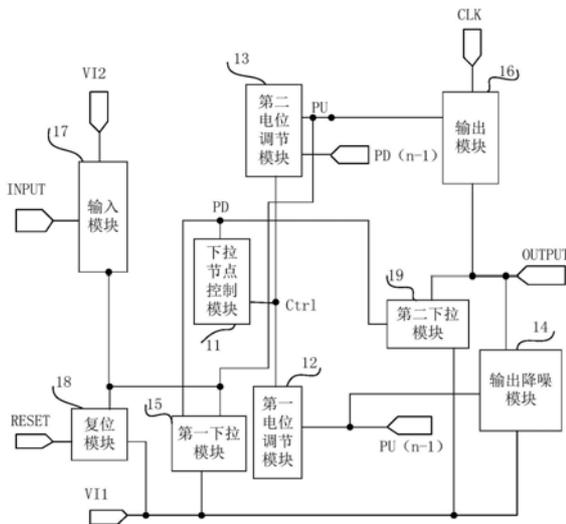
权利要求书2页 说明书10页 附图3页

(54)发明名称

移位寄存器单元、移位寄存器电路和显示装置

(57)摘要

本发明提供一种移位寄存器单元、移位寄存器电路和显示装置。所述移位寄存器单元，包括：下拉节点控制模块，具有控制节点，被构造根据所述控制节点的电位控制下拉节点的电位，所述控制节点的电位和所述下拉节点的电位呈反相关系；第一电位调节模块，在上一级上拉节点的电位为有效工作电位的条件下将上一级上拉节点的电位输送至所述控制节点；以及，第二电位调节模块，设置在上拉节点和所述控制节点之间，在上一级下拉节点的电位为有效工作电位的条件下使所述控制节点与所述上拉节点之间导通。本发明解决现有技术中存储上拉节点漏电路径，从而导致栅极驱动信号上升和下降缓慢，出现栅极驱动信号失真情况的问题。



CN 107403602 B

1. 一种移位寄存器单元,应用于移位寄存器电路中,其特征在于,所述移位寄存器单元包括:

下拉节点控制模块,具有控制节点,被构造成根据所述控制节点的电位控制下拉节点的电位,所述控制节点的电位和所述下拉节点的电位呈反相关系;

第一电位调节模块,被构造成在上一级上拉节点的电位为有效工作电位的条件下将上一级上拉节点的电位输送至所述控制节点,在上一级上拉节点的电位不是有效工作电位的条件下断开所述控制节点与所述上一级上拉节点之间的连接;以及,

第二电位调节模块,设置在上拉节点和所述控制节点之间,被构造成在上一级下拉节点的电位为有效工作电位的条件下使所述控制节点与所述上拉节点之间导通,在上一级下拉节点的电位不是有效工作电位的条件下断开所述控制节点与所述上拉节点之间的连接;

其中,所述上一级上拉节点为所述移位寄存器电路中相邻上一级移位寄存器单元中的上拉节点,所述上一级下拉节点为所述移位寄存器电路中相邻上一级移位寄存器单元中的下拉节点;

所述下拉节点控制模块包括:

第一下拉节点控制晶体管,栅极和第一极都与第二电平输入端连接;

第二下拉节点控制晶体管,栅极与所述控制节点连接,第一极与第一下拉节点控制晶体管的第二极连接,第二极与第一电平输入端连接;

第三下拉节点控制晶体管,栅极与所述第一下拉节点控制晶体管的第二极连接,第一极与所述第二电平输入端连接,第二极与所述下拉节点连接;以及,

第四下拉节点控制晶体管,栅极与所述控制节点连接,第一极与所述下拉节点连接,第二极与第一电平输入端连接;

所述第二下拉节点控制晶体管的宽长比大于所述第一下拉节点控制晶体管的宽长比,所述第四下拉节点控制晶体管的宽长比大于所述第三下拉节点控制晶体管的宽长比。

2. 如权利要求1所述的移位寄存器单元,其特征在于,所述第一电位调节模块包括:第一电位调节晶体管,栅极和第一极都与所述上一级上拉节点连接,第二极与所述控制节点连接。

3. 如权利要求1所述的移位寄存器单元,其特征在于,所述第二电位调节模块包括:第二电位调节晶体管,栅极与所述上一级下拉节点连接,第一极与所述上拉节点连接,第二极与所述控制节点连接。

4. 如权利要求1至3中任一权利要求所述的移位寄存器单元,其特征在于,还包括:输出降噪模块,被构造成在所述上一级上拉节点的电位为有效工作电位的条件下控制栅极驱动信号输出端与第一电平输入端之间导通,在所述上一级上拉节点的电位不是有效工作电位的条件下断开所述栅极驱动信号输出端与所述第一电平输入端之间的连接。

5. 如权利要求4所述的移位寄存器单元,其特征在于,所述输出降噪模块包括:输出降噪晶体管,栅极与所述上一级上拉节点连接,第一极与所述栅极驱动信号输出端连接,第二极与所述第一电平输入端连接。

6. 如权利要求1至3中任一权利要求所述的移位寄存器单元,其特征在于,还包括:第一下拉模块,与所述上拉节点、所述下拉节点和第一电平输入端连接,被构造成根据所述下拉节点的电位控制所述上拉节点是否与所述第一电平输入端连通;以及,

输出模块,与所述上拉节点、时钟信号输入端和栅极驱动信号输出端连接,被构造成根据所述上拉节点的电位控制所述栅极驱动信号输出端是否与所述时钟信号输入端连接。

7.如权利要求6所述的移位寄存器单元,其特征在于,所述第一下拉模块包括:第一下拉晶体管,栅极与所述下拉节点连接,第一极与所述上拉节点连接,第二极与所述第一电平输入端连接;

所述输出模块包括:

输出晶体管,栅极与所述上拉节点连接,第一极与所述栅极驱动信号输出端连接,第二极与所述时钟信号输入端连接;以及,

存储电容,第一端与所述上拉节点连接,第二端与所述栅极驱动信号输出端连接。

8.一种移位寄存器电路,其特征在于,包括多个级联的如权利要求1至7中任一权利要求所述的移位寄存器单元;

除了第一级移位寄存器单元之外,每一级所述移位寄存器单元包括的第一电位调节模块与上一级上拉节点连接,每一级所述移位寄存器单元包括的第二电位调节模块与上一级下拉节点连接。

9.如权利要求8所述的移位寄存器电路,其特征在于,第一级移位寄存器单元包括的第一电位调节模块与起始上拉端连接,第一级移位寄存器单元包括的第二电位调节模块与起始下拉端连接。

10.如权利要求8或9所述的移位寄存器电路,其特征在于,一级所述移位寄存器单元包括输入端、复位端和栅极驱动信号输出端;

除了第一级移位寄存器单元之外,每一级所述移位寄存器单元的输入端与相邻上一级移位寄存器单元的栅极驱动信号输出端连接;

除了最后一级移位寄存器单元之外,每一级所述移位寄存器单元的复位端与相邻下一级移位寄存器单元的栅极驱动信号输出端连接。

11.如权利要求10所述的移位寄存器电路,其特征在于,第一级移位寄存器单元的输入端与起始信号输入端连接,最后一级移位寄存器单元的复位端与复位信号输入端连接。

12.一种显示装置,其特征在于,包括如权利要求8至11中任一权利要求所述的移位寄存器电路。

移位寄存器单元、移位寄存器电路和显示装置

技术领域

[0001] 本发明涉及显示驱动技术领域,尤其涉及一种移位寄存器单元、移位寄存器电路和显示装置。

背景技术

[0002] 在现有的移位寄存器单元中,在对上拉节点充电过程中存在漏电路径,第一下拉模块包括的第一下拉晶体管的栅极与下拉节点连接,该第一下拉晶体管的第一极与所述上拉节点连接,该第一下拉晶体管的第二极与低电平输入端连接;在对上拉节点充电的过程中,会由于该第一下拉晶体管的漏电而导致上拉节点的电位达不到输出晶体管的完全开启电压,导致输出的栅极驱动信号上升和下降缓慢,出现栅极驱动信号失真情况。

发明内容

[0003] 本发明的主要目的在于提供一种移位寄存器单元、移位寄存器电路和显示装置,解决现有技术中存储上拉节点漏电路径,从而导致栅极驱动信号上升和下降缓慢,出现栅极驱动信号失真情况的问题。

[0004] 为了达到上述目的,本发明提供了一种移位寄存器单元,应用于移位寄存器电路中,所述移位寄存器单元包括:

[0005] 下拉节点控制模块,具有控制节点,被构造成根据所述控制节点的电位控制下拉节点的电位,所述控制节点的电位和所述下拉节点的电位呈反相关系;

[0006] 第一电位调节模块,被构造成在上一级上拉节点的电位为有效工作电位的条件下将上一级上拉节点的电位输送至所述控制节点,在上一级上拉节点的电位不是有效工作电位的条件下断开所述控制节点与所述上一级上拉节点之间的连接;以及,

[0007] 第二电位调节模块,设置在上拉节点和所述控制节点之间,被构造成在上一级下拉节点的电位为有效工作电位的条件下使所述控制节点与所述上拉节点之间导通,在上一级下拉节点的电位不是有效工作电位的条件下断开所述控制节点与所述上拉节点之间的连接;

[0008] 其中,所述上一级上拉节点为所述移位寄存器电路中相邻上一级移位寄存器单元中的上拉节点,所述上一级下拉节点为所述移位寄存器电路中相邻上一级移位寄存器单元中的下拉节点。

[0009] 实施时,所述第一电位调节模块包括:第一电位调节晶体管,栅极和第一极都与所述上一级上拉节点连接,第二极与所述控制节点连接。

[0010] 实施时,所述第二电位调节模块包括:第二电位调节晶体管,栅极与所述上一级下拉节点连接,第一极与所述上拉节点连接,第二极与所述控制节点连接。

[0011] 实施时,本发明所述的移位寄存器单元还包括:输出降噪模块,被构造成在所述上一级上拉节点的电位为有效工作电位的条件下控制栅极驱动信号输出端与第一电平输入端之间导通,在所述上一级上拉节点的电位不是有效工作电位的条件下断开所述栅极驱动

信号输出端与所述第一电平输入端之间的连接。

[0012] 实施时,所述输出降噪模块包括:输出降噪晶体管,栅极与所述上一级上拉节点连接,第一极与所述栅极驱动信号输出端连接,第二极与所述第一电平输入端连接。

[0013] 实施时,所述下拉节点控制模块包括:

[0014] 第一下拉节点控制晶体管,栅极和第一极都与第二电平输入端连接;

[0015] 第二下拉节点控制晶体管,栅极与所述控制节点连接,第一极与第一下拉节点控制晶体管的第二极连接;

[0016] 第三下拉节点控制晶体管,栅极与所述第一下拉节点控制晶体管的第二极连接,第一极与所述第二电平输入端连接,第二极与所述下拉节点连接;以及,

[0017] 第四下拉节点控制晶体管,栅极与所述控制节点连接,第一极与所述下拉节点连接,第二极与第一电平输入端连接;

[0018] 所述第二下拉节点控制晶体管的宽长比大于所述第一下拉节点控制晶体管的宽长比,所述第四下拉节点控制晶体管的宽长比大于所述第三下拉节点控制晶体管的宽长比。

[0019] 实施时,本发明所述的移位寄存器单元还包括:第一下拉模块,与所述上拉节点、所述下拉节点和第一电平输入端连接,被构造成根据所述下拉节点的电位控制所述上拉节点是否与所述第一电平输入端连通;以及,

[0020] 输出模块,与所述上拉节点、时钟信号输入端和栅极驱动信号输出端连接,被构造成根据所述上拉节点的电位控制所述栅极驱动信号输出端是否与所述时钟信号输入端连接。

[0021] 实施时,所述第一下拉模块包括:第一下拉晶体管,栅极与所述下拉节点连接,第一极与所述上拉节点连接,第二极与所述第一电平输入端连接;

[0022] 所述输出模块包括:

[0023] 输出晶体管,栅极与所述上拉节点连接,第一极与所述栅极驱动信号输出端连接,第二极与所述时钟信号输入端连接;以及,

[0024] 存储电容,第一端与所述上拉节点连接,第二端与所述栅极驱动信号输出端连接。

[0025] 本发明还提供了一种移位寄存器电路,包括多个级联的上述的移位寄存器单元;

[0026] 除了第一级移位寄存器单元之外,每一级所述移位寄存器单元包括的第一电位调节模块与上一级上拉节点连接,每一级所述移位寄存器单元的第二电位调节模块与上一级下拉节点连接。

[0027] 实施时,第一级移位寄存器单元包括的第一电位调节模块与起始上拉端连接,第一级移位寄存器单元包括的第二电位调节模块与起始下拉端连接。

[0028] 实施时,一级所述移位寄存器单元包括输入端、复位端和栅极驱动信号输出端;

[0029] 除了第一级移位寄存器单元之外,每一级所述移位寄存器单元的输入端与相邻上一级移位寄存器单元的栅极驱动信号输出端连接;

[0030] 除了最后一级移位寄存器单元之外,每一级所述移位寄存器单元的复位端与相邻下一级移位寄存器单元的栅极驱动信号输出端连接。

[0031] 实施时,第一级移位寄存器单元的输入端与起始信号输入端连接,最后一级移位寄存器单元的复位端与复位信号输入端连接。

[0032] 本发明还提供了一种显示装置,包括上述的移位寄存器电路。

[0033] 与现有技术相比,本发明所述的移位寄存器单元、移位寄存器电路和显示装置通过采用与控制节点连接的下拉控制节点以控制下拉节点的电位与控制节点的电位呈反相关系,并增加了控制控制节点与上一级上拉节点是否导通的第一电位调节模块和控制所述控制节点和所述上拉节点是否导通的第二电位调节模块,以控制在起始阶段、输入阶段和输出节点所述下拉节点的电位不为有效工作电位,从而断开上拉节点的漏电路径,使得不会存在上拉节点漏电情况,使得上拉节点的电位可以达到使得输出晶体管完全打开的电位,以使栅极驱动信号输出上升和下降不会失真。

附图说明

[0034] 图1是本发明实施例所述的移位寄存器单元的结构图;

[0035] 图2是本发明实施例所述的移位寄存器单元的工作时序图;

[0036] 图3是本发明所述的移位寄存器单元的一具体实施例的电路图。

具体实施方式

[0037] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0038] 本发明所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。在本发明实施例中,为区分晶体管除栅极之外的两极,将其中一极称为第一极,另一极称为第二极。在实际操作时,所述第一极可以为漏极,所述第二极可以为源极;或者,所述第一极可以为源极,所述第二极可以为漏极。

[0039] 本发明实施例所述的移位寄存器单元,应用于移位寄存器电路中,所述移位寄存器单元包括:

[0040] 下拉节点控制模块,具有控制节点,被构造成根据所述控制节点的电位控制下拉节点的电位,所述控制节点的电位和所述下拉节点的电位呈反相关系;

[0041] 第一电位调节模块,被构造成在上一级上拉节点的电位为有效工作电位的条件下将上一级上拉节点的电位输送至所述控制节点,在上一级上拉节点的电位不是有效工作电位的条件下断开所述控制节点与所述上一级上拉节点之间的连接;以及,

[0042] 第二电位调节模块,设置在上一级上拉节点和所述控制节点之间,被构造成在上一级下拉节点的电位为有效工作电位的条件下使所述控制节点与所述上一级上拉节点之间导通,在上一级下拉节点的电位不是有效工作电位的条件下断开所述控制节点与所述上一级上拉节点之间的连接;

[0043] 其中,所述上一级上拉节点为所述移位寄存器电路中相邻上一级移位寄存器单元中的上拉节点,所述上一级下拉节点为所述移位寄存器电路中相邻上一级移位寄存器单元中的下拉节点。

[0044] 在实际操作时,所述有效工作电位为能够使得相应的晶体管打开的电位;例如,当该晶体管为n型晶体管时,所述有效工作电位为高电位;当该晶体管为p型晶体管时,所述有

效工作电位为低电位。

[0045] 本发明实施例所述的移位寄存器单元通过采用与控制节点连接的下拉控制节点以控制下拉节点的电位与控制节点的电位呈反相关系,并增加了控制控制节点与上一级上拉节点是否导通的第一电位调节模块和控制所述控制节点和所述上拉节点是否导通的第二电位调节模块,以控制在起始阶段、输入阶段和输出节点所述下拉节点的电位不为有效工作电位,从而断开上拉节点的漏电路径,使得不会存在上拉节点漏电情况,使得上拉节点的电位可以达到使得输出晶体管完全打开的电位,以使栅极驱动信号输出上升和下降不会失真。

[0046] 其中,所述上拉节点是指移位寄存器单元中输入模块、输出模块和复位模块的连接点。具体地,所述移位寄存器单元可以包括:一输入晶体管、一输出晶体管和一存储电容;该输入晶体管的栅极与输入端连接,该输入晶体管的第一极与第一电压输入端连接;该输出晶体管的第一极与第一时钟信号输入端连接,该输出晶体管的第二极与栅极驱动信号输出端连接;所述存储电容的第一端与所述输出晶体管的栅极连接,所述存储电容的第二端与所述栅极驱动信号输出端连接,所述输入晶体管的第二极、所述存储电容的第一端与所述输出晶体管的栅极之间的连接点即为上拉节点。

[0047] 所述下拉节点是指移位寄存器单元中下拉节点控制模块、第一下拉模块和第二下拉模块的连接节点,在本发明实施例所述的移位寄存器单元中,所述下拉节点控制模块用于在所述控制节点的控制下控制所述下拉节点的电位;并所述第一下拉模块包括:第一下拉晶体管,栅极与所述下拉节点连接,第一极与所述上拉节点连接,第二极与第一电平输入端连接;所述第二下拉模块包括:第二下拉晶体管,栅极与所述下拉节点连接,第一极与栅极驱动信号输出端连接,第二极与所述第一电平输入端连接;当所述下拉节点的电位为有效工作电位时,所述上拉节点的电位和所述栅极驱动信号输出端的电位可以为第一电平。

[0048] 具体的,所述第一电位调节模块可以包括:第一电位调节晶体管,栅极和第一极都与所述上一级上拉节点连接,第二极与所述控制节点连接。

[0049] 具体的,所述第二电位调节模块包括:第二电位调节晶体管,栅极与所述上一级下拉节点连接,第一极与所述上拉节点连接,第二极与所述控制节点连接。

[0050] 优选的,本发明实施例所述的移位寄存器单元还包括:输出降噪模块,被构造成在所述上一级上拉节点的电位为有效工作电位的条件下控制栅极驱动信号输出端与第一电平输入端之间导通,在所述上一级上拉节点的电位不是有效工作电位的条件下断开所述栅极驱动信号输出端与所述第一电平输入端之间的连接。由于本发明实施例所述的移位寄存器单元在起始阶段和输入阶段控制下拉节点的电位不为有效工作电位,在起始阶段和输入阶段无法通过下拉节点将栅极驱动信号输出端输出的栅极驱动信号的电位拉低,因此需要采用所述输出降噪模块在起始阶段和输入阶段控制拉低栅极驱动信号的电位。

[0051] 具体的,所述输出降噪模块可以包括:输出降噪晶体管,栅极与所述上一级上拉节点连接,第一极与所述栅极驱动信号输出端连接,第二极与所述第一电平输入端连接。

[0052] 具体的,所述下拉节点控制模块可以包括:

[0053] 第一下拉节点控制晶体管,栅极和第一极都与第二电平输入端连接;

[0054] 第二下拉节点控制晶体管,栅极与所述控制节点连接,第一极与第一下拉节点控制晶体管的第二极连接,第二极与第一电平输入端连接;

[0055] 第三下拉节点控制晶体管,栅极与所述第一下拉节点控制晶体管的第二极连接,第一极与所述第二电平输入端连接,第二极与所述下拉节点连接;以及,

[0056] 第四下拉节点控制晶体管,栅极与所述控制节点连接,第一极与所述下拉节点连接,第二极与第一电平输入端连接;

[0057] 所述第二下拉节点控制晶体管的宽长比大于所述第一下拉节点控制晶体管的宽长比,所述第四下拉节点控制晶体管的宽长比大于所述第三下拉节点控制晶体管的宽长比。

[0058] 在实际操作时,本发明实施例所述的移位寄存器单元还可以包括:第一下拉模块,与所述上拉节点、所述下拉节点和所述第一电平输入端连接,被构造成根据所述下拉节点的电位控制所述上拉节点是否与所述第一电平输入端连通;以及,

[0059] 输出模块,与所述上拉节点、时钟信号输入端和栅极驱动信号输出端连接,被构造成根据所述上拉节点的电位控制所述栅极驱动信号输出端是否与所述时钟信号输入端连接。

[0060] 具体的,所述第一下拉模块可以包括:第一下拉晶体管,栅极与所述下拉节点连接,第一极与所述上拉节点连接,第二极与所述第一电平输入端连接。

[0061] 在现有技术中,上拉节点的漏电路径即为所述第一下拉晶体管,也即在上拉节点充电过程中被所述第一下拉晶体管漏电,导致上拉节点的电位达不到输出晶体管完全开启电压,导致栅极驱动信号输出端上升和下降有失真问题。而本发明实施例针对上拉节点充电过程中被所述第一下拉晶体管漏电问题,通过电路和时序涉及,将所述第一下拉晶体管在上拉节点充电前关闭,不会存在上拉节点漏电情况。

[0062] 在实际操作时,所述输出模块可以包括:

[0063] 输出晶体管,栅极与所述上拉节点连接,第一极与所述栅极驱动信号输出端连接,第二极与所述时钟信号输入端连接;以及,

[0064] 存储电容,第一端与所述上拉节点连接,第二端与所述栅极驱动信号输出端连接。

[0065] 在具体实施时,本发明实施例所述的移位寄存器单元还可以包括输入模块、复位模块和第二下拉模块。

[0066] 如图1所示,本发明实施例所述的移位寄存器单元包括下拉节点控制模块11、第一电位调节模块12、第二电位调节模块13、输出降噪模块14、第一下拉模块15、输出模块16、输入模块17、复位模块18和第二下拉模块19,其中,

[0067] 所述下拉节点控制模块11与下拉节点PD连接,并所述下拉节点控制模块11具有控制节点Ctrl,被构造成根据所述控制节点Ctrl的电位控制下拉节点PD的电位,所述控制节点Ctrl的电位和所述下拉节点PD的电位呈反相关系;

[0068] 所述第一电位调节模块12与上一级上拉节点PU(n-1)和控制节点Ctrl连接,被构造成在上一级上拉节点PU(n-1)的电位为有效工作电位的条件下将上一级上拉节点PU(n-1)的电位输送至所述控制节点Ctrl,在上一级上拉节点PU(n-1)的电位不是有效工作电位的条件下断开所述控制节点Ctrl与所述上一级上拉节点PU(n-1)之间的连接;以及,

[0069] 所述第二电位调节模块13设置在上一级上拉节点PU和所述控制节点Ctrl之间,所述第二电位调节模块13与上一级下拉节点PD(n-1)连接,所述第二电位调节模块13被构造成在上一级下拉节点PD(n-1)的电位为有效工作电位的条件下使所述控制节点Ctrl与所述上拉节

点PU之间导通,在上一级下拉节点PD(n-1)的电位不是有效工作电位的条件下断开所述控制节点Ctrl与所述上拉节点PU之间的连接;

[0070] 其中,所述上一级上拉节点PU(n-1)为所述移位寄存器电路中相邻上一级移位寄存器单元中的上拉节点,所述上一级下拉节点PD(n-1)为所述移位寄存器电路中相邻上一级移位寄存器单元中的下拉节点;

[0071] 所述输出降噪模块14与所述上一级上拉节点PU(n-1)、栅极驱动信号输出端OUTPUT和第一电平输入端VI1连接,被构造成在所述上一级上拉节点PU(n-1)的电位为有效工作电位的条件下控制栅极驱动信号输出端OUTPUT与第一电平输入端VI1之间导通,在所述上一级上拉节点PU(n-1)的电位不是有效工作电位的条件下断开所述栅极驱动信号输出端OUTPUT与所述第一电平输入端VI1之间的连接;

[0072] 在实际操作时,所述第一电平输入端VI1可以为输入低电平VGL的低电平输入端;

[0073] 所述第一下拉模块15与所述上拉节点PU、所述下拉节点PD和所述第一电平输入端VI1连接,被构造成根据所述下拉节点PD的电位控制所述上拉节点PU是否与所述第一电平输入端VI1连通;

[0074] 所述输出模块16与所述上拉节点PU、时钟信号输入端CLK和栅极驱动信号输出端OUTPUT连接,被构造成根据所述上拉节点PU的电位控制所述栅极驱动信号输出端OUTPUT是否与所述时钟信号输入端CLK连接;

[0075] 所述输入模块17与输入端INPUT、第二电平输入端VI2和所述上拉节点PU连接,用于在输入端INPUT的控制下控制所述上拉节点PU是否与所述第二电平输入端VI2连通;所述第二电平输入端VI2可以为输入高电平VGH的高电平输入端;在实际操作时,所述输入端INPUT可以为相邻上一级移位寄存器单元的栅极驱动信号输入端OUTPUT(n-1);

[0076] 所述复位模块18与复位端RESET、所述第一电平输入端VI1和所述上拉节点PU连接,用于在所述复位端RESET的控制下控制所述上拉节点PU是否与所述第一电平输入端VI1连通;在实际操作时,所述复位端RESET可以为相邻下一级移位寄存器单元的栅极驱动信号输入端OUTPUT(n+1);

[0077] 所述第二下拉模块19与所述下拉节点PD、所述栅极驱动信号输出端OUTPUT和第一电平输入端VI1连接,用于在下拉节点PD的控制下控制所述栅极驱动信号输出端OUTPUT是否与所述第一电平输入端VI1连接。

[0078] 假设在如图1所示的实施例中,各模块包括的各晶体管为n型晶体管,有效工作电位为高电位,如图2所示,本发明如图1所示的移位寄存器单元的实施例在工作时,具体工作过程如下:在每一显示周期,

[0079] 在起始阶段S1,上一级上拉节点PU(n-1)的电位为高电平,上一级下拉节点PD(n-1)的电位为低电平,第一电位调节模块12控制将上一级上拉节点PU(n-1)的电位传送至控制节点Ctrl,以使得所述控制节点Ctrl的电位为高电平,第二电位调节模块13控制断开所述控制节点Ctrl与上拉节点PU之间的连接,下拉节点控制模块11控制所述控制节点Ctrl的电位与下拉节点PD的电位呈反相关系,从而控制所述下拉节点PD的电位为低电平,从而控制关闭PU的漏电路径;在起始阶段S1,PU的电位为低电平;输出降噪模块14控制栅极驱动信号输出端OUTPUT与第一电平输入端连通,使得OUTPUT输出低电平,以对栅极驱动信号输出端OUTPUT放噪;

[0080] 在输入阶段S2,CLK输入低电平,上一级上拉节点PU(n-1)的电位为高电平,上一级下拉节点PD(n-1)的电位为低电平,输入端INPUT输入高电平,PU的电位被拉高为高电平,第一电位调节模块12控制将上一级上拉节点PU(n-1)的电位传送至控制节点Ctrl,以使得所述控制节点Ctrl的电位为高电平,第二电位调节模块13控制断开所述控制节点Ctrl与上拉节点PU之间的连接,下拉节点控制模块11控制所述控制节点Ctrl的电位与下拉节点PD的电位呈反相关系,从而控制所述下拉节点PD的电位为低电平,从而控制关闭PU的漏电路径;输出降噪模块控制栅极驱动信号输出端OUTPUT与第一电平输入端连通,使得OUTPUT输出低电平,以对栅极驱动信号输出端OUT放噪;

[0081] 在输出阶段S3,CLK输入高电平,上拉节点PU的电位为高电平,所述上一级上拉节点PU(n-1)的电位为低电平,所述上一级下拉节点PD(n-1)的电位为高电平,所述第一电位调节模块12断开所述控制节点Ctrl与所述上一级上拉节点PU(n-1)之间的连接,所述第二电位调节模块13控制所述控制节点Ctrl与所述上拉节点PU之间导通,以使得所述控制节点Ctrl的电位为高电平,下拉节点控制模块11控制所述控制节点Ctrl的电位与所述下拉节点PD的电位呈反相关系,从而控制所述下拉节点PD的电位为低电平,从而控制关闭PU的漏电路径;使得PU的电位达到输出晶体管完全开启的电位,从而控制该输出晶体管完全打开;输出降噪模块14控制断开所述栅极驱动信号输出端OUTPUT与第一电平输入端之间的连接;在输出阶段S3,PU的电位为高电平,OUTPUT输出CLK输入的高电平;

[0082] 在复位阶段S4,所述上拉节点PU的电位为低电平,所述上一级上拉节点PU(n-1)的电位为低电平,所述上一级下拉节点PD(n-1)的电位为高电平,所述第一电位调节模块12控制断开所述控制节点Ctrl与所述上一级上拉节点PU(n-1)之间的连接,所述第二电位调节模块13控制所述控制节点Ctrl与所述上拉节点PU之间导通,以使得所述控制节点Ctrl的电位为低电平,下拉节点控制模块11控制所述控制节点Ctrl的电位与所述下拉节点PD的电位呈反相关系,从而控制所述下拉节点PD的电位为高电平;输出降噪模块14控制断开所述栅极驱动信号输出端OUTPUT与第一电平输入端之间的连接。

[0083] 下面通过一具体实施例来说明本发明所述的移位寄存器单元。

[0084] 如图3所示,在图1所示的移位寄存器单元的实施例的基础上,

[0085] 所述下拉节点控制模块11包括:

[0086] 第一下拉节点控制晶体管M9,栅极和漏极都与输入高电压GCH的高电压输入端连接;

[0087] 第二下拉节点控制晶体管M8,栅极与所述控制节点Ctrl连接,漏极与第一下拉节点控制晶体管M9的源极连接;

[0088] 第三下拉节点控制晶体管M5,栅极与所述第一下拉节点控制晶体管M9的源极连接,漏极与输入高电压GCH的高电压输入端连接,源极与所述下拉节点PD连接;以及,

[0089] 第四下拉节点控制晶体管M6,栅极与所述控制节点Ctrl连接,漏极与所述下拉节点PD连接,源极与输入低电平VGL的低电平输入端连接;

[0090] 所述第二下拉节点控制晶体管M8的宽长比大于所述第一下拉节点控制晶体管M9的宽长比,所述第四下拉节点控制晶体管M6的宽长比大于所述第三下拉节点控制晶体管M5的宽长比;

[0091] 所述第一电位调节模块12包括:第一电位调节晶体管M12,栅极和漏极都与所述上

一级上拉节点PU(n-1)连接,源极与所述控制节点Ctrl连接;

[0092] 所述第二电位调节模块13包括:第二电位调节晶体管M11,栅极与所述上一级下拉节点PD(n-1)连接,漏极与所述上拉节点PU连接,源极与所述控制节点Ctrl连接;

[0093] 所述输出降噪模块14包括:输出降噪晶体管M7,栅极与所述上一级上拉节点PU(n-1)连接,漏极与所述栅极驱动信号输出端OUTPUT连接,源极与输入低电平VGL的低电平输入端连接;

[0094] 所述第一下拉模块15包括:第一下拉晶体管M10,栅极与所述下拉节点PD连接,漏极与所述上拉节点PU连接,源极与所述输入低电平VGL的低电平输入端连接;

[0095] 所述输出模块16包括:输出晶体管M3,栅极与所述上拉节点PU连接,漏极与所述栅极驱动信号输出端OUTPUT连接,源极与时钟信号输入端CLK连接;以及,

[0096] 存储电容C1,第一端与所述上拉节点连接,第二端与所述栅极驱动信号输出端OUTPUT连接;

[0097] 所述输入模块17包括:输入晶体管M1,栅极与所述输入端INPUT连接,漏极与输入高电平VGH的高电平输入端连接,源极与所述上拉节点PU连接;

[0098] 所述复位模块18包括:复位晶体管M2,栅极与所述复位端RESET连接,漏极与所述上拉节点PU连接,源极与输入低电平VGL的低电平输入端连接;

[0099] 所述第二下拉模块19包括:第二下拉晶体管M4,栅极与所述下拉节点PD连接,漏极与所述栅极驱动信号输出端OUTPUT连接,源极与所述输入低电平VGL的低电平输入端连接。

[0100] 在图3所示的具体实施例中,所有的晶体管都为n型晶体管;但是在实际操作时,如上晶体管也可以为p型晶体管,仅需相应改变控制即可,在此对晶体管类型不作限定。

[0101] 在图3所示的移位寄存器单元的具体实施例在工作时,M11、M12通过PD(n-1)、PU(n-1)的互补关系,切换打开M6和M8,确保PD的电位在PU的电位为高电平之前就为低电平。

[0102] 如图2所示,本发明如图3所示的移位寄存器单元的具体实施例在工作时,在每一显示周期,

[0103] 在起始阶段S1,上一级上拉节点PU(n-1)的电位为高电平,上一级下拉节点PD(n-1)的电位为低电平,M12打开,控制将上一级上拉节点PU(n-1)的电位传送至控制节点Ctrl,以使得所述控制节点Ctrl的电位为高电平,M11关闭,以断开所述控制节点Ctrl与上拉节点PU之间的连接,M6和M8都打开,从而控制PD的电位为低电平,从而控制关闭PU的漏电路径;在起始阶段S1,PU的电位为低电平;M7打开,以控制栅极驱动信号输出端OUTPUT与输入低电平VGL的低电平输入端连通,使得OUTPUT输出低电平,以对栅极驱动信号输出端OUTPUT降噪;

[0104] 在输入阶段S2,CLK输入低电平,INPUT输入高电平,上一级上拉节点PU(n-1)的电位为高电平,上一级下拉节点PD(n-1)的电位为低电平,输入端INPUT输入高电平,M1打开,PU的电位被拉高为高电平,M12打开,以控制将上一级上拉节点PU(n-1)的电位传送至控制节点Ctrl,以使得所述控制节点Ctrl的电位为高电平,M11关闭,以断开所述控制节点Ctrl与上拉节点PU之间的连接,M6和M8都打开,从而控制所述下拉节点PD的电位为低电平,从而控制关闭PU的漏电路径;M7打开,从而控制栅极驱动信号输出端OUTPUT与输入低电平VGL的低电平输入端连通,使得OUTPUT输出低电平,以对栅极驱动信号输出端OUT降噪;在输入阶段S2,由于PU的电位为高电平,则M3打开;

[0105] 在输出阶段S3,CLK输入高电平,上拉节点PU的电位为高电平,所述上一级上拉节点PU(n-1)的电位为低电平,所述上一级下拉节点PD(n-1)的电位为高电平,M12关闭,以断开所述控制节点Ctrl与所述上一级上位节点PU(n-1)之间的连接,M11打开,以控制所述控制节点Ctrl与所述上拉节点PU之间导通,以使得所述控制节点Ctrl的电位为高电平,M6和M8都打开,从而控制所述下拉节点PD的电位为低电平,从而控制关闭PU的漏电路径,使得PU的电位达到输出晶体管M3完全开启的电位,从而控制该输出晶体管M3完全打开,OUTPUT输出高电平;M7关闭,以断开所述栅极驱动信号输出端OUTPUT与所述输入低电平VLG的低电平输入端之间的连接;在输出阶段S3,INPUT输出低电平,M1关闭,CLK输入高电平,通过M3自举将PU的电位升高到VGH的2倍,M4和M10处于关闭状态;

[0106] 在复位阶段S4,RESET输出高电平,M2打开,以使得所述上拉节点PU的电位为低电平,所述上一级上拉节点PU(n-1)的电位为低电平,所述上一级下拉节点PD(n-1)的电位为高电平,M12关闭,以控制断开所述控制节点Ctrl与所述上一级上拉节点PU(n-1)之间的连接,M11打开,以控制所述控制节点Ctrl与所述上拉节点PU之间导通,以使得所述控制节点Ctrl的电位为低电平,M6和M8都关闭,从而控制所述下拉节点PD的电位为高电平,M4打开,以控制OUTPUT输出低电平;M7关闭,以断开所述栅极驱动信号输出端OUTPUT与输入低电平VGL的低电平输入端之间的连接;在复位阶段S4,M4和M10都打开,以对PU和OUTPUT放噪。

[0107] 本发明实施例所述的移位寄存器电路包括多个级联的上述的移位寄存器单元;

[0108] 除了第一级移位寄存器单元之外,每一级所述移位寄存器单元包括的第一电位调节模块与上一级上拉节点连接,每一级所述移位寄存器单元包括的第二电位调节模块与上一级下拉节点连接。

[0109] 在具体实施时,第一级移位寄存器单元包括的第一电位调节模块与起始上拉端连接,第一级移位寄存器单元包括的第二电位调节模块与起始下拉端连接。

[0110] 当第一级移位寄存器单元中的上拉节点的电位如图2中的PU的电位,第一级移位寄存器单元中的下拉节点的电位如图2中的PD的电位时,所述起始上拉端的电位如图2中的PU(n-1)的电位,所述起始下拉端的电位如图2中的PD(n-1)的电位。

[0111] 具体的,一级所述移位寄存器单元可以包括输入端、复位端和栅极驱动信号输出端;

[0112] 除了第一级移位寄存器单元之外,每一级所述移位寄存器单元的输入端与相邻上一级移位寄存器单元的栅极驱动信号输出端连接;

[0113] 除了最后一级移位寄存器单元之外,每一级所述移位寄存器单元的复位端与相邻下一级移位寄存器单元的栅极驱动信号输出端连接。

[0114] 在实际操作时,第一级移位寄存器单元的输入端与起始信号输入端连接,最后一级移位寄存器单元的复位端与复位信号输入端连接。

[0115] 在具体实施时,所述第一级移位寄存器单元输出的栅极驱动信号可以比所述起始信号输入端输入的起始信号延迟一显示周期,所述复位信号输入端输入的复位信号可以比所述最后一级移位寄存器单元输出的栅极驱动信号延迟一显示周期;所述显示周期等于一帧画面显示时间/N,其中N为正整数,N等于移位寄存器电路包括的移位寄存器单元的级数。

[0116] 本发明实施例所述的显示装置包括上述的移位寄存器电路。

[0117] 本发明实施例所述的显示装置可以为手机、平板电脑、电视机、显示器、笔记本电

脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0118] 以上所述是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明所述原理的前提下,还可以作出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

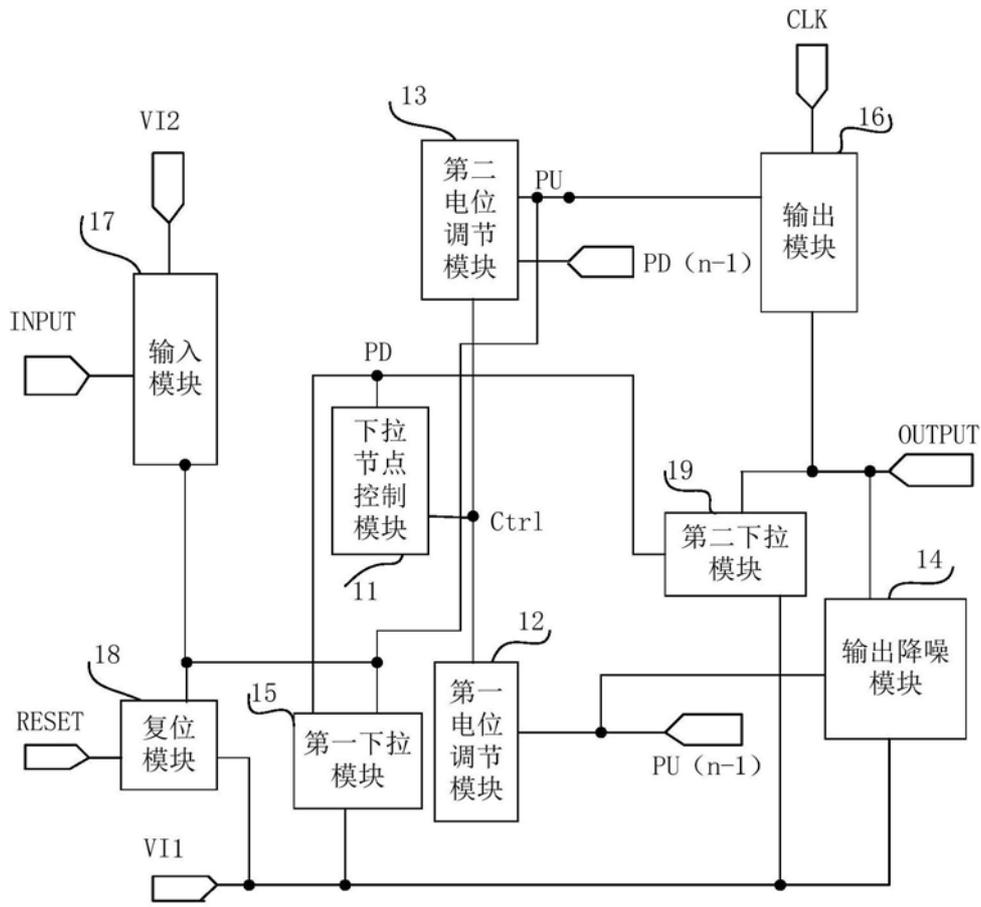


图1

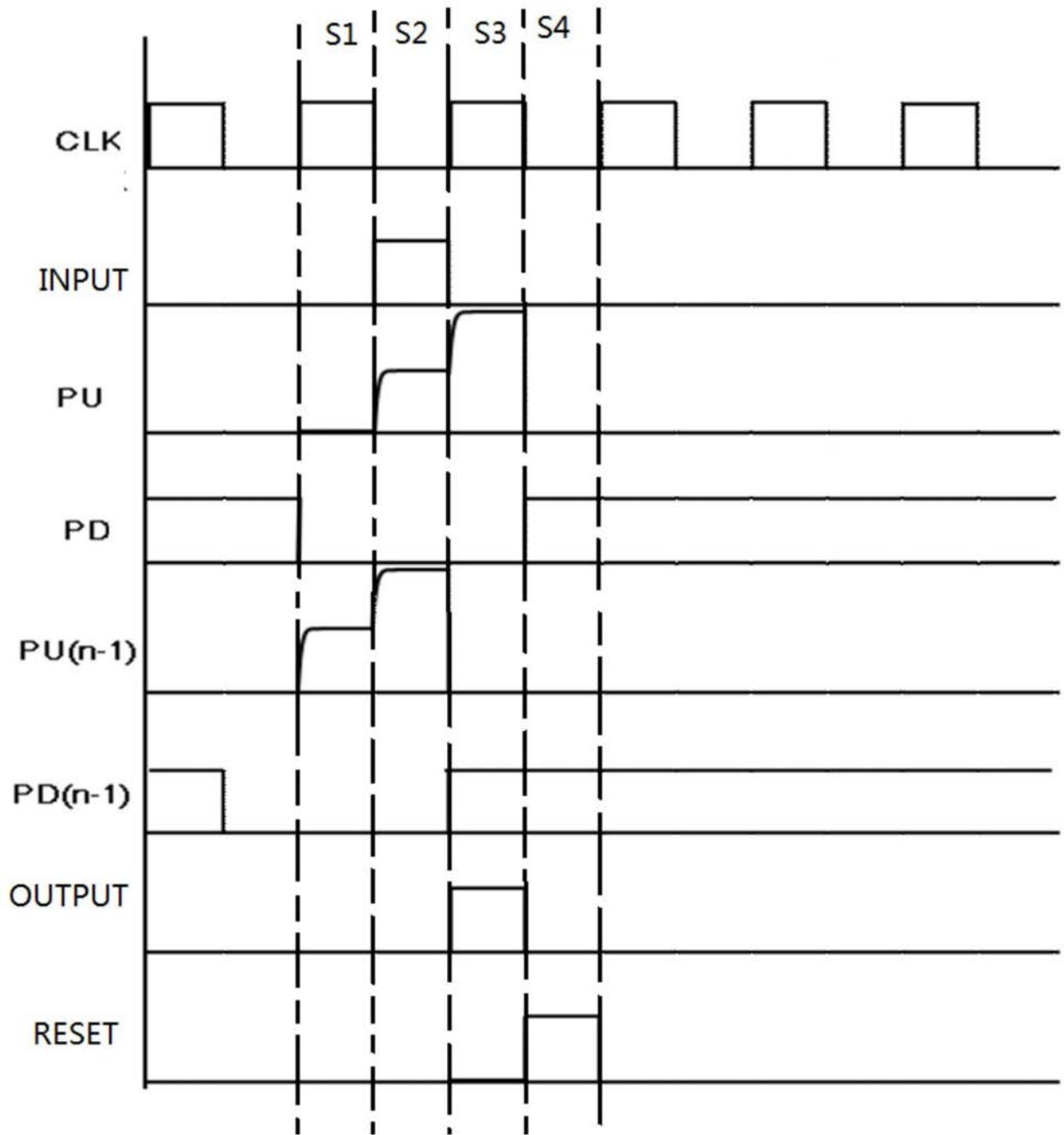


图2

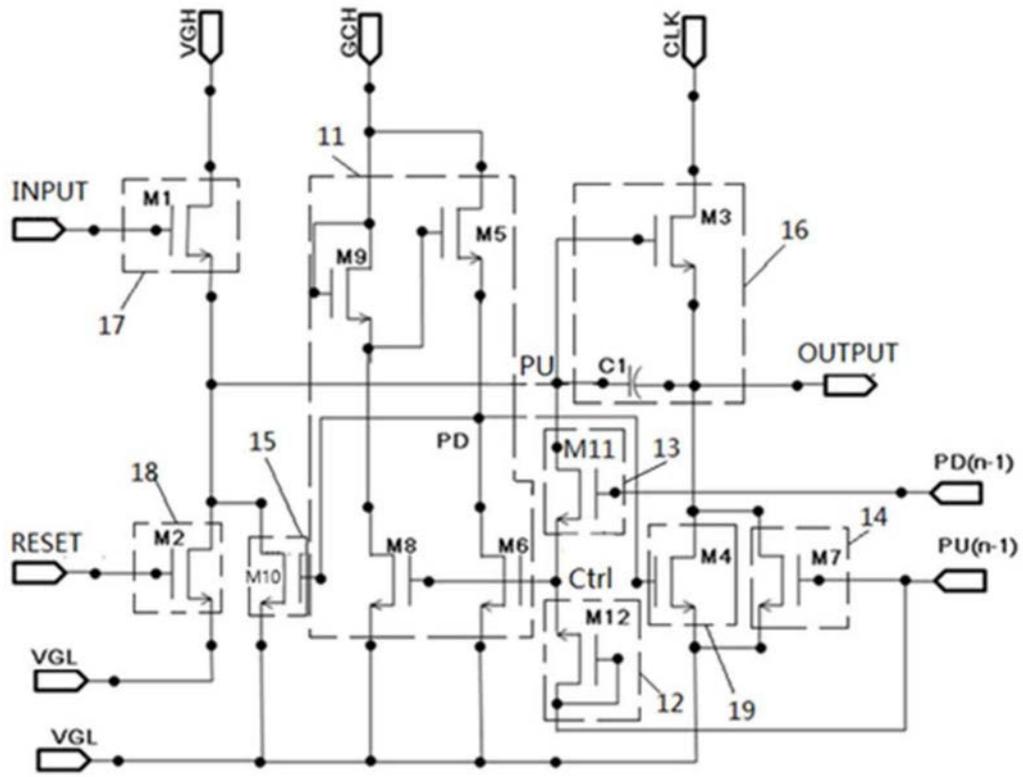


图3