



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년07월07일
(11) 등록번호 10-1637190
(24) 등록일자 2016년07월01일

<p>(51) 국제특허분류(Int. Cl.) H03M 1/10 (2006.01) H03M 1/12 (2006.01)</p> <p>(52) CPC특허분류 H03M 1/1009 (2013.01) H03M 1/124 (2013.01)</p> <p>(21) 출원번호 10-2015-0067259</p> <p>(22) 출원일자 2015년05월14일 심사청구일자 2015년05월14일</p> <p>(56) 선행기술조사문헌 KR1020130055491 A KR1020110134941 A JP2013074401 A US20120213531 A1</p>	<p>(73) 특허권자 건국대학교 산학협력단 서울특별시 광진구 능동로 120, 건국대학교내 (화양동)</p> <p>(72) 발명자 김진태 서울특별시 강남구 학동로 432 (삼성동, 롯데아파트) 102동 407호</p> <p>(74) 대리인 양기혁</p>
---	---

전체 청구항 수 : 총 13 항

심사관 : 유선중

(54) 발명의 명칭 아날로그-디지털 컨버터 교정 방법 및 자가 교정이 가능한 아날로그-디지털 컨버터

(57) 요약

파이프라인 스테이지부와 디지털 교정 엔진을 포함하는 ADC에 있어서, 상기 디지털 교정 엔진에 사용되는 한 세트의 가중치(w)의 값을 바이섹션 알고리즘을 이용하여 최적화하는 ADC 교정방법을 공개한다. 이 방법은 상기 바이섹션 알고리즘의 각 반복단계마다, 상기 ADC의 NAD(잡음 및 왜곡에 의한 오류)를 최소화하는 상기 한 세트의 가중치(w)의 값이 존재하는지 여부를 결정하는 '블록해 존재성 문제'를 푸는 블록해 존재성 결정단계를 수행하는, 바이섹션 알고리즘 수행단계를 포함한다. 그리고 상기 바이섹션 알고리즘에서 사용하는 기대 최적값 및 상한경계값(u) 또는 하한경계값(l)을 상기 '블록해 존재성 문제'의 해가 존재하는지 여부에 따라 갱신하도록 되어 있다.

대표도 - 도3

- 1: given $l = 10^{\frac{6.02N_{\text{uncal}}+1.76}{20}}$, $u = 10^{\frac{6.02N_b+1.76}{20}}$
- 2: **repeat**
- 3: $p^* := (l + u)/2$
- 4: Solve the convex feasibility problem in (5)
- 5: **if** (5) is feasible **then** $l := p^*$;
- 6: **else** $u := p^*$
- 7: **end if**
- 8: **until** the number of iteration reaches $iter_{\text{max}}$
- 9: Choose the last feasible w as an optimal solution

(52) CPC특허분류

H03M 2201/6345 (2013.01)

H03M 2201/71 (2013.01)

공지예외적용 : 있음

명세서

청구범위

청구항 1

파이프라인 스테이지부와 디지털 교정 엔진을 포함하는 ADC에 있어서, 상기 디지털 교정 엔진에 사용되는 한 세트의 가중치의 값을 바이섹션 알고리즘을 이용하여 최적화하는 ADC 교정방법으로서,

상기 바이섹션 알고리즘의 각 반복단계마다, 상기 ADC의 NAD를 최소화하는 상기 한 세트의 가중치의 값이 존재하는지 여부를 결정하는 '블록해 존재성 문제'를 푸는 블록해 존재성 결정단계를 수행하는, 바이섹션 알고리즘 수행단계를 포함하며,

상기 바이섹션 알고리즘에서 사용하는 기대 최적값 및 상한경계값 또는 하한경계값을 상기 '블록해 존재성 문제'의 해가 존재하는지 여부에 따라 갱신하도록 되어 있는, ADC 교정방법.

청구항 2

제1항에 있어서, 상기 '블록해 존재성 문제'는, 상기 ADC에 의해 발생하는 NAD의 값; 및 상기 바이섹션 알고리즘에서 사용되는 상기 기대 최적값; 이 소정의 조건을 만족하도록 하는 상기 한 세트의 가중치의 값이 존재하는지 여부를 푸는 문제로서 정의되는, ADC 교정방법.

청구항 3

제2항에 있어서, 상기 소정의 조건은, 상기 NAD에 상기 기대 최적값을 곱한 값이 상기 한 세트의 가중치의 총합을 $\sqrt{2}$ 로 나눈 값보다 작아야 하는 조건인, ADC 교정방법.

청구항 4

제2항에 있어서, 상기 NAD는, 상기 ADC에 입력되는 n개의 입력 샘플들의 값들과 상기 n개의 입력 샘플들의 값을 상기 ADC가 교정하여 출력한 n개의 교정된 ADC 출력값들 사이의 유클리디안 거리에 의해 정의되는, ADC 교정방법.

청구항 5

제4항에 있어서,

상기 n개의 입력 샘플의 값은, 상기 ADC에 입력되는 것으로서 알려진 구조를 갖는 아날로그 입력신호로부터 샘플링된 값이라고 추정되는 추정값이며,

상기 추정값은 상기 아날로그 입력신호의 모양을 확정하는 데에 필요한 미지의 한 개 이상의 파라미터에 의해 결정되며,

상기 '블록해 존재성 문제'는, 상기 NAD의 값; 및 상기 기대 최적값; 이 상기 소정의 조건을 만족하도록 하는 상기 한 세트의 가중치의 값뿐만 아니라 상기 한 개 이상의 파라미터의 값이 존재하는지 여부를 푸는 문제로서 정의되는,

ADC 교정방법.

청구항 6

제1항에 있어서,

상기 바이섹션 알고리즘에서 상기 상한경계값의 초기값은 $A1^{(b1 \cdot N_{uncal} + c1)}$ 와 같이 주어지고, 상기 하한경계값의 초기값은 $A2^{(b2 \cdot N_b + c2)}$ 와 같이 주어지는, ADC 교정방법. (단, N_{uncal} 은 상기 ADC가 교정되기 이전의 유효 비트수이고, N_b 는 상기 ADC의 이상적인 해상도를 나타내는 값이며, $A1$, $A2$, $b1$, $b2$, $c1$, $c2$ 는 미리 결정된 상수임.)

청구항 7

제1항에 있어서,

상기 바이섹션 알고리즘의 각 반복단계는,

상기 기대 최적값을 상기 상한경계값과 하한경계값의 중간값으로 설정하는 단계; 및

상기 '블록해 존재성 문제'에 대한 해가 존재하는 경우에는, 상기 하한경계값을 상기 각 반복단계에서의 상기 기대 최적값으로 대체하고, 그렇지 않은 경우에는, 상기 상한경계값을 상기 각 반복단계에서의 상기 기대 최적값으로 대체하는 단계

를 포함하며,

상기 바이섹션 알고리즘의 모든 반복단계가 종료되면, 마지막 반복단계에서 구한 상기 가중치의 값을 이용하여 상기 ADC를 최적화하도록 되어 있는,

ADC 교정방법.

청구항 8

제1항에 있어서,

상기 파이프라인 스테이지부는 서로 캐스캐이드 연결된 m개(자연수)의 스테이지를 포함하고, n개(자연수)의 아날로그 데이터 샘플들이 각각 상기 m개의 스테이지들을 순차적으로 통과하도록 되어 있으며,

상기 디지털 교정엔진은 m개의 멀티플렉서를 포함하며,

상기 각각의 멀티플렉서는 대응하는 상기 각각의 스테이지에서 출력되는 멀티플렉서 선택비트를 이용하여 가중치를 선택하여 출력하도록 되어 있으며,

상기 아날로그 데이터 샘플에 대한 교정된 ADC 출력 값은 출력된 상기 가중치들을 더한 값인,

ADC 교정방법.

청구항 9

파이프라인 스테이지부와 디지털 교정 엔진을 포함하는 ADC로서,

상기 ADC는 상기 디지털 교정 엔진에 사용되는 한 세트의 가중치의 값을 바이섹션 알고리즘을 이용하여 최적화하도록 되어 있으며,

상기 바이섹션 알고리즘의 각 반복단계마다, 상기 ADC의 NAD를 최소화하는 상기 한 세트의 가중치의 값이 존재하는지 여부를 결정하는 '블록해 존재성 문제'를 푸는 블록해 존재성 결정단계를 수행하는, 바이섹션 알고리즘 수행단계를 수행하도록 되어 있고,

상기 바이섹션 알고리즘에서 사용하는 기대 최적값 및 상한경계값 또는 하한경계값을 상기 '블록해 존재성 문제'의 해가 존재하는지 여부에 따라 갱신하도록 되어 있는,

ADC.

청구항 10

제9항에 있어서, 상기 '블록해 존재성 문제'는, 상기 ADC에 의해 발생하는 NAD의 값; 및 상기 바이섹션 알고리즘에서 사용되는 상기 기대 최적값; 이 소정의 조건을 만족하도록 하는 상기 한 세트의 가중치의 값이 존재하는지 여부를 푸는 문제로서 정의되는, ADC.

청구항 11

제10항에 있어서, 상기 소정의 조건은, 상기 NAD에 상기 기대 최적값을 곱한 값이 상기 한 세트의 가중치의 총합을 $\sqrt{2}$ 로 나눈 값보다 작아야 하는 조건인, ADC.

청구항 12

제10항에 있어서, 상기 NAD는, 상기 ADC에 입력되는 n개의 입력 샘플들의 값들과 상기 n개의 입력 샘플들의 값

들을 상기 ADC가 교정하여 출력한 n개의 교정된 ADC 출력값들 사이의 유클리디안 거리에 의해 정의되는, ADC.

청구항 13

제12항에 있어서,

상기 n개의 입력 샘플의 값은, 상기 ADC에 입력되는 것으로서 알려진 구조를 갖는 아날로그 입력신호로부터 샘플링된 값이라고 추정되는 추정값이며,

상기 추정값은 상기 아날로그 입력신호의 모양을 확정하는 데에 필요한 미지의 한 개 이상의 파라미터에 의해 결정되며,

상기 '블록해 존재성 문제'는, 상기 NAD의 값; 및 상기 기대 최적값; 이 상기 소정의 조건을 만족하도록 하는 상기 한 세트의 가중치의 값뿐만 아니라 상기 한 개 이상의 파라미터의 값이 존재하는지 여부를 푸는 문제로서 정의되는,

ADC.

발명의 설명

기술 분야

[0001] 본 발명은 자가 교정이 가능한 고해상도의 아날로그-디지털 컨버터 및 아날로그-디지털 컨버터의 자가 교정 방법에 관한 기술이다.

배경 기술

[0002] 파이프라인 A/D 컨버터들의 디지털-도메인 교정 기술은 연구가 활발한 분야이다. 그중 전경(foreground) 및 배경(background) 교정기술은 광범위하게 연구되어 오고 있다. 상기 배경 접근은 명목상의 데이터 변환들을 방해하지 않고 아날로그-도메인에서의 부정확한 오류를 교정하는 하는 이점이 있고, 다양한 환경 변화에도 적응기법을 통해 오류를 연속적으로 교정할 수 있다. 그러나 수렴시간과 충분한 신호 활동 또는 신호 범위 감소를 포함하는 디자인 이슈들은 해결해야 할 문제로 남아 있다. 반면에, 전경 접근은 아날로그 회로의 부정확성을 정적으로 교정하는 기법으로, 신호 범위 감소와 입력-신호 통계 필요 사안들로부터 자유롭다. 다만 상기 전경 교정은 정적인 방법이기 때문에, 시스템이 가동되지 않거나 또는 환경 변화가 감지될 때 간헐적인 교정들이 허락되는 어플리케이션에서 이상적으로 사용된다.

[0003] 전경 교정방법에 관한 종래의 문헌들로서 아래의 논문들의 예를 들 수 있다.

[0004] [1] A. N. Karnicolas, H.-S. Lee, and K. L. Barcrania, "A 15-b 1-Msample/s digitally self-calibrated pipeline ADC," IEEE J. Solid-State Circuits, vol. 28, no. 12, pp. 1207.1215, Dec. 1993.

[0005] [2] A. Verma and B. Razavi, "A 10-bit 500-MS/s 55-mW CMOS ADC," IEEE J. Solid-State Circuits, vol. 44, no. 11, pp. 3039.3049, Nov. 2009.

[0006] [3] B. Sahoo and B. Razavi, "A 12-bit 200-MHz CMOS ADC," IEEE J. Solid-State Circuits, vol. 44, no. 9, pp. 2366.2380, Sep. 2009. [10] K. D. Poulton, R. M. R. Neff, M. S. Holcomb, and J. Kang, "Method of calibrating an analog-to-digital converter and a circuit implementing the same," U.S. Patent 6 720 895, Apr. 13, 2004.

[0007] [4] X. Dai, D. Chen, and R. Geiger, "A cost-effective histogram test-based algorithm for digital calibration of high-precision pipelined ADCs," in Proc. IEEE Int. Symp. Circuits Syst., May 2005, pp. 4831.4834.

[0008] [5] Y. Chiu, C. W. Tsang, B. Nikolic, and P. R. Gray, "Least mean square adaptive digital background calibration of pipelined analog-to-digital converters," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 51, no. 1, pp. 38.46, Jan. 2004.

[0009] 도 1 및 도 2는 본 발명에서 사용될 수 있는 ADC이 내부구조에 대하여 설명하고 있다. 도 1 및 도 2에 도시한

구조 자체는 이미 알려진 구조이다.

발명의 내용

해결하려는 과제

[0010] 본 발명에서는 파이프라인 스테이지부와 디지털 교정 엔진을 포함하는 ADC를 최적화하는 기술을 제공하고자 한다.

과제의 해결 수단

[0011] 본 발명이 제시하는 방법은 전경 교정의 카테고리에 속하지만 다음에 제시되는 3가지 때문에 이전의 방법들과 다르다. 1) 교정 입력에 있어서 완벽한 정보를 필요로 하지 않는다. 2) 더 적은 교정 데이터 샘플들을 필요로 한다. 3) 교정 파라미터들은 블록 최적화를 통해 찾아진다. 본 발명에서 제시된 교정 방법은 증폭기 비선형성으로부터 발생하는 고차 비선형성 오류들을 교정하지 않는다. 그러나 적은 전력 소모로 고속으로 동작시킬수 있어 2-300MHz 이상의 샘플링 레이트를 갖는 고속 ADCs에서 여전히 실용적인 중요성을 갖는다.

[0012] 본 발명에서는 블록 최적화 관점에서 근-기반의 교정을 수행한다. 도 1에는, 임의 개수의 1.5bit 스테이지들을 갖는 파이프라인 스테이지부(10)와 디지털 교정 엔진(디지털-교정 블록)(20)을 포함하는 파이프라인 ADC의 일반적인 모델이 제시되어 있다. 상기 각 스테이지에서 출력되는 로 디지털 비트(raw digital bit)들은 상기 스테이지 웨이트 또는 라디스(radix)를 선택하며, 이 스테이지 웨이트는 디지털 블록 내의 파이프라인을 따라 더해짐으로써 교정된 ADC 출력을 생성한다.

[0013] 도 2의 블록 다이어그램에 나타난 상기 각 1.5bit 스테이지는 subADC에서 대략적인 양자화를 수행하며, 잔여의 아날로그 정보를 뒤따르는 스테이지에 잔여신호 증폭기를 사용하여 전달한다. 실제의 ADC 설계 시에는 ADC의 비선형성에 기여하는 다양한 비이상적인 현상들이 문제가 된다. 선행문헌에서 공통적으로 받아들여지는 모델 접근 방법은, 선형이며 메모리가 없는 에러로서 subADC 오프셋, 유한한 op앰프 이득, 커패시터 부정합과 같은 다른 오류 소스들을 고려하면서, 메모리가 없는 약한 비선형 함수에 의하여, 잔여신호 증폭기의 행동을 근사화하는 것이다.

[0014] 이러한 가정하에, 1번째 스테이지의 전달 함수를 위한 수학적 모델은 3개의 파라미터를 갖는 subADC 출력 및 입력의 다항식으로서 아래 식 (1)과 같이 간결하게 제시될 수 있다.

[0015] 식 (1)

[0016]
$$V_{out,i} = G_1 \cdot V_{in,i} - G_2 \cdot d_i \cdot V_{ref} + G_3 \cdot (G_1 \cdot V_{in,i} - G_2 \cdot d_i \cdot V_{ref})^3$$

[0017] 여기서 Vref는 기준 전압이고, Vin,i는, Vout,i, di는 각각 i번째 스테이지의 입력, 출력, 및 subADC 출력을 나타낸다. 파라미터 G1과 G2는 선형 이득을 나타내고, G3는 잔여신호 증폭기의 약한 비선형 특성을 모델링한 것이다. 도 2의 1.5bit 스테이지의 경우에, subADC 출력 di는 {-1, 0, 1}을 가질 수 있다.

[0018] ADC 입력의 디지털 표현을 재구성하는 것은, subADC 출력들의 선형 조합에 의해 이루어진다. 정규화된 표현에서, 아날로그 입력 전압과 선형으로 결합된 m개 스테이지들의 파이프라인 ADC 출력들 사이의 관계는 식 (2)과 같이 주어질 수 있다.

[0019] 식 (2)

$$\frac{V_{in,ADC}}{V_{ref}} = \sum_{i=1}^m w_i \cdot d_i + e_q$$

[0021] 여기서 e_q 는 양자화 오류를 의미하고, w_i 는 파이프라인에서 i 번째 스테이지의 라디스(radix)를 의미한다. 식 (2)로부터 분명하게 드러나듯이, 파이프라인 ADC 교정의 공통 목표는 e_q 를 최소화하는 모든 스테이지들의 라디스 인 w_i 들을 찾아내는 것이다. 수학적으로, 길이 n 의 알려진 ADC 입력 샘플들 $y \in \mathbf{R}^n$, 및 이에 대응하는 subADC 출력 행렬 $D \in \mathbf{R}^{n \times m}$ 에 대해, 교정 문제는 식 (3)과 같은 L2-노름(norm) 최소화 문제로서 구성될 수 있다. 여기서 D_{ij} 는 i 번째 입력 y_i 에 대한 j 번째 스테이지의 subADC 출력을 나타낸다.

[0022] 식 (3)

$$\begin{aligned} & \text{minimize} \quad \|\epsilon\|_2 \\ & \text{subject to} \quad \epsilon = y - Dw \end{aligned}$$

[0024] 여기서 w 는 변수이다($w \in \mathbf{R}^m$).

[0025] 식 (3)의 문제는 볼록 최적화 문제로서 내점 방법 또는 최소자승 문제로서 의사-역행렬 방법을 통해 풀릴 수 있다. 본 발명에서는 전자의 방식을 이용한다.

[0026] 세미 블라인드 전경 교정을 위해 SNDR 최대화 교정 및 세미 블라인드 교정에 대하여 설명한다.

[0027] 우선 SNDR 최대화 교정 방법을 설명한다.

[0028] 식 (3)의 교정 문제는 입력 신호와 입력 신호의 디지털 표현 사이의 오류를 LMS 관점에서 최소화한다. ADC 성능 척도의 관점에서, 이것은 잡음 및 왜곡(NAD)에 의한 오류를 최소화하는 것과 동일하다.

[0029] NAD는 $((1/n) \sum_{i=1}^n (x[i] - x'[i])^2)^{1/2}$ 로 정의될 수 있으며, 이때, n 은 데이터 샘플들의 수를 의미하고, $x[i]$ 와 $x'[i]$ 는 각각 i 번째 데이터, 및 i 번째 데이터에 대한 최적의 핏(fit)을 의미한다. SNDR을 최대화하기 위해, NAD와 신호 전력 모두 동시에 고려되어야 하며, 그 결과 식 (4)와 같은 최적화 문제가 정의될 수 있다.

[0030] 식 (4)

$$\begin{aligned} & \text{minimize} \quad \frac{\text{NAD}}{A_{rms}} \\ & \text{subject to} \quad \text{NAD} = \frac{1}{\sqrt{n}} \|y - D \cdot w\|_2 \\ & \quad \quad \quad A_{rms} = (\mathbf{1}^T w) / \sqrt{2} \end{aligned}$$

[0031]

[0032] 여기서 w 는 변수이다($w \in \mathbf{R}^m$).

[0033] 식 (4)는 Linear-fractional 최적화라는 형태의 문제로 아핀 함수(affine function)들의 비율을 최소화 하는 형태의 최적화 문제이다. 식 (4)는 엄밀히 말하면 볼록 최적화 문제는 아니지만, 의사 볼록 최적화 문제이고 적절한 초기 하한경계값과 상한경계값을 갖는 바이섹션 알고리즘을 이용해 최적의 해를 찾을 수 있다.

[0034] 바이섹션 알고리즘의 구체적인 적용은 다음과 같다. 우선 p^* 를 식 (4)의 추정된 최적 SNDR의 역수라고 한다. 그 다음, 식 (5)의 볼록해 존재성 문제를 이용하여 해를 구할수 있다. 여기서 w 는 변수이다($w \in \mathbf{R}^m$).

[0035] 식 (5)

$$\begin{aligned} & \text{find} && w \\ \text{subject to} & \text{NAD} = && \frac{1}{\sqrt{n}} \|y - D \cdot w\|_2 \\ & A_{\text{rms}} = && (\mathbf{1}^T w) / \sqrt{2} \\ & p^* \cdot \text{NAD} - A_{\text{rms}} \leq && 0 \end{aligned}$$

[0036]

[0037] 식 (5)를 풀어냄으로써, 최적의 w 를 찾거나 또는 식 (5)가 주어진 p^* 에 대한 해가 존재하지 않는지를 검증할 수 있다. 최적의 w 를 찾기 위한 바이섹션 알고리즘을 적용하기 위하여, SNDR의 가능한 범위의 중간값으로 p^* 를 설정하여 시작한다. 도 3에 나타낸 u 로서 표시된 SNDR 범위의 초기 상한경계값은 ADC의 이상적인 해상도로부터 도출되며, 도 3에 나타낸 l 로서 표시된 SNDR 범위의 초기 하한경계값은 교정되지 않은 SNDR 또는 대략적인 추정에 의해 도출된다. 초기 하한경계값은 충분히 작은 값이지만 한다면 정확할 필요가 없다. 그 후에 최적의 값이 SNDR의 초기 범위의 절반보다 더 위쪽에 있는지 또는 더 아래쪽에 있는지를 결정하기 위해 식 (5)의 문제를 풀고, 최적화의 결과에 따라 그 다음 반복단계에서 그 범위를 갱신한다. 이 과정을 전체 반복 횟수가 미리 결정된 최대값에 도달할 때까지 반복한다.

[0038] 도 3에 나타낸 알고리즘에서, Nuncal은 교정되지 않은 ADC의 유효 비트 수(ENOB)를 의미하고, Nb는 ADC의 이상적인 해상도를 의미하며, itermax는 사용자가 정의한 반복 횟수의 최대값을 의미한다. 식 (4)가 의사 볼록 문제이기 때문에, 앞서 제시된 바이섹션 방법을 통해 풀게 되면 글로벌 최적 라디스 벡터 w 를 찾을 수 있다.

[0039] 이제 세미 블라인드 교정 방법을 설명한다.

[0040] 식 (5)의 SNDR 최적화 문제의 한 가지 한계는, 이 교정법은 교정 입력 y 에 대한 사전정보를 요구한다는 것이다. 실제로는, 교정 입력 샘플들의 정확한 값들을 아는 것은 언제나 가능하지는 않다. 다행히도, SNDR 극대화 문제의 공식은 신호의 구조가 알려져만 있다면, 알려지지 않은 입력값을 위해 변경될 수 있다. 본 발명에서, 신호가 양질의 사인 곡선과 비교하여 발생시키기 쉬운 dc-램프 신호를 교정 입력으로 간주할 수 있다. 이때, n 의 기록된 길이와 고정된 스텝 크기를 갖는 dc-램프 교정 입력이 $-V_{\text{cal,dc}}$ 로부터 $V_{\text{cal,dc}}$ 까지 변화하는 경우를 고려할 수 있다. 세미 블라인드 전경 교정을 위한 변경된 볼록해 존재성 문제는 식 (6)과 같이 제시될 수 있다.

[0041] 식 (6)

$$\begin{aligned} & \text{find } w, V_{\text{est}} \\ & \text{subject to } \text{NAD} = \frac{1}{\sqrt{n}} \|\tilde{y} - D \cdot w\|_2 \\ & \tilde{y}_i = -V_{\text{est}} + V_{\text{est}} \frac{2 \cdot (i - 1)}{n - 1} \\ & A_{\text{rms}} = (\mathbf{1}^T w) / \sqrt{2} \\ & p^* \cdot \text{NAD} - A_{\text{rms}} \leq 0 \\ & V_{\text{est}} > 0 \end{aligned}$$

[0042]

[0043] 이때, 변수 \tilde{y}_i 는 $\tilde{y} \in \mathbf{R}^n$ 추정된 I번째 입력이고, V_{est} 는 dc램프의 추정된 피크값이다. 식 (6)을 풀면, w 뿐만 아니라 최적의 V_{est} 를 찾아낼 수 있다.

[0044] 세미 블라인드 교정 문제를 풀기 위해, 우리는 도 3에 제시된 이등분된 알고리즘을 이용한다. 그러나 식 (5)의 문제 대신에 식 (6)의 문제를 이용한다. y 와 w 모두 변수라는 점에서 세미 블라인드 교정은 최소자승방법과는 호환되지 않는다는 점을 인식하는 것은 중요하다.

[0045] 본 명세서에는, 본 발명의 기본 사상이 기록된 아래의 논문을 참조로서 포함한다.

[0046] Jintae Kim and Minjae Lee, "A Semiblind Digital-Domain Calibration of Pipelined A/D Converters via Convex Optimization", IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS, 2014 or 2015.

[0047] 이하, 본 발명의 일 관점에 따라 제공되는 ADC 교정방법을 설명한다. 이 방법은, 파이프라인 스테이지부와 디지털 교정 엔진을 포함하는 ADC에 있어서, 상기 디지털 교정 엔진에 사용되는 한 세트의 가중치(w)의 값을 바이섹션 알고리즘을 이용하여 최적화하는 ADC 교정방법이다. 이 방법은, 상기 바이섹션 알고리즘의 각 반복단계마다, 상기 ADC의 NAD(잡음 및 왜곡에 의한 오류)를 최소화하는 상기 한 세트의 가중치(w)의 값이 존재하는지 여부를 결정하는 '블록해 존재성 문제'를 푸는 블록해 존재성 결정단계를 수행하는, 바이섹션 알고리즘 수행단계를 포함하며, 상기 바이섹션 알고리즘에서 사용하는 기대 최적값 및 상한경계값(u) 또는 하한경계값(l)을 상기 '블록해 존재성 문제'의 해가 존재하는지 여부에 따라 갱신하도록 되어 있다.

[0048] 이때, 상기 '블록해 존재성 문제'는, 상기 ADC에 의해 발생하는 NAD(노이즈 및 왜곡)의 값; 및 상기 바이섹션 알고리즘에서 사용되는 상기 기대 최적값(p^*);이 소정의 조건을 만족하도록 하는 상기 한 세트의 가중치(w)의 값이 존재하는지 여부를 푸는 문제로서 정의될 수 있다.

[0049] 이때, 상기 소정의 조건은, 상기 NAD에 상기 기대 최적값(p^*)을 곱한 값이 상기 한 세트의 가중치(w)의 총 합을 $\text{root}(2)$ 로 나눈 값(A_{rms})보다 작아야 하는 조건일 수 있다.

[0050] 이때, 상기 NAD는, 상기 ADC에 입력되는 n 개의 입력 샘플들의 값들(y)과 n 개의 입력 샘플들의 값(y)들을 상기 ADC가 교정하여 출력한 n 개의 교정된 ADC 출력값들 사이의 유클리디안 거리를 기초로 정의될 수 있다. 또는 상기 유클리디안 거리들의 제곱의 합의 루트로 정의될 수 있다.

[0051] 이때, 상기 n 개의 입력 샘플의 값은, 상기 ADC에 입력되는 것으로서 알려진 구조를 갖는 아날로그 입력신호로부터 샘플링된 값이라고 추정되는 추정값이며, 상기 추정값은 상기 아날로그 입력신호의 모양을 확정하는 데에 필요한 미지의 한 개 이상의 파라미터에 의해 결정되며, 상기 '블록해 존재성 문제'는, 상기 NAD의 값; 및 상기 기대 최적값(p^*);이 상기 소정의 조건을 만족하도록 하는 상기 한 세트의 가중치(w)의 값뿐만 아니라 상기 한 개 이상의 파라미터의 값이 존재하는지 여부를 푸는 문제로서 정의되는 것일 수 있다.

[0052] 이때, 상기 바이섹션 알고리즘에서 상기 상한경계값(u)이 초기값은 $A1^{(b1 \cdot N_{\text{uncal}} + c1)}$ 와 같이 주어지고, 상기 하한경계값(l)의 초기값은 $A2^{(b2 \cdot N_b + c2)}$ 와 같이 주어질 수 있다. 단, N_{uncal} 은 상기 ADC가 교정되기 이전의 유효 비트수이고, N_b 는 상기 ADC의 이상적인 해상도를 나타내는 값이며, $A1$, $A2$, $b1$, $b2$, $c1$, $c2$ 는 미리 결정된 상수이다.

- [0053] 이때, 상기 바이섹션 알고리즘의 각 반복단계는, 상기 기대 최적값(p^*)을 상기 상한경계값과 하한경계값의 중간값으로 설정하는 단계; 및 상기 '블록해 존재성 문제'에 대한 해가 존재하는 경우에는, 상기 하한경계값(1)을 상기 각 반복단계에서의 상기 기대 최적값으로 대체하고, 그렇지 않은 경우에는, 상기 상한경계값(u)을 상기 각 반복단계에서의 상기 기대 최적값으로 대체하는 단계를 포함하며, 상기 바이섹션 알고리즘의 모든 반복단계가 종료되면, 마지막 반복단계에서 구한 상기 가중치(w)의 값을 이용하여 상기 ADC를 최적화하도록 되어 있을 수 있다.
- [0054] 이때, 상기 파이프라인 스테이지부는 서로 캐스캐이드 연결된 m 개(자연수)의 스테이지를 포함하고, n 개(자연수)의 아날로그 데이터 샘플들이 각각 상기 m 개의 스테이지들을 순차적으로 통과하도록 되어 있으며, 상기 디지털 교정엔진은 m 개의 멀티플렉서를 포함하며, 상기 각각의 멀티플렉서는 대응하는 상기 각각의 스테이지에서 출력되는 멀티플렉서 선택비트를 이용하여 가중치를 선택하여 출력하도록 되어 있으며, 상기 아날로그 데이터 샘플에 대한 교정된 ADC 출력 값은 출력된 상기 가중치들을 더한 값일 수 있다.
- [0055] 본 발명의 다른 관점에 따라, 파이프라인 스테이지부와 디지털 교정 엔진을 포함하는 ADC를 제공할 수 있다. 이때, 상기 ADC는 상기 디지털 교정 엔진에 사용되는 한 세트의 가중치(w)의 값을 바이섹션 알고리즘을 이용하여 최적화하도록 되어 있으며, 상기 바이섹션 알고리즘의 각 반복단계마다, 상기 ADC의 NAD(잡음 및 왜곡에 의한 오류)를 최소화하는 상기 한 세트의 가중치(w)의 값이 존재하는지 여부를 결정하는 '블록해 존재성 문제'를 푸는 블록해 존재성 결정단계를 수행하는, 바이섹션 알고리즘 수행단계를 수행하도록 되어 있고, 상기 바이섹션 알고리즘에서 사용하는 기대 최적값 및 상한경계값(u) 또는 하한경계값(1)을 상기 '블록해 존재성 문제'의 해가 존재하는지 여부에 따라 갱신하도록 되어 있다.
- [0056] 이때, 상기 '블록해 존재성 문제'는, 상기 ADC에 의해 발생하는 NAD(노이즈 및 왜곡)의 값; 및 상기 바이섹션 알고리즘에서 사용되는 상기 기대 최적값(p^*);이 소정의 조건을 만족하도록 하는 상기 한 세트의 가중치(w)의 값이 존재하는지 여부를 푸는 문제로서 정의될 수 있다.
- [0057] 이때, 상기 소정의 조건은, 상기 NAD에 상기 기대 최적값(p^*)을 곱한 값이 상기 한 세트의 가중치(w)의 총 합을 $\text{root}(2)$ 로 나눈 값(A_{rms})보다 작아야 하는 조건일 수 있다.
- [0058] 이때, 상기 NAD는, 상기 ADC에 입력되는 n 개의 입력 샘플들의 값들(y)과 n 개의 입력 샘플들의 값(y)들을 상기 ADC가 교정하여 출력한 n 개의 교정된 ADC 출력값들 사이의 유클리디안 거리에 의해 정의될 수 있다.
- [0059] 이때, 상기 n 개의 입력 샘플의 값은, 상기 ADC에 입력되는 것으로서 알려진 구조를 갖는 아날로그 입력신호로부터 샘플링된 값이라고 추정되는 추정값이며, 상기 추정값은 상기 아날로그 입력신호의 모양을 확정하는 데에 필요한 미지의 한 개 이상의 파라미터에 의해 결정되며, 상기 '블록해 존재성 문제'는, 상기 NAD의 값; 및 상기 기대 최적값(p^*);이 상기 소정의 조건을 만족하도록 하는 상기 한 세트의 가중치(w)의 값뿐만 아니라 상기 한 개 이상의 파라미터의 값이 존재하는지 여부를 푸는 문제로서 정의될 수 있다.

발명의 효과

[0060] 본 발명에 따르면 파이프라인 스테이지부와 디지털 교정 엔진을 포함하는 ADC를 최적화하는 기술을 제공할 수 있다.

도면의 간단한 설명

- [0061] 도 1은 본 발명의 일 실시예에 따른 ADC의 구조를 나타낸 도면이다.
- 도 2는 도 1에 도시된 ADC의 'Stage i '의 내부구조를 나타낸 도면이다.
- 도 3은 블록해 존재성 문제를 바이섹션 알고리즘과 결합하여 ADC를 최적화하는 방법에 관한, 본 발명의 일 실시예에 따른 알고리즘을 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0062] 이하, 본 발명의 실시예를 첨부한 도면을 참고하여 설명한다. 그러나 본 발명은 본 명세서에서 설명하는 실시예에 한정되지 않으며 여러 가지 다른 형태로 구현될 수 있다. 본 명세서에서 사용되는 용어는 실시예의 이해를 돕기 위한 것이며, 본 발명의 범위를 한정하고자 의도된 것이 아니다. 또한, 이하에서 사용되는 단수 형태들은 문구들이 이와 명백히 반대의 의미를 나타내지 않는 한 복수 형태들도 포함한다.

- [0063] <실시예 1>
- [0064] 본 발명의 실시예 1은 ADC(analog-to-digital converter)로 입력되는 아날로그 신호를 정확하게 알고 있을 때의 실시예일 수 있다.
- [0065] 도 1은 본 발명의 본 발명의 실시예에 적용 가능한 ADC(1)의 구조를 나타낸 도면이다.
- [0066] ADC(1)는 파이프라인 스테이지부(pipelined stage part)(10) 및 디지털 교정 엔진(20)을 포함할 수 있다. 파이프라인 스테이지부(10)는 m개의 스테이지(stage)를 포함할 수 있다. 이때, 첫 번째 스테이지인 'Stage 1'은 MSB를 출력할 수 있고, 마지막 스테이지인 'Stage m'은 LSB를 출력할 수 있다. 파이프라인 스테이지부(10)는 아날로그 전압값인 $V_{in,ADC}$ 를 입력받아 'Stage 1'으로 입력하며, 상기 'Stage 1'은 아날로그 값인 ' $V_{out,1}$ '을 출력하여 다음 순번의 스테이지(Stage)에게 제공할 수 있다. 순차적으로 연결되어 있는 각 스테이지를 차례대로 거치면서 각각의 스테이지는 예컨대, 2bit의 디지털 값을 더 출력할 수 있다. 일례로, i번째 스테이지인 'Stage i'는 아날로그 값인 $V_{in,i}$ 를 입력받아 아날로그 값인 $V_{out,i}$ 를 출력하고 그리고 디지털 값인 d_i 를 출력할 수 있다(단, i는 1 내지 m의 자연수). 상기 디지털 값들은 디지털 교정 엔진(20)으로 입력될 수 있다.
- [0067] 디지털 교정 엔진(20)은 상기 스테이지의 개수와 동일한 개수의 멀티플렉서(MUX) 및 D 플리플롭을 포함할 수 있다. 이때, D 플리플롭의 개수는 멀티플렉서의 총 개수보다 한 개 적을 수도 있다. 디지털 교정 엔진(20)은 파이프라인 스테이지부(10)의 각 스테이지로부터 출력되는 디지털 값을 각 스테이지에 대응되는 MUX로 입력할 수 있다. i번째 스테이지인 'Stage i'로부터 상기 디지털 값인 d_i 를 제공받는 MUX를 ' MUX_i '라고 지칭할 수 있다. 각각의 상기 디지털 값 d_i 는 각각의 ' MUX_i '의 선택비트로 사용되는 값일 수 있다. 이때 사용되는 ' MUX_i '는 상기 선택비트 d_i 에 따라 3개의 값 중 한 개의 값을 출력하도록 되어 있다. 예컨대, ' MUX_i '는 'Stage i'에서 출력되는 d_i 값에 따라 $\{w_i, 0, -w_i\}$ 값 중 한 개의 값을 선택하여 출력할 수 있다. 각각의 ' MUX_i '에서 출력된 출력값은 대하는 D 플리플롭 ' DF_i '으로 입력되며, 전단계의 D 플리플롭 ' DF_{i-1} '의 출력값과 ' MUX_i ' 출력값을 서로 더하여 교정한 ADC의 출력값을 얻을 수 있다.
- [0068] 도 1에 제시된 ADC의 구조는 가중치(w_i)값이 미리 정해져있지 않을 수 있으며, 본 발명에 의해 가중치(w_i)값이 결정될 수 있다.
- [0069] 도 2는 도 1에 도시된 'Stage i'의 내부구조를 나타낸 도면이다.
- [0070] 각 스테이지는 트랙/홀드부(T/H)(11), 한 개 이상의 비교기(Comparator)(12), 디지털/아날로그 컨버터(DAC)(13), 및 잔여신호 증폭기(Residue Amplifier)(14)를 포함할 수 있다.
- [0071] i번째 스테이지인 'Stage i'는 전 단계 스테이지인 'Stage i-1'로부터 아날로그 값인 $V_{in,i}$ 를 입력 받을 수 있다. 이때, $V_{in,i}$ 값은 트랙/홀드부(11)를 통해 홀드되어 복수 개의 비교기(12)에 각각 입력될 수 있다. 이때 각 비교기(12)는 $V_{in,i}$ 이외에도 기준값인 V_{ref} (reference voltage)를 추가로 입력받도록 되어 있다.
- [0072] 상기 비교기(12)를 통해 출력된 값의 비트들을 이용하여 d_i 가 생성되며, d_i 는 DAC(13)에 의해 대응되는 아날로그 값으로 변환될 수 있다. d_i 는 예컨대, $\{-1, 0, +1\}$ 중 어느 하나의 값을 가질 수도 있으며, 이러한 값을 표현하기 위해 d_i 는 2개 이상의 비트로 표현될 수도 있다.
- [0073] 트랙/홀드부(T/H)(11)에서 홀드된 아날로그 값으로부터 상기 변환된 아날로그 값을 차감함으로써 잔여 신호를 생성할 수 있다. 상기 생성된 잔여 신호는 잔여신호 증폭기(14)를 통해 증폭되어 아날로그 값인 출력값 $V_{out,i}$ 이 생성될 수 있다. 상기 출력값 $V_{out,i}$ 은 다음 스테이지인 'Stage i+1'로 입력될 수 있다.
- [0074] 본 발명의 명세서에서 $V_{in,i}$, $V_{out,i}$ 이, 및 d_i 는 각각 'Stage i'의 입력, 출력, 및 subADC 출력이라고 지칭될 수 있다.
- [0075] 즉, 실시예 1에서 ADC(1)를 최적화하는 것은 'w'를 최적화하는 것을 의미한다. 파이프라인 스테이지부(10) 안에 있는 ADC는 여러 가지 아날로그 회로의 부정확성들 때문에 이상적인 양자화 오류 이외에 다른 오류들이 추가적으로 발생하게 되는데, 이러한 오류 성분들의 총 합을 최소화 하는 한 세트의 가중치(w_i , i는 1 내지 m의 자연

수)를 찾을 필요가 있다. 상기 양자화 오류(e_q)는 ADC(1)로 입력되는 아날로그 신호($V_{in,ADC}$)의 데이터 샘플과 교정된 ADC 출력값 사이에 생기는 오차로서, 이상적인 ADC라면 NAD(Noise And Distortion, 잡음 및 왜곡)에 의한 오류와 동일할 수 있다. 즉, 상기 양자화 오류(e_q)는 이상적인 양자화 오류이고 NAD는 양자화 오류에 추가적으로 다른 아날로그 회로들의 에러까지 더해져서 나오는 것이다. 아날로그 회로의 에러가 전혀 없다면 $NAD=e_q$ 일 수 있다.

[0076] 실시예 1에서는 상기 NAD를 최소화하는 한 세트의 가중치(w_i , i 는 1 내지 m 의 자연수) 값이 존재하는지 여부를 결정하고, 존재하는 경우의 그 가중치 값을 찾기 위해 바이섹션 알고리즘을 이용할 수 있다.

[0077] 바이섹션 알고리즘(bisection algorithm)이란, 상한 경계값(upper bound)인 u 와 하한 경계값(lower bound)인 l 을 설정하는 단계, u 와 l 의 중간값($(u+l)/2$)을 '기대 최적값'으로 설정하는 단계, 및 u , l 중 어느 하나를 $(u+l)/2$ 로 대체(다시 설정)하는 단계를 복수 회 수행하는 단계를 수행함으로써 최적 해를 찾는 알고리즘을 지칭할 수 있다. 바이섹션 알고리즘의 적용 예는 종래 다양한 기술분야에서 찾아볼 수 있을 것이다.

[0078] 본 실시예에서 사용된 바이섹션 알고리즘은 도 3에 제시한 알고리즘에 포함된 것과 같은 것일 수 있다.

[0079] 도 3은 볼록해 존재성 문제를 바이섹션 알고리즘과 결합하여 ADC를 최적화하는 방법에 관한, 본 발명의 일 실시예에 따른 알고리즘이다.

[0080] 바이섹션 알고리즘에 제시된 바와 같이 상하경계값 u 와 l 을 설정한 후(라인 1), 2행부터 8행까지 미리 결정된 횟수($iter_{max}$)만큼 반복하도록 되어 있을 수 있다(repeat ~ until). 이때, 상기 '기대 최적값'을 p^* 라고 지칭하고(라인 3), 소위 '볼록해 존재여부'를 판별하기 위하여 풀어야 하는 '볼록해 존재성 문제(convex feasibility problem)'를 정의한 식 (5)를 푸는 과정을 수행하고(라인 4), '볼록해 존재성 문제'인 식 (5)를 만족하는 해인 w 값이 존재하면 상기 p^* 를 l 로 대체하고(라인 5), w 값이 존재하지 않으면 상기 p^* 를 u 로 대체(라인 6)할 수 있다. 미리 결정된 횟수($iter_{max}$)만큼의 반복이 종료되면, 마지막 반복 단계에서 구한 해인 w 값을 최적의 해인 것으로 결정할 수 있다(라인 9).

[0081] 식 (5)

$$\begin{aligned} & \text{find} && w \\ \text{subject to} & \text{NAD} = \frac{1}{\sqrt{n}} \|y - D \cdot w\|_2 \\ & A_{rms} = (\mathbf{1}^T w) / \sqrt{2} \\ & p^* \cdot \text{NAD} - A_{rms} \leq 0 \end{aligned}$$

[0082]

[0083] 식 (5)에서 n 은 ADC(1)입력되는 입력 샘플의 길이, 즉 입력 샘플의 개수를 나타낸다.

[0084] 식 (5)에서 y 는 $n \times 1$ 행렬로서, y 의 엘리먼트 y_i 는 ADC(1)입력되는 상기 입력 샘플 중 i 번째 입력 샘플의 값을 나타낸다. 여기서 y 는 확정적으로 정해진 값이다.

[0085] 식 (5)에서 D 는 $n \times m$ 행렬로서, D 의 엘리먼트 D_{ij} 는 상기 y 의 엘리먼트 y_i 에 대하여 j 번째 스테이지 'Stage j '에서의 상기 'subADC 출력'인 d_j 의 값을 나타낼 수 있다.

[0086] 식 (5)에서 w 는 $1 \times m$ 행렬로서, w 의 엘리먼트 w_i 는 도 1에 도시한 디지털 교정 엔진(20)에 나타낸 'MUX $_i$ '의 입력으로서 선택되어야 하는 가중치 값인 w_i 를 나타낸다.

[0087] <실시예 2>

[0088] 실시예 2는 ADC(1) 교정방법에 관한 것으로서, ADC(1)는 파이프라인 스테이지부(10)와 디지털 교정 엔진(20)을 포함할 수 있다. ADC(1)로 입력되는 신호의 교정을 위해서, 디지털 교정 엔진(20)에서는 한 세트의 가중치(w_i ,

i 는 1 내지 m 의 자연수)의 값을 사용할 수 있는데, 이때 최적의 한 세트의 가중치(w_i , i 는 1 내지 m 의 자연수)를 실시예 1에서 설명한 바이섹션 알고리즘을 이용하여 구할 수 있다. 즉, 최적의 가중치(w_i , i 는 1 내지 m 의 자연수)를 구함으로써, ADC(1)를 최적화할 수 있다.

[0089] 이때, 바이섹션 알고리즘을 수행하는 단계에서는, 상기 바이섹션 알고리즘의 각 반복단계(repeat ~ until)마다, 주어진 값(p^*)에 대하여 상기 ADC(1)의 NAD(잡음 및 왜곡에 의한 오류)를 최소화하는 상기 한 세트의 가중치(w_i , i 는 1 내지 m 의 자연수)의 값이 존재하는지 여부를 결정하는 소위 '불록해 존재성 결정단계'를 수행할 수 있다.

[0090] 상기 바이섹션 알고리즘에서 사용하는 '기대 최적값'(p^*) 또는 상한경계값(u, l)을 상기 가중치(w_i , i 는 1 내지 m 의 자연수)의 값이 존재하는지 여부에 따라 갱신하도록 되어 있을 수 있다.

[0091] 예컨대, 상기 가중치(w_i , i 는 1 내지 m 의 자연수)의 값이 존재한다면, 하한경계값(l)은 상기 주어진 값으로 설정되고, 상기 가중치(w_i , i 는 1 내지 m 의 자연수)의 값이 존재하지 않으면, 상한경계값(u)은 상기 주어진 값으로 설정될 수 있다.

[0092] <실시예 3>

[0093] 실시예 3은 ADC(analog-to-digital converter)로 입력되는 아날로그 신호의 구조는 알고 있지만, 상기 아날로그 신호에 부가되어 있는 왜곡 및/또는 잡음에 의한 변형결과를 정확하게 알지 못할 때의 실시예일 수 있다. 즉, ADC(1)로 입력되는 아날로그 신호($V_{in,ADC}$)의 구조, 아날로그 신호($V_{in,ADC}$)가 예컨대 아날로그 신호($V_{in,ADC}$)가 싸인파(sin)의 신호인지, 램프형(ramp) 신호인지만을 알 수 있고, 정확한 입력값을 알지 못할 때의 실시예이다. 아날로그 신호($V_{in,ADC}$)에 왜곡이 존재하거나 여기에 노이즈가 더해진 경우에는 정확한 입력값을 알지 못할 수 있다.

[0094] 실시예 3은 기본적인 실시예 1과 동일한 과정을 거치지만, '불록해 존재성 문제'에서 찾아야 하는 해의 개수가 더 많아지고, 해의 종류가 부가된다는 점이 다르다. 즉, '불록해 존재성 문제'가 다른 방식으로 정의된다.

[0095] 실시예 1에서 풀어야 하는 '불록해 존재성 문제'에서는 그 값을 찾아내야 하는 변수로서 가중치(w)만을 고려하면 됐다. 그러나 실시예 3에서 풀어야 하는 '불록해 존재성 문제'에서는 그 값을 찾아내야 하는 변수로서 상기 가중치(w) 뿐만 아니라 각 신호의 구조를 결정하는 데에 필수적인 역할을 하는 한 개 이상의 소정의 파라미터의 최적값을 더 고려해야 한다.

[0096] 예컨대, ADC(1)로 입력되는 아날로그 신호($V_{in,ADC}$)가 싸인파 신호라면, 이 싸인파 신호의 구조는 진폭(A), 주파수(f), 및 위상(θ)에 의해 특정될 수 있다. 따라서 실시예 3에서 풀어야 하는 '불록해 존재성 문제'에서는 그 값을 찾아내야 하는 변수로서 상기 가중치(w)의 최적값 뿐만 아니라, 진폭(A), 주파수(f), 및 위상(θ)의 파라미터들의 최적값을 구해야 한다.

[0097] 다른 예로서, ADC(1)로 입력되는 아날로그 신호($V_{in,ADC}$)가 램프형 신호라면, 이 램프형 신호의 구조는 피크값(V_{est})에 의해 특정될 수 있다. 따라서 실시예 3에서 풀어야 하는 '불록해 존재성 문제'에서는 그 값을 찾아내야 하는 변수로서 상기 가중치(w)의 최적값 뿐만 아니라, 피크값(V_{est})의 파라미터의 최적값을 구해야 한다. 이러한 경우의 '불록해 존재성 문제'는 아래 식 (6)과 같이 정의될 수 있다.

[0098] 식 (6)

$$\begin{aligned}
 & \text{find } w, V_{\text{est}} \\
 \text{subject to } & \text{NAD} = \frac{1}{\sqrt{n}} \|\tilde{y} - D \cdot w\|_2 \\
 & \tilde{y}_i = -V_{\text{est}} + V_{\text{est}} \frac{2 \cdot (i - 1)}{n - 1} \\
 & A_{\text{rms}} = (\mathbf{1}^T w) / \sqrt{2} \\
 & p^* \cdot \text{NAD} - A_{\text{rms}} \leq 0 \\
 & V_{\text{est}} > 0
 \end{aligned}$$

[0099]

[0100] 식 (6)에서 n은 ADC(1)입력되는 입력 샘플의 길이, 즉 입력 샘플의 개수를 나타낸다.

[0101] 식 (6)에서 \tilde{y} 은 n*1 행렬로서, \tilde{y} 의 엘리먼트 \tilde{y}_i 는 ADC(1)입력되는 상기 입력 샘플 중 i번째 입력 샘플의 추정 값을 나타낸다.

[0102] 식 (6)에서 D는 n*m 행렬로서, D의 엘리먼트 D_{ij} 는 상기 \tilde{y} 의 엘리먼트 \tilde{y}_i 에 대하여 j번째 스테이지 'Stage j'에서의 상기 'subADC 출력'인 d_j 의 값을 나타낼 수 있다.

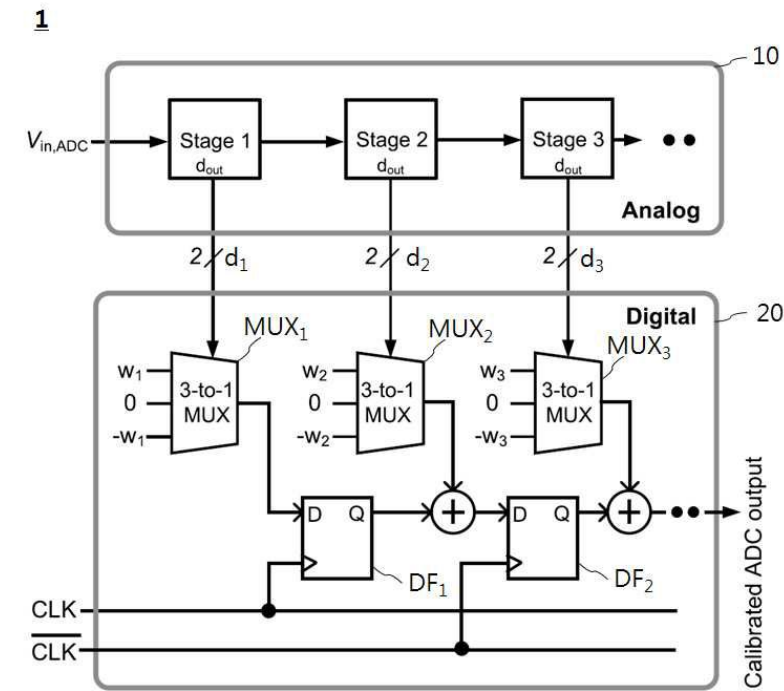
[0103] 식 (6)에서 w는 1*m 행렬로서, w의 엘리먼트 w_i 는 도 1에 도시한 디지털 교정 엔진(20)에 나타난 'MUX_i'의 입력으로서 선택되어야 하는 가중치 값인 w_i 를 나타낸다.

[0104] 식 (6)에서 V_{est} 는 ADC(1)로 입력되는 아날로그 신호($V_{\text{in,ADC}}$)가 램프형 신호인 경우, 이 램프형 신호의 구조는 피크값을 나타내면, 그 본질상 0보다 큰 값을 갖게된다. 그리고 식 (6)에 의해 정의되는 문제에 있어서 조건으로서 작용하게 된다.

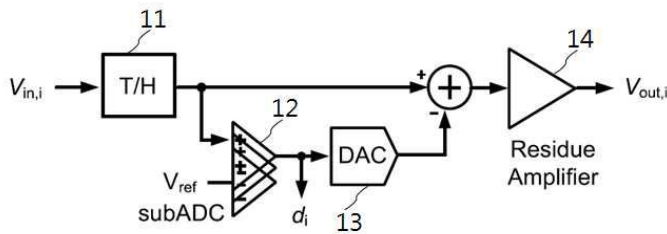
[0105] 상술한 본 발명의 실시예들을 이용하여, 본 발명의 기술 분야에 속하는 자들은 본 발명의 본질적인 특성에서 벗어나지 않는 범위 내에 다양한 변경 및 수정을 용이하게 실시할 수 있을 것이다. 특허청구범위의 각 청구항의 내용은 본 명세서를 통해 이해할 수 있는 범위 내에서 인용관계가 없는 다른 청구항에 결합될 수 있다.

도면

도면1



도면2



도면3

- 1: given $l = 10^{\frac{6.02N_{\text{uncal}}+1.76}{20}}$, $u = 10^{\frac{6.02N_b+1.76}{20}}$
- 2: **repeat**
- 3: $p^* := (l + u)/2$
- 4: Solve the convex feasibility problem in (5)
- 5: **if** (5) is feasible **then** $l := p^*$;
- 6: **else** $u := p^*$
- 7: **end if**
- 8: **until** the number of iteration reaches $iter_{\text{max}}$
- 9: Choose the last feasible w as an optimal solution