

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4697993号  
(P4697993)

(45) 発行日 平成23年6月8日(2011.6.8)

(24) 登録日 平成23年3月11日(2011.3.11)

(51) Int.Cl.	F I	
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10	4 3 4
HO 1 L 27/115 (2006.01)	G 1 1 C 17/00	6 2 1 A
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00	6 2 1 B
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00	6 2 2 Z
HO 1 L 27/10 (2006.01)	G 1 1 C 17/00	6 4 1
請求項の数 2 (全 12 頁) 最終頁に続く		

(21) 出願番号	特願平11-334916	(73) 特許権者	504378124
(22) 出願日	平成11年11月25日(1999.11.25)		スパンション エルエルシー
(65) 公開番号	特開2001-156272(P2001-156272A)		アメリカ合衆国 カリフォルニア州 94
(43) 公開日	平成13年6月8日(2001.6.8)		088-3453 サニーバイル デグウ
審査請求日	平成18年11月24日(2006.11.24)		イン ドライブ 915
		(74) 代理人	100064746
			弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100109162
			弁理士 酒井 将行
最終頁に続く			

(54) 【発明の名称】 不揮発性半導体メモリ装置の制御方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板に多数の不揮発性メモリ素子をm行n列に配置し、行方向のメモリ素子を直列に接続した不揮発性半導体メモリ装置であって、各不揮発性半導体メモリ素子が、第1導電型の半導体基板の表面上に形成され、キャリアトラップ層を含むゲート絶縁膜と、その上に形成されたゲート電極と、ゲート電極の両側の半導体基板に対称的に形成された第2導電型の第1および第2の拡散層とを含み、同一行の半導体メモリ素子のゲート電極を接続するm本のワード線と、同一列の半導体メモリ素子の第1または第2の拡散層、および隣接する列がある場合、その列の半導体メモリ素子の第2または第1の拡散層を接続する(n+1)本のビット線とを有する不揮発性半導体メモリ装置の制御方法であって、

i行、j列の半導体メモリ素子の(j+1)本目のビット線に接続された拡散層近傍に書き込まれた第2導電型のキャリアを消去する時、i行目のワード線に低レベル又は逆極性の電圧を印加し、1本目から(j-1)本目のビット線に低レベルの電圧を印加するか浮遊状態とし、j本目のビット線に低レベルの電圧を印加し、(j+1)本目のビット線に高レベルの電圧を印加し、(j+2)本目以降のビット線に高レベルの電圧を印加するか浮遊状態とすることによってバンド間トンネル効果により発生した第1導電型のキャリアを半導体メモリ素子の(j+1)本目のビット線に接続された拡散層近傍に注入することによって消去する工程

を含む不揮発性半導体メモリ装置の制御方法。

【請求項2】

第1拡散層側の空乏層と第2拡散層側の空乏層が、消去対象の半導体メモリ素子では重ならず、非消去対象の同一行の半導体メモリ素子では重なるように、前記消去工程の電圧および半導体メモリ素子の寸法、不純物濃度が選択されている請求項1に記載の不揮発性半導体メモリ装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、キャリアトラップ層を含む絶縁膜中に電荷を捕獲してデータを記憶する不揮発性半導体メモリ装置およびその制御方法に関する。

【0002】

【従来の技術】

半導体基板と、その表面のチャネル領域上にゲート絶縁膜を介して形成された絶縁ゲート電極とゲート電極両側の半導体基板内に形成された一対のソース/ドレイン領域を有する絶縁ゲート型電界効果トランジスタは、一方のソース/ドレイン領域に対するゲート電極の電圧によってオン/オフ状態が決まる。

【0003】

ゲート絶縁膜中に電荷キャリアを蓄積できる構造を設けると、電荷キャリアの有無によって同一ゲート電圧に対するオン/オフ状態を変更することができる不揮発性メモリを構成できる。電荷キャリアの蓄積構造は、フローティングゲート電極やシリコン窒化膜等によって形成できる。シリコン窒化膜の両側をシリコン酸化膜でサンドイッチした誘電体キャリアトラップ構造は酸化-窒化-酸化(oxide-nitride-oxide、ONO)膜として知られている。

【0004】

ONO膜中の窒化膜に電荷を書込み、消去する方法としては、ゲート電極とチャネル領域との間に十分高い電圧を印加し、チャネル領域から窒化膜中へ、又は逆方向に電荷キャリアをトンネルさせる方法が知られている。

【0005】

以下、制限的な意味なく、p型チャネル領域と、n型ソース/ドレイン領域と、キャリア蓄積機能を備えたゲート絶縁膜と、その上に配置されたゲート電極とを有する不揮発性半導体メモリについて説明する。

【0006】

特願平5-326884号公報は、n型ドレイン領域を包むp型ポケット層を形成し、書込み時にはドレイン領域に高レベル(7V程度)の電圧を印加し、ゲート電極に書込み用電圧を印加してホット電子を窒化膜中に注入し、消去時にはゲート電極とソース領域とを接地し、ドレイン領域には消去用プログラミング電圧を印加してドレイン領域とポケット層との境界付近でバンド間トンネル効果を生じさせ、ホットホールの一部を窒化膜中に注入する半導体メモリ装置を提案している。

【0007】

USP5,768,192は、ソース/ドレイン領域の一方(第1領域)と、他方(第2領域)の間に互いに逆方向のプログラミング電流を流すことにより、窒化膜中の2ヶ所に選択的にホット電子を注入する方法を提案している。

【0008】

第1領域から第2領域に向かって電子を流し、ホット電子にすると、第2領域近傍の窒化膜中にホット電子が注入される。第2領域から第1領域に向かって電子を流し、ホット電子にすると、第1領域近傍の窒化膜中にホット電子が注入される。

【0009】

読出し工程においては、第2領域から第1領域に向う読出し電子電流は第2領域近傍の蓄積電荷の影響を大きく受けるが、第1領域近傍の蓄積電荷の影響はあまり受けない。第1領域から第2領域に向う読出し電子電流は第1領域近傍の蓄積電荷の影

10

20

30

40

50

響を大きく受けるが、第2領域近傍の蓄積電荷の影響はあまり受けない。

【0010】

このようにして、2ビット/1セルの不揮発性メモリが提供される。メモリセルの構成は従来と同様である2ビット/1セルのメモリ素子は、メモリ容量を2倍にできることを意味する。

【0011】

【発明が解決しようとする課題】

USP5,768,192はプログラミングと読出しについて教示するが、消去については教示していない。

【0012】

本発明の目的は、製造が容易で、信頼性が高く、1セル当り複数の情報を記憶することができる不揮発性半導体メモリ装置を提供することである。

【0013】

本発明の他の目的は、1セル当り複数の情報を記憶することができる不揮発性半導体メモリ装置の新規な制御方法を提供することである。

【0014】

【課題を解決するための手段】

本発明の一観点によれば、第1導電型の半導体基板と、前記半導体基板の表面領域にチャンネル領域を画定するように対称的に形成された第2導電型の第1および第2の拡散層と、前記チャンネル領域上に形成され、キャリアをトラップすることのできるキャリアトラップ層を含むゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、書込み時には前記ゲート電極に高レベルの電圧を印加し、前記第1及び第2の拡散層にはその一方に低レベルの電圧、他方には高レベルの電圧を印加し、高レベルの電圧を印加された拡散層近傍の前記キャリアトラップ層に第2導電型のホットキャリアを注入し、読出し時には書込み時と逆方向に第2導電型のキャリアを流し、消去時には前記ゲート電極に低レベルの電圧を印加し、前記一方の拡散層に低レベル又は逆極性の電圧、前記他方の拡散層には高レベルの電圧を印加し、前記他方の拡散層近傍においてバンド間トンネル効果によって生じた第1導電型のホットキャリアを高レベルの電圧を印加された前記他方の拡散層近傍の前記キャリアトラップ層に注入し、第2導電型のキャリアを中和することのできる制御回路とを有する不揮発性半導体メモリ装置を有する半導体装置が提供される。

【0015】

本発明の他の観点によれば、半導体基板の表面上に、キャリアトラップ層を含むゲート絶縁膜とその上に配置されたゲート電極とを備え、前記ゲート電極の両側の半導体基板に対称的に第1および第2の拡散層を形成した不揮発性半導体メモリ装置の制御方法であって、第1または第2の拡散層に高レベルの第1の電圧を印加し、第2または第1の拡散層に前記第1の電圧より低レベルの第2の電圧を印加しゲート電極に前記第2の電圧より高レベルの第3の電圧を印加することにより第1または第2の拡散層近傍のメモリ位置に第1極性のホットキャリアによる書込みを選択的に行なう工程と；第1または第2の拡散層に高レベルの第1の電圧を印加し、第2または第1の拡散層に前記第1の電圧より低レベルの第2の電圧を印加しゲート電極に前記第1の電圧より低レベルの第3の電圧を印加することにより第1または第2の拡散層近傍のメモリ位置にバンド間トンネル効果により生じた第1極性と逆の第2極性のホットキャリアによる消去を選択的に行なう工程と；を含む不揮発性半導体メモリ装置の制御方法が提供される。

【0016】

【発明の実施の形態】

実施例の説明に先立ち、USP5,768,192で提案された1セル当り2ビットを記憶することのできる不揮発性半導体メモリ装置について説明する。

【0017】

図5(A)は、1セル当り2ビットを記憶することのできる不揮発性半導体メモリ装置の構成を概略的に示す。p型半導体基板101の表面上に、シリコン酸化膜105、シリコ

10

20

30

40

50

ン窒化膜 106、シリコン酸化膜 107の積層で形成されたゲート絶縁膜 108が形成され、その上にゲート電極 109が形成されている。ゲート電極 109の両側の半導体基板表面に、n型拡散領域 103、104が形成され、絶縁ゲート型電界効果トランジスタ構造を構成している。

【0018】

ゲート絶縁膜 108のシリコン酸化膜 105、107に挟まれたシリコン窒化膜 106は、電荷が注入された時にその電荷を保持する機能を有する。シリコン窒化膜は膜中に多数のキャリアトラップ準位持つため、一旦注入された電荷はその位置も保持する。

【0019】

n型領域 103を接地し、n型領域 104およびゲート電極 109に正電位を印加してホットエレクトロンを注入した場合、注入されたホットエレクトロンはn型領域 104近傍のシリコン窒化膜 106のメモリ位置 Mbにトラップされる。n型領域 103、104の役割を反転してホットエレクトロン注入を行なうと、窒化膜 106のn型領域 103近傍のメモリ位置 Maにエレクトロンがトラップされる。

10

【0020】

このようにして書込み時の電流方向を反転することにより、同一ゲート電極 109下の2つの位置 Ma、Mbに選択的に電荷を蓄積することができる。

【0021】

データ読出し時には、n型領域 103からn型領域 104にエレクトロン電流を流す場合、メモリ位置 Maの電荷はチャネル電流の形成に大きな影響を与えるが、メモリ位置 Mbの電荷はチャネル電流の形成に大きな影響は与えない。チャネル電流の方向を逆転すれば、メモリ位置 Mbの電荷の影響が大きくなり、メモリ位置 Maの電荷の影響は減少する。従って、2つのメモリ位置 Ma、Mbの蓄積電荷の影響を別個に読み出すことができる。

20

【0022】

なお、ゲート電極とn型ソース/ドレイン領域間に逆バイアス電圧を与えた場合、ゲート電極とn型ソース/ドレイン領域間に流れる電流にはファウラ・ノルドハイム(FN)トンネル電流とアバランシェブレイクダウンによるホットキャリア注入電流とがあることが知られている。

【0023】

図5(A)には、上述の逆バイアス電圧を印加した時に形成される空乏層の形状を併せて示す。n型領域 103のpn接合両側の破線 DP1、DP2は、空乏層の境界を概略的に示す曲線である。同様n型領域 104のpn接合の両側に示した破線 DP3、DP4は空乏層の両側の境界を概略的に示す曲線である。

30

【0024】

ゲート電極 109の端部下方には、ゲート電極に印加した電圧により空乏化された端部領域 Exも示されている。この空乏層の端部領域 Exにおいてアバランシェブレイクダウンが生じ易い。

【0025】

シリコン酸化膜 105が例えば20nm以上と厚い場合には、ゲート電極 109とn型領域 103、104間の電圧が高くない限りFNトンネル電流は流れ難いため、先にn型領域 103、104とチャネル領域との間の電位差が大きくなり、n型領域 103、104端部においてアバランシェブレイクダウンが起きる。

40

【0026】

アバランシェブレイクダウンにより生じたホットホールが空乏層内の電界で加速され、十分高エネルギーの状態になると、低電位に保持されたゲート電極 109に向かうホットホールの注入が生じ、中間のシリコン窒化膜 106に正孔がトラップされる。シリコン窒化膜 106中には既に電子が保持されているため、電子と正孔とが再結合し、蓄積された情報の消去が行なわれる。

【0027】

図5(B)は、上述の逆バイアス電圧を印加した時のn型領域 103からn型領域 104

50

に向う仮想的直線に沿うポテンシャル分布を示すグラフである。図中、半導体内の価電子帯  $V_B$  と伝導帯  $C_B$  のエネルギー位置を示す。空乏化していないチャネル領域  $N_D$  と両側の  $n$  型領域  $103$ 、 $104$  の間には電位差  $V$  が生じており、その間の空乏層  $113$ 、 $114$  によりこれらの電位差が形成されている。空乏層  $113$ 、 $114$  は、電界  $E_1$ 、 $E_2$  を発生させている。 $n$  型領域  $103$ 、 $104$  近傍で発生した正孔は、空乏層  $113$ 、 $114$  の電界  $E_1$ 、 $E_2$  により加速され、高エネルギー状態となる。

【0028】

図5(C)は、不揮発性半導体メモリ装置の回路構成を概略的に示す。1本のワード線  $WL_1$  には、複数のメモリトランジスタ  $T_{11}$ 、 $T_{12}$ 、... のゲート電極が接続されている。各メモリトランジスタ  $T_{11}$ 、 $T_{12}$ 、... の  $n$  型領域は、ビット線  $BL_1$ 、 $BL_2$ 、 $BL_3$ 、... に接続されている。図示のように、隣接するメモリトランジスタ  $T_{11}$ 、 $T_{12}$  の一方の  $n$  型領域  $104$  と他方の  $n$  型領域  $103$  は、メモリ素子寸法を小さくするために、通常は共通のビット線  $BL_2$  に接続される。なお、他のトランジスタも同様である。なお、両端のトランジスタの外側の  $n$  型領域は単独にビット線に接続される。

10

【0029】

図中、メモリ位置  $Ma$ 、 $Mb$  をそれぞれその属するトランジスタ  $T_{11}$ 、 $T_{12}$  の符号に合わせ、 $Ma_{11}$ 、 $Mb_{11}$ 、 $Ma_{12}$ 、 $Mb_{12}$ 、... のように示す。

【0030】

メモリ位置  $Mb_{12}$  の情報を消去する場合、ワード線  $WL_1$  に低レベルの電圧を印加し、ビット線  $BL_3$  に高レベルの電圧を印加する。すると、メモリ位置  $Mb_{12}$  とメモリ位置  $Ma_{13}$  は同一条件となり、メモリ位置  $Ma_{13}$  の情報も同時に消去されてしまう。メモリ位置  $Ma_{13}$  の情報を回復するためには、別途書き込み工程を行なう必要がある。このように、消去工程が複雑化する。

20

【0031】

半導体メモリ装置のメモリ容量を増大させるためには、メモリ素子の寸法を減少することが要求される。

【0032】

図6(A)、6(B)は、メモリ素子を短チャネル化した時に生じる問題を概略的に示す。図6(A)に示すように、ゲート電極  $109$ 、ゲート絶縁膜  $108$  の電流方向長さが減少されている。ゲート電極  $109$  と  $n$  型領域  $103$ 、 $104$  間に逆バイアス電圧を与え、情報の消去動作を行なおうとした場合、逆バイアス電圧により空乏層  $DP$  が発生する。空乏層の境界を  $DP_1 \sim DP_4$  で示す。

30

【0033】

短チャネル化のため、空乏層の境界  $DP_2$ 、 $DP_4$  がゲート電極下方で互いに接するようになる。

【0034】

図5(B)は、この時のポテンシャル分布を概略的に示す。ゲート電極下方で空乏層が互いに接するため、伝導帯  $C_B$  および価電子帯  $V_B$  に形成される電位差が減少し、 $V_a$  となる。空乏層中に形成される電位差が減少するため、形成される電界  $E_{1a}$ 、 $E_{2a}$  も減少する。従って、 $n$  型領域  $103$ 、 $104$  端部でアバランシェブレイクダウンにより正孔が発生しても、この正孔を十分高いエネルギーに加速することが出来ず、シリコン窒化膜  $106$  中の電子を中和することが困難になる。

40

【0035】

以下、このような問題点を解決した不揮発性半導体メモリ装置を説明する。

【0036】

図1(A)は、不揮発性半導体メモリ装置の概略回路図である。複数のワード線  $WL$  と複数のビット線  $BL$  が互いに交差して半導体基板上に配置されている。これらのビット線  $BL$  は、同一基板に形成されたビット線ドライバ  $BD$  に接続され、選択的な駆動電圧を受ける。複数のワード線  $WL$  は、同一基板内に形成されたワード線ドライバ  $WB$  に接続され、選択的に走査電圧を受ける。

50

## 【0037】

ワード線WL、ビット線BLの各交差部には、メモリトランジスタTが接続されている。なお、隣接する2本のビット線、例えばBL1、BL2の間に1つのメモリトランジスタT11の2つのn型領域が接続される。各メモリトランジスタは、2つのメモリ位置Ma、Mbを有する。なお、i番目のビット線と(i+1)番目のビット線間に接続され、そのゲート電極がj番目のワード線WLjに接続されたトランジスタをT<sub>ij</sub>と示す。

## 【0038】

図1(B)は、1つのメモリトランジスタTの概略構造とそのメモリ位置に対する書込み動作を示す概略断面図である。p型基板1の表面にシリコン酸化膜5、シリコン窒化膜6、シリコン酸化膜7の積層で形成されたゲート絶縁膜8が形成され、その上に多結晶シリコンで形成されたゲート電極9が配置されている。なお、シリコン酸化膜7は省略してもよい。ゲート絶縁膜としてキャリアトラップ機能を有する他の絶縁膜を用いてもよい。

10

## 【0039】

シリコン酸化膜5は、例えば厚さ10nmのシリコン酸化膜を熱酸化により形成する。シリコン酸化膜5の上に、例えば厚さ15nmのシリコン窒化膜をCVDで成長し、その表面を高温で酸化することにより厚さ約10nmのシリコン酸化膜7を形成する。残るシリコン窒化膜6の厚さはシリコン酸化膜7が成長した分減少する。

## 【0040】

ゲート電極9は、例えば厚さ約300nmの、燐を約 $2 \sim 6 \times 10^{20} / \text{cm}^3$ 程度含む多結晶シリコン層をCVDで成長し、公知の微細加工法でゲート長約 $0.2 \sim 0.5 \mu\text{m}$ 程度に短くパターニングして形成する。

20

## 【0041】

絶縁ゲート電極を形成した後、この絶縁ゲート電極をマスクとし、p型半導体基板1中にイオン注入法で砒素イオンを例えば加速エネルギー50~100keV、ドーズ量 $5 \times 10^{15} \sim 5 \times 10^{16} \text{cm}^{-2}$ 程度イオン注入し、n型領域3、4を形成する。イオン注入後、公知の熱拡散法により基板を850~950で30分~60分程度アニールすることにより、注入した砒素イオンを活性化すると共にゲート電極9下方まで拡散させる。

## 【0042】

その後、酸化シリコン等の層間絶縁膜10を形成し、コンタクト孔を開口し、メタル配線P1、P2、P<sub>G</sub>等を形成し、半導体メモリ装置を形成する。

30

## 【0043】

書き込み動作においては、たとえばn型領域3に接続された配線P1を低レベルの電圧、たとえば接地電位とし、ゲート電極9に接続された配線P<sub>G</sub>に高レベルの正電位、たとえば12V、n型領域4に接続された配線P2に12Vより低い正電位、たとえば6Vを印加する。ゲート電極9に正電位が印加されるため、p型領域1の表面がn型に反転し、n型領域3から正電位に保持されたn型領域4に向かって電子が流れ出す。この電子は、n型領域4周辺の空乏層により加速され、ホット電子となって酸化シリコン膜5を貫通し、シリコン窒化膜6中のメモリ位置Mbに注入される。このようにして、n型領域4近傍の窒化シリコン膜6中のメモリ位置Mbに書込みが行なわれる。

## 【0044】

図1(C)に示すように、n型領域3、n型領域4に印加する電圧を反転すると、n型領域4から流れ出した電子がn型領域3近傍の窒化シリコン膜6中のメモリ位置Maに注入され、メモリ位置Maに情報が記憶される。このようにして、窒化シリコン膜6の2つのメモリ位置Ma、Mbに選択的に情報を書込むことができる。

40

## 【0045】

図1(D)は、n型領域4近傍に書込まれた情報を読み出す動作を示す。n型領域4をソースとしてソース電圧V<sub>S</sub>を印加(接地)し、n型領域3をドレインとしてドレイン電圧V<sub>D</sub>、たとえば2Vを印加し、ゲート電極9にオン電圧+V<sub>G</sub>、たとえば3V、を印加する。n型領域4近傍の窒化シリコン膜6中のメモリ位置Mbに電子が蓄積されているため、所定のゲート電圧+V<sub>G</sub>(3V)を印加しても、蓄積された電荷下のチャネル領域は反転

50

せず、チャンネル電流は流れない。

【 0 0 4 6 】

電荷が蓄積されていない場合は、チャンネル領域が反転してドレイン電流が流れる。このようにして、書込まれた情報の読出しが行なわれる。なお、n型領域3をソースとし、n型領域4をドレインとして行なうn型領域3近傍に書込まれた電荷に対する読み出し動作も同様である。

【 0 0 4 7 】

図1(E)は、1つのチャンネル上の2つの位置に書込まれた情報が、それぞれ独立に読出し可能であることを概略的に示す断面図である。図は、シリコン窒化膜106のn型領域3近傍のメモリ位置Maの情報を読み出す工程を示す。n型領域3近傍のメモリ位置Maには電子が蓄積されておらず、n型領域4近傍メモリ位置Mbには電子が蓄積されているものとする。

10

【 0 0 4 8 】

n型領域3にソース電圧 $V_S$ として0Vを印加し、n型領域4にドレイン電圧 $V_D$ として2Vを印加する。ゲート電極9には閾値以上のオン電圧 $V_G$ として3Vを印加する。n型領域3近傍のメモリ位置Maには電子が蓄積されていないため、チャンネルが誘起され電子がn型領域3からn型領域4に向かって流れ出す。

【 0 0 4 9 】

n型領域4近傍の蓄積位置Mbには電子が蓄積されているが、空乏層が発達することにより電子の輸送を実質的に妨げない。従って、矢印で示した読出し電流は、n型領域3近傍の蓄積位置Maの電荷の有無のみによって制御される。

20

【 0 0 5 0 】

図1(F)は、消去動作を示す。n型領域4近傍の蓄積位置Mbに電子が蓄積されており、この情報を消去する場合を説明する。n型領域3を低レベルの電圧、0Vに保持し、n型領域4に高レベルの電圧、例えば+6Vの正電圧を印加する。一方ゲート電極9には、低レベルの電圧または逆極性の電圧、例えば-5V程度の負電圧を印加する。

【 0 0 5 1 】

図2(A)は、この時の半導体基板内の空乏層の形状を概略的に示す。n型領域3は0Vに保持されているため、そのpn接合周辺に形成される空乏層DPの幅DP1-DP2は狭い。n型領域4には+6Vの比較的大きな正電圧が印加されているため、そのpn接合周辺に形成される空乏層DP(DP3-DP4)の幅は広い。

30

【 0 0 5 2 】

もし、n型領域3にも+6Vの電圧を印加すると、空乏層DP(DP1-DP2)が広がり、空乏層の境界DP2とDP4は接してしまふ。しかしながら、n型領域3に対するバイアス電圧を小さくし、その周辺の空乏層DP(DP1-DP2)の幅は狭くされているため、空乏層の重なりは生じない。

【 0 0 5 3 】

図2(B)は、n型領域3からn型領域4に向かう仮想線に沿うポテンシャルを概略的に示す。チャンネル領域の空乏化されていない領域NDに対し、n型領域3の電位は $V_3$ の電位差を有し、n型領域4は $V_4$ の電位差を有する。電位差 $V_3$ が小さいため、その周辺の空乏層の広がり狭く、形成される電界も小さい。一方、n型領域4周辺の空乏層は十分発達し、電位差 $V_4$ により形成される電界E4の大きさも十分高い。従って、バンド間トンネル効果により発生したアバランシェブレイクダウンによる正孔は、十分加速されてホットホールとなり、メモリ位置Mbに注入されてそこに蓄積されていた電子を中和できる。

40

【 0 0 5 4 】

今、図1(A)の回路図において、トランジスタT13のメモリ位置Mbの電子を消去しようとする場合、ワード線WL1、ビット線BL4に上述の電圧を印加することになる。この時、メモリトランジスタT14のメモリ位置Maにも正孔を注入してしまう可能性がある。

50

## 【 0 0 5 5 】

図 1 ( G ) は、トランジスタ  $T_{14}$  での正孔注入を防止する方法を示す。消去を行ないたくないトランジスタに対しては、 $n$  型領域 3、 $n$  型領域 4 に同一の電圧を印加する。トランジスタ  $T_{14}$  の場合、 $n$  型領域 3 には約 + 6 V の電圧が印加されるため、 $n$  型領域 4 にも高レベルの正電圧 + 6 V を印加する。このような電圧印加により、図 6 ( B ) に示したように、 $n$  型領域 3、 $n$  型領域 4 から延在する空乏層同士が重なり、形成される電界が制限される。このため、正孔が十分高いエネルギーを得ることができなくなり、メモリ位置に対する正孔の注入が防止される。

## 【 0 0 5 6 】

なお、 $n$  型領域 4 に高レベルの電圧、たとえば + 6 V、を印加する代わりに、 $n$  型領域をフローティング状態とすることもできる。高レベルの電圧を印加された  $n$  型領域 3 周囲の空乏層が  $n$  型領域 4 に達し、 $n$  型領域 4 の電子が高レベルの電圧を印加された  $n$  型領域 3 へ流れると、 $n$  型領域 4 の電位を  $n$  型領域 3 の電位同等の電位に変化させる。 $n$  型領域 3 に高レベルの電圧を印加した場合と同様、消去動作が行なわれなくなる。

## 【 0 0 5 7 】

言い換えると、メモリトランジスタのゲートに低レベルまたは逆極性の電圧、一方の拡散層に高レベルの電圧を印加した時、この一方の拡散層に消去を行なう場合には、他方の拡散層に低レベルの電圧を印加し、消去を行なわない場合には、他方の拡散層に高レベルの電圧を印加するか浮遊状態とする。以下の実施例においても同様である。

## 【 0 0 5 8 】

不揮発性半導体メモリ装置において、記憶状態を更新するため、現在の記憶を全て消去することが望まれる場合がある。

## 【 0 0 5 9 】

図 3 ( A )、( B )、( C ) は、ブロック内の全記憶を消去する場合の方法を示す。ブロック内に多数個のメモリトランジスタ  $T$  が行列状に配置され、そのゲート電極はワード線  $W L 1$ 、 $W L 2$ 、 $W L 3$  . . . に接続されている。

## 【 0 0 6 0 】

又、隣接するトランジスタの隣接する  $n$  型領域は共通に接続され、各  $n$  型領域はビット線  $B L 1$ 、 $B L 2$ 、 $B L 3$  . . . に接続されている。ワード線  $W L$  はワード線ドライバ  $W D$  に接続され、ビット線  $B L$  はビット線ドライバ  $B D$  に接続されている。

## 【 0 0 6 1 】

全ての記憶を消去する場合、先ず全メモリ位置に電子を蓄積する。

## 【 0 0 6 2 】

図 3 ( A ) は全メモリ位置に電子が蓄積されている状態を示す。次に、全てのワード線  $W L 1$ 、 $W L 2$ 、 $W L 3$  . . . に所定の負電位、例えば - 5 V を印加し、1 つおきのビット線、例えば偶数番目のビット  $B L 2$ 、 $B L 4$  . . . に所定の正電位例えば + 6 V を印加し、奇数番目のビット線  $B L 1$ 、 $B L 3$  . . . に接地電位を印加する。

## 【 0 0 6 3 】

このような電圧印加により、高電位を印加されたビット線  $B L 2$ 、 $B L 4$ 、. . . に接続されたメモリ位置には正孔が注入され、記憶されていた電子を中和する。

## 【 0 0 6 4 】

図 3 ( B ) は、このようにして偶数番目のビット線近傍のメモリ位置が全て消去された状態を示す。次に、奇数番目のビット線  $B L 1$ 、 $B L 3$ 、. . . に所定の正電位例えば + 6 V を印加し、偶数番目のビット線  $B L 2$ 、 $B L 4$ 、. . . を接地電位に接続する。ワード線  $W L$  には所定の負電位、例えば - 5 V を印加する。このような電圧印加により、奇数番目のビット線に隣接するメモリ位置に正孔が注入され、記憶されていた電子を中和する。

## 【 0 0 6 5 】

図 3 ( C ) は、このようにして奇数番目のビット線に隣接するメモリ位置の記憶が消去された状態を示す。以上説明した 2 段階の消去動作により、ブロック内の全てのメモリ位置が消去され、初期化される。

10

20

30

40

50



## 【 0 0 6 6 】

書込みを行なう時のプログラミング電圧および消去を行なう時のプログラミング電圧は、同一箇所に電子および正孔を注入するように選択されている。しかしながら、注入した電子がその後の熱ストレスなどにより移動することもある。又、プログラミング電圧の変動により、注入される位置が変更されてしまうこともあり得る。

## 【 0 0 6 7 】

図 4 (A) は、このようにして所定のメモリ位置以外にも電子が記憶されてしまった状態を示す。M b は所定のメモリ位置であり、これに隣接する位置 M b b は何らかの原因により変動して電子が記憶されてしまった位置を示す。このように、記憶された電子が所定位置以外にも分布してしまうと、消去動作を行なっても変更されたメモリ位置 M b b の電子は消去できない。

10

## 【 0 0 6 8 】

図 4 (B) は、n 型領域 3 を接地し、ゲート電極 9 に所定の負電圧を印加し、n 型領域 4 に複数の正電位を印加した場合の状態を示す。n 型領域 4 に所定の消去用プログラミング電圧を印加すると、n 型領域 4 の p n 接合周辺に空乏層 D P 3 a - D P 4 a が形成される。この時、所定のメモリ位置 M b に正孔が注入され、その電子を中和する。しかしながら、この動作によっては変動したメモリ位置 M b b の電子は中和できない。

## 【 0 0 6 9 】

n 型領域 4 に印加する正電圧を増大させる。印加した正電圧の増大により、空乏層は D P 3 b - D P 4 b のように広がる。すると、空乏層の広がりに応じ、注入される正孔位置もチャンネル中央部へと変更される。注入位置を変更された正孔は、変更されたメモリ位置 M b b に注入され、その電子を中和する。

20

## 【 0 0 7 0 】

図 4 (C) は、図 4 (B) におけるポテンシャル分布を概略的に示す。所定の消去用プログラミング電圧を印加した時の伝導帯のポテンシャル C B および価電子帯 V B のポテンシャルを破線で示し、n 型領域 4 に増大した正電位を印加した時のポテンシャルをそれぞれ実線で示す。印加電圧を増加することにより、n 型領域 4 周辺の空乏層が広がり、形成される電界 E 4 が増加する。

## 【 0 0 7 1 】

記憶された電荷が所定の位置以外にも分布している場合には、所定の消去動作を行なっても消去後の特性が設計されたものとは異なるものとなる。このような異常を検出した時は、上述の修正消去動作を行なうことにより、変更された位置に注入された電荷を消去することができる。なお、注入された電荷位置が、n 型領域 3, 4 側 ( 外側 ) にずれた場合は、読み出し時のチャンネル形成には影響しないので問題とならない。

30

## 【 0 0 7 2 】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば種々の変更、改良、組み合わせが可能なのは当業者に自明であろう。

## 【 0 0 7 3 】

## 【 発明の効果 】

以上説明したように、本発明によれば、製造が容易で信頼性が高い不揮発性半導体メモリ装置が提供される。

40

## 【 0 0 7 4 】

又、1セル当たり2ビットを記憶することができ、製造工程が簡単で信頼性の高い半導体装置を提供することができる。

## 【 0 0 7 5 】

又、このような不揮発性半導体メモリ装置の新規な制御方法が提供される。

## 【 図面の簡単な説明 】

【 図 1 】 本発明の実施例による不揮発性半導体メモリ装置およびその動作を説明するための回路図および概略断面図である。

【 図 2 】 図 1 のメモリ素子の動作を説明するための概略断面図およびポテンシャルダイ

50

アグラムである。

【図3】 図1の実施例のブロック消去動作を説明するための概略回路図である。

【図4】 本発明の他の実施例による消去動作を説明するための概略断面図およびポテンシャルダイアグラムである。

【図5】 従来の技術による1セル当り2ビットを記憶することのできる不揮発性半導体メモリ装置を示す断面図および本発明者の解析によるその消去動作を説明するポテンシャルダイアグラムおよび回路図である。

【図6】 図5(A)に示す不揮発性半導体メモリ装置を短チャネル化した時に生じる問題を説明するための概略断面図およびポテンシャルダイアグラムである。

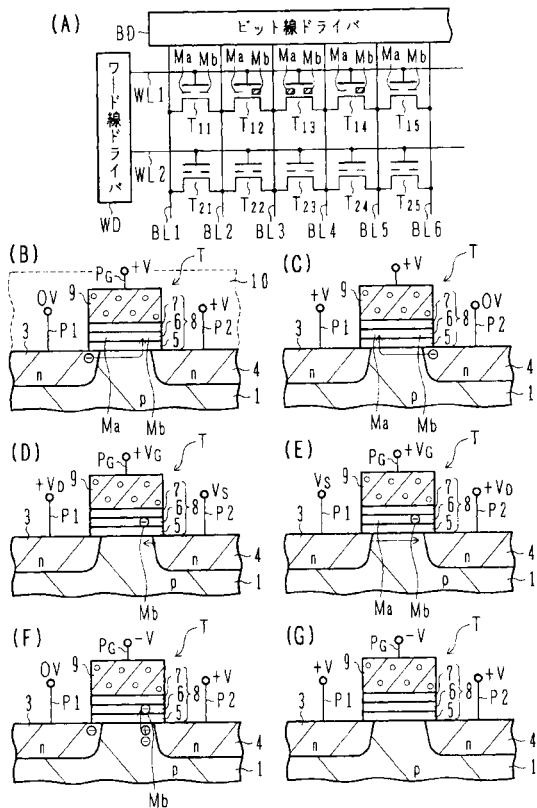
【符号の説明】

- 1 半導体基板
- 3, 4 n型領域
- 5, 7 酸化シリコン層
- 6 窒化シリコン層
- 8 ゲート絶縁膜
- 9 ゲート電極
- 10 層間絶縁膜
- Ma, Mb メモリ位置
- T メモリトランジスタ
- WL ワード線
- BL ビット線

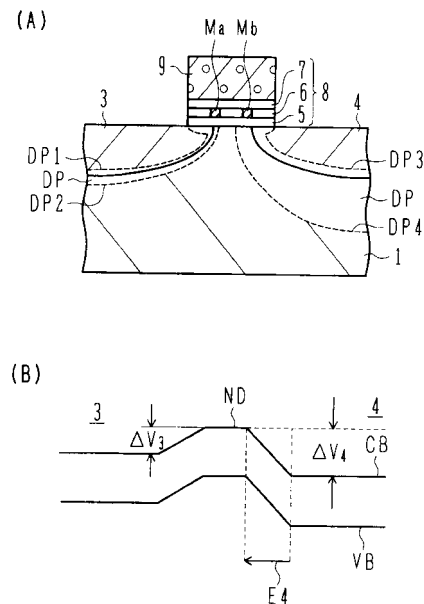
10

20

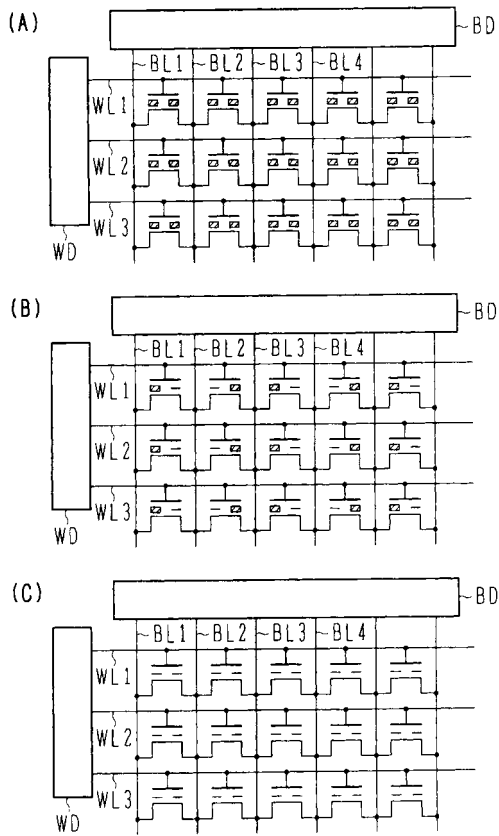
【図1】



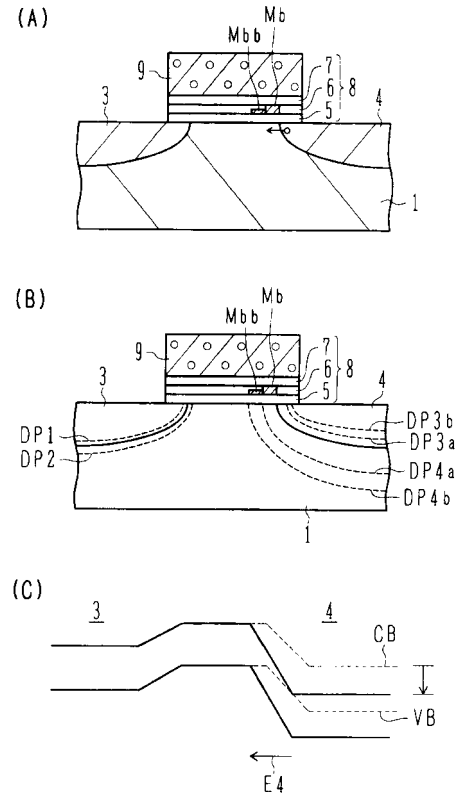
【図2】



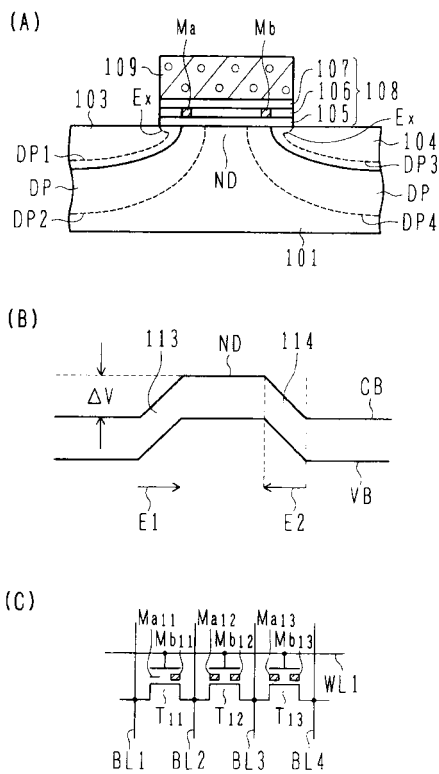
【 図 3 】



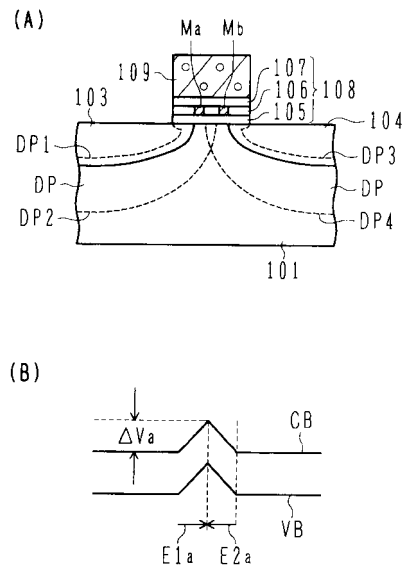
【 図 4 】



【 図 5 】



【 図 6 】



## フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 29/788 (2006.01) H 0 1 L 27/10 4 8 1  
H 0 1 L 29/792 (2006.01) H 0 1 L 29/78 3 7 1

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 飯島 光輝

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 正山 旭

(56)参考文献 特開平05-326893(JP,A)  
特開平06-350098(JP,A)  
国際公開第99/007000(WO,A1)  
特表平11-500559(JP,A)  
特表2000-515327(JP,A)  
国際公開第98/006101(WO,A1)  
特開2001-156189(JP,A)  
特表2001-512290(JP,A)

(58)調査した分野(Int.Cl.,DB名)

H01L 21/8247

G11C 16/02

G11C 16/04

H01L 27/10

H01L 27/115

H01L 29/788

H01L 29/792