



(12)发明专利申请

(10)申请公布号 CN 111524809 A

(43)申请公布日 2020.08.11

(21)申请号 201910851158.2

H01L 29/739(2006.01)

(22)申请日 2019.09.10

H01L 29/78(2006.01)

(30)优先权数据

H01L 29/861(2006.01)

2019-018140 2019.02.04 JP

(71)申请人 株式会社 东芝

地址 日本东京都

(72)发明人 西尾让司 太田千春 饭岛良介

(74)专利代理机构 北京市中咨律师事务所

11247

代理人 张轶楠 段承恩

(51)Int.Cl.

H01L 21/331(2006.01)

H01L 21/336(2006.01)

H01L 21/329(2006.01)

H01L 29/10(2006.01)

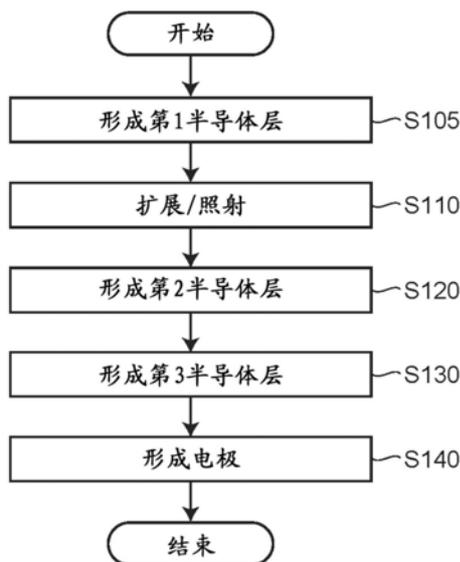
权利要求书2页 说明书12页 附图8页

(54)发明名称

半导体装置及其制造方法、基板及其制造方法和制造装置

(57)摘要

能够提供一种能使特性稳定的半导体装置及其制造方法、基板及其制造方法和制造装置。根据实施方式,半导体装置的制造方法包括如下第1工序:使设置在包含碳化硅的基体上的第1半导体层的堆垛层错扩展,所述第1半导体层包含碳化硅和第1元素,所述第1元素包含选自N、P以及As中的至少一种。所述制造方法包括如下第2工序:在第1工序后在所述第1半导体层上形成包含碳化硅和所述第1元素的第2半导体层。所述制造方法包括如下第3工序:在所述第2半导体层上形成包含碳化硅和第2元素的第3半导体层,所述第2元素包含选自B、Al以及Ga中的至少一种。



1. 一种半导体装置的制造方法,包括:

第1工序,使设置在包含碳化硅的基体上的第1半导体层的堆垛层错扩展,所述第1半导体层包含碳化硅和第1元素,所述第1元素包含选自N、P以及As中的至少一种;

第2工序,在第1工序后在所述第1半导体层上形成包含碳化硅和所述第1元素的第2半导体层;以及

第3工序,在所述第2半导体层上形成包含碳化硅和第2元素的第3半导体层,所述第2元素包含选自B、Al以及Ga中的至少一种。

2. 根据权利要求1所述的半导体装置的制造方法,

所述第1工序包括对所述第1半导体层照射选自紫外线和电子射线中的至少一种。

3. 一种半导体装置的制造方法,包括:

第1工序,对设置在包含碳化硅的基体上的第1半导体层照射选自紫外线和电子射线中的至少一种,所述第1半导体层包含碳化硅和第1元素,所述第1元素包含选自N、P以及As中的至少一种;

第2工序,在第1工序后在所述第1半导体层上形成包含碳化硅和所述第1元素的第2半导体层;以及

第3工序,在所述第2半导体层上形成包含碳化硅和第2元素的第3半导体层,所述第2元素包含选自B、Al以及Ga中的至少一种。

4. 根据权利要求1所述的半导体装置的制造方法,

还包括在所述基体上形成所述第1半导体层的工序,

形成所述第1半导体层的所述工序在第1处理室中实施,

所述第1工序在所述第1处理室中实施,

所述第2工序在所述第1处理室中实施。

5. 根据权利要求1所述的半导体装置的制造方法,

还包括在所述基体上形成所述第1半导体层的工序,

形成所述第1半导体层的所述工序、所述第1工序以及所述第2工序不经过大气压状态而在减压状态下实施。

6. 根据权利要求1所述的半导体装置的制造方法,

所述第1半导体层外延生长在所述基体上,

所述第2工序包括使所述第2半导体层外延生长在所述第1半导体层上。

7. 一种基板的制造方法,包括:

第1工序,对设置在包含碳化硅的基体上的第1半导体层照射选自紫外线和电子射线中的至少一种,所述第1半导体层包含碳化硅和第1元素,所述第1元素包含选自N、P以及As中的至少一种;和

第2工序,在第1工序后在所述第1半导体层上形成包含碳化硅和所述第1元素的第2半导体层。

8. 一种半导体装置,具备:

第1半导体层,其包含碳化硅和第1元素,所述第1元素包含选自N、P以及As中的至少一种;

第2半导体层,其包含碳化硅和所述第1元素;以及

第3半导体层,其包含碳化硅和第2元素,所述第2元素包含选自B、Al以及Ga中的至少一种,

所述第2半导体层位于所述第1半导体层与所述第3半导体层之间,

所述第1半导体层包含堆垛层错,

所述堆垛层错包含沿着<-1100>方向的第1边,

所述第1边与所述第2半导体层相接。

9. 一种基板,具备:

基体,其包含碳化硅;

第1半导体层,其包含碳化硅和第1元素,所述第1元素包含选自N、P以及As中的至少一种;以及

第2半导体层,其包含碳化硅和所述第1元素,

所述第1半导体层位于所述基体与所述第2半导体层之间,

所述第1半导体层包含堆垛层错,

所述堆垛层错包含沿着<-1100>方向的第1边,

所述第1边与所述第2半导体层相接。

10. 一种基板的制造装置,具备:

处理室,其包括能够导入碳化硅的原料气体的导入口;

台,其设置在所述处理室内,供放置包括第1半导体层的处理体;以及

照射部,其能够以450℃以下的第1温度对所述第1半导体层照射选自紫外线和电子射线中的至少一种。

半导体装置及其制造方法、基板及其制造方法和制造装置

[0001] 本申请以日本专利申请2019-018140(申请日2019年2月4日)为基础,根据该申请享有优先利益。本申请通过参照该申请而包含该申请的全部内容。

技术领域

[0002] 一般而言,本发明的实施方式涉及半导体装置的制造方法、基板的制造方法、半导体装置、基板以及基板的制造装置。

背景技术

[0003] 例如,存在使用了包含碳化硅(SiC)的基板的半导体装置。在半导体装置中,希望稳定的特性。

发明内容

[0004] 本发明的实施方式提供一种能够使特性稳定的半导体装置的制造方法、基板的制造方法、半导体装置、基板以及基板的制造装置。

[0005] 用于解决课题的技术方案

[0006] 根据本发明的实施方式,半导体装置的制造方法包括如下第1工序:使设置在包含碳化硅的基体上的第1半导体层的堆垛层错扩展,所述第1半导体层包含碳化硅和第1元素,所述第1元素包含选自N、P以及As中的至少一种。所述制造方法包括如下第2工序:在第1工序后在所述第1半导体层上形成包含碳化硅和所述第1元素的第2半导体层。所述制造方法包括如下第3工序:在所述第2半导体层上形成包含碳化硅和第2元素的第3半导体层,所述第2元素包含选自B、Al以及Ga中的至少一种。

[0007] 根据上述构成的半导体装置的制造方法,能够提供能使特性稳定的半导体装置的制造方法、基板的制造方法、半导体装置、基板以及基板的制造装置。

附图说明

[0008] 图1是对第1实施方式涉及的半导体装置的制造方法进行例示的流程图。

[0009] 图2的(a)~图2的(e)是对第1实施方式涉及的半导体装置的制造方法进行例示的示意图。

[0010] 图3的(a)~图3的(d)是对第1实施方式涉及的半导体装置的制造方法进行例示的示意图。

[0011] 图4的(a)~图4的(e)是对半导体装置的状态进行例示的示意图。

[0012] 图5的(a)~图5的(e)是对半导体装置的状态进行例示的示意图。

[0013] 图6是对第3实施方式涉及的半导体装置进行例示的示意性剖面图。

[0014] 图7是对第3实施方式涉及的半导体装置进行例示的示意性剖面图。

[0015] 图8是对第3实施方式涉及的半导体装置进行例示的示意性剖面图。

[0016] 图9是对第5实施方式涉及的基板的制造装置进行例示的示意性剖面图。

[0017] 标号说明

[0018] 10 第1半导体层;10a 第1面;10s、10sA 基体;20 第2半导体层;20A、20B 结终端区域(junction terminal region);20a 第1部分区域;20b 第2部分区域;30 第3半导体层;30c 第3部分区域;30d 第4部分区域;30e 第5部分区域;40 第4半导体层;51~53 第1电极~第3电极;61 绝缘部;71、71x 基底面位错;72 堆垛层错;72a~72d 边;75 能量射线;81 处理室;82 台;83 照射部;84 遮光器(shutter);85 导入口;86 排出口; θ 角度;120、121、131 半导体装置;210、211 基板;510 制造装置;L1、L2 长度;t1 厚度。

具体实施方式

[0019] 以下,参照附图对本发明的各实施方式进行说明。

[0020] 附图是示意性或者概念性的,各部分的厚度和宽度的关系、部分间的大小的比率等不一定限于与现实情况相同。即使是在表示相同的部分的情况下,有时也根据附图而以相互的尺寸、比率不同的方式进行表示。

[0021] 在本申请说明书和各图中,对与关于已经出现过的附图而在先描述过的要素同样的要素标注同一标号,适当省略详细的说明。

[0022] (第1实施方式)

[0023] 图1是对第1实施方式涉及的半导体装置的制造方法进行例示的流程图。

[0024] 如图1所示,实施方式涉及的半导体装置的制造方法包括第1工序(步骤S110)、第2工序(步骤S120)以及第3工序(步骤S130)。实施方式涉及的制造方法也可以还包括其他工序(其他步骤)。

[0025] 在第1工序中,例如对第1半导体层照射选自紫外线和电子射线中的至少一种(步骤S110)。第1半导体层例如设置在包含碳化硅的基体上。第1半导体层包含碳化硅和第1元素,所述第1元素包含选自N、P以及As中的至少一种。第1半导体层例如是n型。

[0026] 在第1工序中,例如使第1半导体层的堆垛层错扩展。例如,通过对第1半导体层照射紫外线或者电子射线等,在第1半导体层中堆垛层错会扩展。

[0027] 在第2工序中,在第1工序后在第1半导体层上形成第2半导体层(步骤S120)。第2半导体层包含碳化硅和上述的第1元素。第2半导体层例如是n型。

[0028] 在第3工序中,在第2半导体层上形成第3半导体层(步骤S130)。第3半导体层包含碳化硅和第2元素,所述第2元素包含选自B、Al以及Ga中的至少一种。第3半导体层例如是p型。

[0029] 在实施方式中,制造方法也可以还包括在上述的基体上形成第1半导体层的工序(步骤S105)。在实施方式中,制造方法也可以还包括形成电极的工序(步骤S140)。

[0030] 在实施方式中,在第1工序中,通过对第1半导体层照射紫外线或者电子射线等,使第1半导体层中的堆垛层错扩展,然后,形成第2半导体层。堆垛层错在第2半导体层中实质上不扩展。由此,能够使半导体装置的特性稳定。

[0031] 以下,对实施方式涉及的半导体装置的制造方法的例子进行说明。

[0032] 图2的(a)~图2的(e)以及图3的(a)~图3的(d)是对第1实施方式涉及的半导体装置的制造方法进行例示的示意图。

[0033] 图2的(a)、图2的(c)、图3的(a)以及图3的(c)是俯视图。图2的(b)、图2的(d)、图2

的(e)、图3的(b)以及图3的(d)是剖面图。图2的(b)是与图2的(a)对应的剖面图。图2的(d)是与

[0034] 图2的(c)对应的剖面图。图3的(b)是与图3的(a)对应的剖面图。

[0035] 图3的(d)是与图3的(c)对应的剖面图。

[0036] 如图2的(a)以及图2的(b)所示,准备基体10s。基体10s包含碳化硅(SiC)。基体10s例如是SiC基板。基体10s例如是SiC块状单晶(bulk single crystal)基板。在一个例子中,基体10s所包含的SiC是4H-SiC。

[0037] 将与基体10s的表面(上表面)垂直的方向作为Z轴方向。将与Z轴方向垂直的一个方向作为X轴方向。将与Z轴方向以及X轴方向垂直的方向作为Y轴方向。基体10s沿着X-Y平面扩展。

[0038] 例如,在基体10s中存在基底面位错71(BPD:basal plane dislocation)。基底面位错71沿着基体10s的{0001}面。基底面位错71沿着SiC的[11-20]方向传播。在符号“[11-20]”中,“-”表示对“-”之后的数字标注“上方横杠(bar)”。

[0039] 基体10s的表面(上表面)也可以相对于基体10s的SiC的{0001}面倾斜。

[0040] 如图2的(c)以及图2的(d)所示,在这样的基体10s上设置有第1半导体层10。例如,通过外延生长形成第1半导体层10。第1半导体层10包含与基体10s的基底面位错71连续的基底面位错71x。

[0041] 如图2的(e)所示,对第1半导体层10照射能量射线75。能量射线75包含选自紫外线和电子射线中的至少一种。通过照射能量射线75,如以下要说明的那样,使基于基底面位错71x的堆垛层错扩展。例如,能量射线75的照射与第1工序对应。

[0042] 图3的(a)以及图3的(b)例示了基于基底面位错71x的堆垛层错72扩展后的状态。如图3的(a)所示,堆垛层错72在X-Y平面内实质上为三角形(或者梯形形状)。三角形(或者梯形)的一条边72a(短边)与基底面位错71x相连。三角形(或者梯形)的另一边72d(长边)沿着与基底面位错71x的延长方向实质上垂直的方向。如图3的(b)所示,边72d实质上到达第1半导体层10的上表面。三角形(或者梯形)的另一边72c(斜边)与边72d之间的角度实质上为30度。该角度是基于SiC的晶体结构的角度。

[0043] 例如,当图2的(e)所例示的第1工序的时间足够长时,堆垛层错72充分扩展,堆垛层错72的形状实质上成为三角形。例如,当第1工序的时间短时,成为堆垛层错72的扩展处于中途的状态,堆垛层错72的形状成为梯形形状。

[0044] 如图3的(c)以及图3的(d)所示,在第1半导体层10上形成第2半导体层20。第2半导体层20在第1半导体层10上外延生长。堆垛层错72停留在第1半导体层10中。基底面位错71虽然在第1半导体层10中传播,但在第2半导体层20中实质上不传播。由此,在第2半导体层20中能得到缺陷少、良好的晶体。

[0045] 如图3的(d)所示,堆垛层错72的边72d(三角形的长边)与第1半导体层10和第2半导体层20之间的界面相接。

[0046] 如图3的(d)所示,第1半导体层10包含与第2半导体层相对向的第1面10a。例如,第1面10a相对于SiC的{0001}面倾斜。将第1面10a与{0001}面之间的角度设为角度 θ 。角度 θ 例如为1度以上且10度以下。在一个例子中,角度 θ 约为4度。在本申请的附图中,为了容易观察,有时角度 θ 描绘得较大。

[0047] 在实施方式中,在第1工序中,使基于基体10s的基底面位错71传播所产生的基底面位错71x的堆垛层错72扩展。堆垛层错72的扩展例如通过能量射线75的照射来进行。堆垛层错72的扩展在第1半导体层10中结束。进一步,形成第2半导体层20。由此,能得到第1半导体层10包含堆垛层错72、第2半导体层20实质上不包含堆垛层错72的结构。

[0048] 第1半导体层10中的堆垛层错72小。因此,对正向电压 V_f 实质上不产生影响。在实施方式中,能抑制正向电压 V_f 的变动,正向电压 V_f 变为稳定。

[0049] 堆垛层错72例如与“1SSF”(single Shockley Stacking Fault,单肖克莱堆垛层错)对应。在实施方式中,例如在SiC膜(第1半导体层10以及第2半导体层20)的外延生长时的初期使成长中断。即形成第1半导体层10。并且,对由以基体10s的基底面位错71为基础的基底面位错71x引起的贯通基底面位错进行激励来形成“1SSF”。作为激励,例如照射能量射线75。在“1SSF”的端部,Si核局部位错(Si Core-Partial dislocation)实质上消失。由此,能抑制可动位错。此后,使第2半导体层20外延生长。第2半导体层20的至少一部分与半导体装置的漂移层(drift layer)对应。根据上述的制造方法,能够抑制漂移层中的堆垛层错72。

[0050] 在实施方式中,在第1半导体层10中生成小面积的“1SSF”。该“1SSF”被固定化(不可动)。“1SSF”相对于厚的漂移层整体非常小,因此,给电特性带来的影响实质上能够忽视。

[0051] 一般而言,在基于SiC的功率器件中,通过工作中的电流注入,产生超过阈值密度的空穴的注入,堆垛层错72会容易扩展。由此,存在例如正向电压 V_f 会变动的情况。

[0052] 在实施方式中,可动位错实质上消失。“1SSF”被固定化。因此,能抑制因电流注入而缺陷扩展。能得到稳定的正向电压 V_f 。能得到能够使特性稳定的半导体装置(功率器件)。

[0053] 以下,对堆垛层错72扩展的例子进行说明。

[0054] 图4的(a)~图4的(e)是对半导体装置的状态进行例示的示意图。

[0055] 图4的(a)~图4的(d)是对堆垛层错72的扩展进行例示的显微镜照片图像。如图4的(a)所示,在能量射线75照射的初始阶段,能观察到基底面位错71x(基体10s的基底面位错71传播而产生的位错)。如

[0056] 图4的(b)所示,当照射时间变长时,堆垛层错72在Y轴方向上扩展,成为梯形形状。边72a例如与C核的PD(partial dislocation,局部位错)对应。边72b与Si核的PD对应。

[0057] 如图4的(c)所示,当照射时间进一步变长时,堆垛层错72在Y轴方向上进一步扩展,梯形的高度变长。如图4的(d)所示,当照射时间进一步变长时,堆垛层错72在Y轴方向上进一步扩展,实质上成为三角状。当堆垛层错72充分扩展时,边72b(Si核的PD)消失或者变为非常小。由于可动的Si核的PD消失或者变为非常小,因此在堆垛层错72中,扩展后的状态变稳定,实质上状态不变化。

[0058] 例如,如图4的(e)所示,在X-Y平面内(投影到X-Y平面时),堆垛层错72实质上为三角形。在三角形中,长边(边72d)的长度实质上为短边(边72a)的长度的2倍。

[0059] 存在不形成第1半导体层10、不进行照射的参考例。在该参考例中,在基体10s上外延生长第2半导体层20。在该情况下,堆垛层错72会在第2半导体层20的厚度方向的整体上扩展。例如,Si核的PD到达第2半导体层20的上表面。当在这样的第2半导体层20上形成第3半导体层时,可动的Si核的PD会到达第2半导体层20与第3半导体层之间的界面。因此,在工作中,堆垛层错72的状态会变化,特性容易变动。

[0060] 与此相对,在实施方式中,堆垛层错72在第1半导体层10中扩展,在第2半导体层20中实质上不扩展。并且,可动的Si核的PD消失或者变得非常小。因此,能抑制特性的变动。

[0061] 图5的(a)~图5的(e)是对半导体装置的状态进行例示的示意图。

[0062] 图5的(a)~图5的(d)是对在第1工序后得到的堆垛层错72的状态进行例示的示意性俯视图。图5的(e)例示了晶体取向。在上述的角度 θ (参照图3的(d))例如小到10度以下的情况下,在沿着Z轴方向观察时,堆垛层错72的三角形的顶角可以视为30度。

[0063] 图5的(a)以及图5的(b)例示了堆垛层错72充分扩展后的状态。在该情况下,堆垛层错72实质上成为三角形。三角形的长边的长度L1实质上为短边的长度L2的2倍。

[0064] 图5的(c)以及图5的(d)例示了堆垛层错72的扩展处于中途的状态。在该情况下,堆垛层错72成为梯形。在实施方式中,堆垛层错72的俯视形状也可以是梯形。梯形的长边的长度L1例如为短边的长度L2的1.6倍以上且2倍以下。

[0065] 在实施方式中,在第2工序(步骤S120:形成第2半导体层20)中,例如,应用台阶流动(step flow)为优势的生成模式。例如,在第2半导体层20的形成中使用的原料气体所包含的碳原子的数量相对于该原料气体所包含的硅原子的数量之比(C/Si)被设定得比较低。在实施方式中,比(C/Si)例如为0.8以下。由此,台阶流动成为优势,能抑制基底面位错71在第2半导体层20中传播。也可以通过在含有氢的气氛下的处理,使基底面位错变换为贯通刃型位错。由此,基底面位错71减少。

[0066] 在实施方式中,第1工序(照射)例如在450°C以下进行实施。例如,当在高温下进行照射时,有时堆垛层错72的扩展会变得不稳定,扩展后的堆垛层错72会缩小。通过低温下的照射,堆垛层错72的扩展会稳定。能抑制缩小。

[0067] 在实施方式中,图1所例示的各步骤也可以连续地在一个处理室(腔室)中进行。例如在实施在基体10s上形成第1半导体层10的工序(步骤S105)的情况下,形成第1半导体层10的工序在第1处理室中进行实施。第1工序(步骤S110)也可以在该第1处理室中进行实施。第2工序(步骤S120)也可以在该第1处理室中进行实施。由此,能抑制各层的表面的污染等,能得到良好的结晶质量。也可以在该第1处理室中实施第3工序(步骤S130)。

[0068] 例如,这些工序也可以在减压状态下连续地进行实施。例如,形成第1半导体层10的工序(步骤S105)、第1工序(步骤S110)以及第2工序(步骤S120)也可以不经过大气压状态而在减压状态下进行实施。进而,第3工序(步骤S130)也可以与第2工序连续地不经过大气压状态而在减压状态下进行实施。

[0069] 在实施方式中,第1半导体层10的厚度例如为第2半导体层20的厚度的1/2以下。在第1半导体层10中,堆垛层错72扩展。当第1半导体层10的厚度过厚时,扩展后的堆垛层错72的面积会变大。通过减薄第1半导体层10,能够减小扩展后的堆垛层错72的面积。由此,能够抑制对特性带来的影响。

[0070] 例如,第1半导体层10的厚度为100nm以上且2 μ m以下。第2半导体层20的厚度为3 μ m以上且100 μ m以下。

[0071] 在实施方式中,第1工序例如包括堆垛层错72的扩展。第1工序例如包括能量射线75的照射。如已经说明过的那样,能量射线75包含选自紫外线和电子射线中的至少一种。能量射线75例如是从水银氙气灯射出的。能量射线75例如也可以从氦镉激光器射出。

[0072] 在实施方式中,第1半导体层10在基体10s上外延生长。第2工序包括使第2半导体

层20在第1半导体层10上外延生长。实施方式涉及的制造方法也可以还包括形成与第2半导体层20电连接的第1电极和与第3半导体层电连接的第2电极的工序(步骤S140)。关于这些电极的例子,将在后面进行描述。

[0073] (第2实施方式)

[0074] 第2实施方式涉及基板的制造方法。

[0075] 该制造方法包括第1工序(图1的步骤S110)以及第2工序(图1的步骤S120)。如已经说明过的那样,在第1工序中,对第1半导体层10照射选自紫外线和电子射线中的至少一种(例如能量射线75)。通过照射来使堆垛层错72扩展。第1半导体层10设置在包含碳化硅的基体上。第1半导体层10包含碳化硅和第1元素,所述第1元素包含选自N、P以及As中的至少一种。

[0076] 在第2工序中,在第1工序后在第1半导体层10上形成第2半导体层20。第2半导体层20包含碳化硅和第1元素。

[0077] 根据这样的制造方法,在第1工序中,能够在第1半导体层10中使堆垛层错72扩展。能够使堆垛层错72为稳定的状态。

[0078] 根据本实施方式,能够得到能使特性稳定的基板的制造方法。通过使用利用这样的制造方法得到的基板来形成例如第3半导体层等,能够制造半导体装置。

[0079] (第3实施方式)

[0080] 第3实施方式涉及半导体装置。

[0081] 图6是对第3实施方式涉及的半导体装置进行例示的示意性剖面图。

[0082] 如图6所示,实施方式涉及的半导体装置120包括第1半导体层10、第2半导体层20以及第3半导体层30。

[0083] 第1半导体层10包含碳化硅以及第1元素。第1元素包含选自N、P以及As中的至少一种。第1半导体层10是n型的SiC。第2半导体层20包含碳化硅以及第1元素。第2半导体层20是n型的SiC。第3半导体层30包含碳化硅以及第2元素。第2元素包含选自B、Al以及Ga中的至少一种。第3半导体层30是p型的SiC。第2半导体层20位于第1半导体层10与第3半导体层30之间。

[0084] 第1半导体层10包含堆垛层错72。堆垛层错72包括第1边(边72d)。第1边沿着 $\langle -1100 \rangle$ 方向($[-1100]$ 方向或者 $[1-100]$ 方向)。如图5的(a)~图5的(e)所示,第1边(边72d)沿着 $[-1100]$ 方向或者 $[1-100]$ 方向。如图6所示,该第1边(边72d)与第2半导体层20相接。

[0085] 在半导体装置120中,第1半导体层10中的堆垛层错72扩展,第1边(边72d)成为与第2半导体层20相接的状态。堆垛层错72被固定化。在半导体装置120中,例如实质上不会发生堆垛层错72的进一步的扩展。例如,能得到稳定的正向电压 V_f 。

[0086] 在实施方式中,堆垛层错72除包含第1边(边72d)之外还包含边72a(参照图5的(a)~图5的(d))。如已经说明过的那样,边72d的长度为边72a的长度的1.6倍以上且2倍以下。

[0087] 在实施方式中,第1半导体层10包含与第2半导体层20相对向的第1面10a。将第1面10a与 $\{0001\}$ 面之间的角度作为角度 θ 。角度 θ 与第1面10a和基底面位错71之间的角度对应。

[0088] 第1半导体层10具有厚度 t_1 。厚度 t_1 与垂直于第1面10a的第1方向(Z轴方向)上的厚度对应。

[0089] 将第1边(边72d)的沿着第1面10a的长度作为第1长度。第1长度例如与图5的(a)所

例示的长边的长度L1对应。第1长度为 $2 \times t_1 / (\tan(\theta))$ 以下。第1长度为 $2 \times t_1 / (\tan(\theta))$ 以下。这与堆垛层错72停留在第1半导体层10中、在第2半导体层20中不扩展对应。

[0090] 如已经说明过的那样,例如在扩展处于中途的阶段,堆垛层错72也可以为梯形形状。在该情况下,第1长度比 $2 \times t_1 / (\tan(\theta))$ 短。例如,第1长度为 $2 \times t_1 / (\tan(\theta))$ 的0.8倍以上且1倍以下。

[0091] 堆垛层错72包含沿着 $\langle 11-20 \rangle$ 方向的第2边。第2边与边72a对应。如图5的(a)~图5的(d)所示,边72a沿着 $[11-20]$ 方向或者 $[-1-120]$ 方向。

[0092] 将第2边(边72a)的沿着第1面10a的长度作为第2长度。第2长度与图5的(a)所例示的短边的长度L2对应。第2长度为 $t_1 / (\tan(\theta))$ 以下。

[0093] 堆垛层错72也可以为梯形形状。在该情况下,第2长度为 $t_1 / (\tan(\theta))$ 的0.8倍以上且1倍以下。

[0094] 这样的堆垛层错72实质上被固定化。能得到稳定的特性。

[0095] 在实施方式中,半导体装置120也可以还包括基体10s。基体10s包含碳化硅。在基体10s与第2半导体层20之间具有第1半导体层10。例如,第1半导体层10中的第1元素的浓度处于基体10s中的第1元素的浓度与第2半导体层20中的第1元素的浓度之间。

[0096] 例如,基体10s中的第1元素的浓度例如为 $2 \times 10^{18} \text{cm}^{-3}$ 以上且 $8 \times 10^{18} \text{cm}^{-3}$ 以下(例如 $5 \times 10^{18} \text{cm}^{-3}$ 左右)。

[0097] 例如,第1半导体层10中的第1元素的浓度例如为 $2 \times 10^{17} \text{cm}^{-3}$ 以上且 $8 \times 10^{17} \text{cm}^{-3}$ 以下(例如 $5 \times 10^{17} \text{cm}^{-3}$ 左右)。

[0098] 例如,第2半导体层20中的第1元素的浓度例如为 $1 \times 10^{15} \text{cm}^{-3}$ 以上且 $2 \times 10^{16} \text{cm}^{-3}$ 以下(例如 $3 \times 10^{15} \text{cm}^{-3}$ 左右)。

[0099] 如图6所示,半导体装置120也可以还包括第1电极51、第2电极52、第3电极53、绝缘部61以及第4半导体层40。第4半导体层40例如包含n型的SiC。

[0100] 第1电极51与第1半导体层10电连接。第2电极52与第3半导体层30电连接。

[0101] 第2半导体层20例如是漂移层。第2半导体层20包括第1部分区域20a以及第2部分区域20b。从第2部分区域20b朝向第1部分区域20a的方向与第1方向(Z轴方向)交叉。

[0102] 在第1方向上,在第1部分区域20a与第4半导体层40之间具有第3半导体层30的一部分。第3半导体层30包括第3部分区域30c、第4部分区域30d以及第5部分区域30e。在第1方向上,在第4半导体层40与第1部分区域20a之间具有第3部分区域30c。在与第1方向(Z轴方向)交叉的方向上,在第2部分区域20b与第5部分区域30e之间具有第4半导体层40。在与第1方向(Z轴方向)交叉的方向上,在第2部分区域20b与第4半导体层40之间具有第4部分区域30d。

[0103] 从第2部分区域20b朝向第3电极53的方向沿着第1方向(Z轴方向)。绝缘部61的至少一部分位于第2部分区域20b与第3电极53之间。

[0104] 第1电极51例如是漏电极。第2电极52例如是源电极。第3电极53例如是栅电极。绝缘部61例如是栅极绝缘膜。在基体10s为n型的情况下,半导体装置120是MOSFET。

[0105] 图7是对第3实施方式涉及的半导体装置进行例示的示意性剖面图。

[0106] 如图7所示,在实施方式涉及的半导体装置121中,基体10sA为p型。半导体装置121的除此以外的构成与半导体装置120的构成相同。半导体装置121例如是IGBT(Insulated

Gate Bipolar Transistor, 绝缘栅双极型晶体管)。

[0107] 图8是对第3实施方式涉及的半导体装置进行例示的示意性剖面图。

[0108] 如图8所示,实施方式涉及的半导体装置131包括第1半导体层10、第2半导体层20、第3半导体层30、第1电极51以及第2电极52。半导体装置131是pn结二极管。

[0109] 在该例子中,在第2电极52的一个端部与第2半导体层20之间设置有结终端区域20A。在第2电极52的另一端部与第2半导体层20之间设置有结终端区域20B。第1电极51例如是阴极电极。第2电极52例如是阳极电极。

[0110] 在实施方式涉及的半导体装置(例如半导体装置120、121以及131等)中,堆垛层错72被固定化。例如,能得到稳定的正向电压 V_f 。根据实施方式,能够提供能使特性稳定的半导体装置。

[0111] 在实施方式中,第1电极51和第2电极52中的至少任一个例如包含选自Al、Cu以及Au中的至少一种。例如,第3电极53(例如栅电极)包含选自TiN、Al、Ru、W以及TaSiN中的至少一种。绝缘部61例如包含选自氧化硅、氮化硅、氮氧化硅、氧化铝以及氧化铪中的至少一种。

[0112] (第4实施方式)

[0113] 第4实施方式涉及基板。基板例如是包含SiC的基板。图6~图8所例示出的基体10s(或者基体10sA)、第1半导体层10以及第2半导体层20包含于实施方式涉及的基板210(或者基板211)。

[0114] 基板210(或者基板211)包括:包含碳化硅的基体10s(或者基体10sA)、上述的第1半导体层10、上述的第2半导体层20。第1半导体层10的堆垛层错72包含沿着 $\langle -1100 \rangle$ 方向的第一边(例如边72d)。第一边与第2半导体层20相接。

[0115] 在该情况下,第一边的沿着第一面10a的第一长度(例如长度L1)例如也为 $2 \times t_1 / (\tan(\theta))$ 以下。第一长度(例如长度L1)例如也可以为 $2 \times t_1 / (\tan(\theta))$ 的0.8倍以上且1倍以下。

[0116] 第二边的沿着第一面10a的第二长度(例如长度L2)例如为 $t_1 / (\tan(\theta))$ 以下。第二长度(例如长度L2)例如也可以为 $t_1 / (\tan(\theta))$ 的0.8倍以上且1倍以下。

[0117] (第5实施方式)

[0118] 第5实施方式涉及基板的制造装置。基板的制造装置也可以是半导体装置的制造装置。

[0119] 图9是对第5实施方式涉及的基板的制造装置进行例示的示意性剖面图。

[0120] 如图9所示,实施方式涉及的基板的制造装置510包括处理室81、台82以及照射部83。

[0121] 处理室81包括导入口85。导入口85能够导入碳化硅的原料气体。处理室81也可以还包括排出口86。台82设置在处理室81内。在台82放置包括第1半导体层10的被处理体(例如基板210)。被处理体例如包括基体10s和设置在基体10s上的第1半导体层10。

[0122] 照射部83能够以 450°C 以下的第1温度对第1半导体层10照射选自紫外线和电子射线中的至少一种(例如能量射线75)。通过对第1半导体层10照射能量射线75,例如使堆垛层错72扩展。能够使堆垛层错72稳定化。

[0123] 照射部83例如包括水银氙气灯或者氦镉激光器等。能量射线75的波长例如为 380nm 以下。照射部83也可以包括滤光器等。

[0124] 也可以通过从导入口85导入的原料气体,形成包含碳化硅的层。包含碳化硅的层

例如包括第1半导体层10、第2半导体层20以及第3半导体层30中的至少一个。这些层的形成(生长)中的温度比上述第1温度高。通过高温下的生长,能得到结晶质量高的层。

[0125] 如图9所示,也可以设置遮光器(shutter)84。通过遮光器84来控制照射。也可以通过遮光器84在包含碳化硅的层的形成中保护照射部83。

[0126] 根据实施方式涉及的制造装置510,例如形成第1半导体层10的工序、第1工序以及第2工序能够不经过大气压状态而在减压状态下进行实施。

[0127] 能得到品质良好的层。

[0128] 在实施方式中,关于结晶方向的信息例如通过X射线衍射分析等来获得。关于基底面位错71的信息例如通过X射线形貌术以及光致发光成像(photoluminescence imaging)中至少任一方来获得。

[0129] 在实施方式中,关于杂质浓度的信息,例如通过SIMS(Secondary Ion Mass Spectrometry,二次离子质谱)等来获得。在上述中,杂质浓度例如也可以为载流子浓度。对于与杂质浓度的相对高低有关的信息,例如能够基于与通过SCM(Scanning Capacitance Microscopy,扫描式电容显微镜)得到的载流子浓度的相对高低有关的信息来获得。

[0130] 实施方式也可以包括以下技术方案。

[0131] (技术方案1)

[0132] 一种半导体装置的制造方法,包括:

[0133] 第1工序,使设置在包含碳化硅的基体上的第1半导体层的堆垛层错扩展,所述第1半导体层包含碳化硅和第1元素,所述第1元素包含选自N、P以及As中的至少一种;

[0134] 第2工序,在第1工序后在所述第1半导体层上形成包含碳化硅和所述第1元素的第2半导体层;以及

[0135] 第3工序,在所述第2半导体层上形成包含碳化硅和第2元素的第3半导体层,所述第2元素包含选自B、Al以及Ga中的至少一种。

[0136] (技术方案2)

[0137] 根据技术方案1所述的半导体装置的制造方法,所述第1工序包括对所述第1半导体层照射选自紫外线和电子射线中的至少一种。

[0138] (技术方案3)

[0139] 一种半导体装置的制造方法,包括:

[0140] 第1工序,对设置在包含碳化硅的基体上的第1半导体层照射选自紫外线和电子射线中的至少一种,所述第1半导体层包含碳化硅和第1元素,所述第1元素包含选自N、P以及As中的至少一种;

[0141] 第2工序,在第1工序后在所述第1半导体层上形成包含碳化硅和所述第1元素的第2半导体层;以及

[0142] 第3工序,在所述第2半导体层上形成包含碳化硅和第2元素的第3半导体层,所述第2元素包含选自B、Al以及Ga中的至少一种。

[0143] (技术方案4)

[0144] 根据技术方案2或3所述的半导体装置的制造方法,所述照射在450℃以下实施。

[0145] (技术方案5)

[0146] 根据技术方案1~4中任一项所述的半导体装置的制造方法,

- [0147] 还包括在所述基体上形成所述第1半导体层的工序，
- [0148] 形成所述第1半导体层的所述工序在第1处理室中实施，
- [0149] 所述第1工序在所述第1处理室中实施，
- [0150] 所述第2工序在所述第1处理室中实施。
- [0151] (技术方案6)
- [0152] 根据技术方案1~4中任一项所述的半导体装置的制造方法，
- [0153] 还包括在所述基体上形成所述第1半导体层的工序，
- [0154] 形成所述第1半导体层的所述工序、所述第1工序以及所述第2工序不经过大气压状态而在减压状态下实施。
- [0155] (技术方案7)
- [0156] 根据技术方案1~6中任一项所述的半导体装置的制造方法，所述第1半导体层的厚度为所述第2半导体层的厚度的1/2以下。
- [0157] (技术方案8)
- [0158] 根据技术方案1~7中任一项所述的半导体装置的制造方法，
- [0159] 所述第1半导体层外延生长在所述基体上，
- [0160] 所述第2工序包括使所述第2半导体层外延生长在所述第1半导体层上。
- [0161] (技术方案9)
- [0162] 根据技术方案1~8中任一项所述的半导体装置的制造方法，还包括形成第1电极和第2电极的工序，所述第1电极与所述第2半导体层电连接，所述第2电极与所述第3半导体层电连接。
- [0163] (技术方案10)
- [0164] 一种基板的制造方法，包括：
- [0165] 第1工序，对设置在包含碳化硅的基体上的第1半导体层照射选自紫外线和电子射线中的至少一种，所述第1半导体层包含碳化硅和第1元素，所述第1元素包含选自N、P以及As中的至少一种；和
- [0166] 第2工序，在第1工序后在所述第1半导体层上形成包含碳化硅和所述第1元素的第2半导体层。
- [0167] (技术方案11)
- [0168] 一种半导体装置，具备：
- [0169] 第1半导体层，其包含碳化硅和第1元素，所述第1元素包含选自N、P以及As中的至少一种；
- [0170] 第2半导体层，其包含碳化硅和所述第1元素；以及
- [0171] 第3半导体层，其包含碳化硅和第2元素，所述第2元素包含选自B、Al以及Ga中的至少一种，
- [0172] 所述第2半导体层位于所述第1半导体层与所述第3半导体层之间，
- [0173] 所述第1半导体层包含堆垛层错，
- [0174] 所述堆垛层错包含沿着<-1100>方向的第1边，
- [0175] 所述第1边与所述第2半导体层相接。
- [0176] (技术方案12)

- [0177] 根据技术方案11所述的半导体装置，
- [0178] 所述第1半导体层包含与所述第2半导体层相对向的第1面，
- [0179] 所述第1面与{0001}面之间的角度为角度 θ ，
- [0180] 所述第1半导体层具有与所述第1面垂直的第1方向上的厚度 t_1 ，
- [0181] 所述第1边的沿着所述第1面的第1长度为 $2 \times t_1 / (\tan(\theta))$ 以下。
- [0182] (技术方案13)
- [0183] 根据技术方案12所述的半导体装置，所述第1长度为 $2 \times t_1 / (\tan(\theta))$ 的0.8倍以上且1倍以下。
- [0184] (技术方案14)
- [0185] 根据技术方案11所述的半导体装置，
- [0186] 所述第1半导体层包含与所述第2半导体层相对向的第1面，
- [0187] 所述第1面与{0001}面之间的角度为角度 θ ，
- [0188] 所述第1半导体层具有与所述第1面垂直的第1方向上的厚度 t_1 ，
- [0189] 所述堆垛层错包含沿着 $\langle 11-20 \rangle$ 方向的第2边，
- [0190] 所述第2边的沿着所述第1面的第2长度为 $t_1 / (\tan(\theta))$ 以下。
- [0191] (技术方案15)
- [0192] 根据技术方案14所述的半导体装置，所述第2长度为 $t_1 / (\tan(\theta))$ 的0.8倍以上且1倍以下。
- [0193] (技术方案16)
- [0194] 根据技术方案11~15中任一项所述的半导体装置，
- [0195] 还具备包含碳化硅的基体，
- [0196] 在所述基体与所述第2半导体层之间具有所述第1半导体层，
- [0197] 所述第1半导体层中的所述第1元素的浓度处于所述基体中的所述第1元素的浓度与所述第2半导体层中的所述第1元素的浓度之间。
- [0198] (技术方案17)
- [0199] 一种基板，具备：
- [0200] 基体，其包含碳化硅；
- [0201] 第1半导体层，其包含碳化硅和第1元素，所述第1元素包含选自N、P以及As中的至少一种；以及
- [0202] 第2半导体层，其包含碳化硅和所述第1元素，
- [0203] 所述第1半导体层位于所述基体与所述第2半导体层之间，
- [0204] 所述第1半导体层包含堆垛层错，
- [0205] 所述堆垛层错包含沿着 $\langle -1100 \rangle$ 方向的第1边，
- [0206] 所述第1边与所述第2半导体层相接。
- [0207] (技术方案18)
- [0208] 根据技术方案17所述的基板，
- [0209] 所述第1半导体层包含与所述第2半导体层相对向的第1面，
- [0210] 所述第1面与{0001}面之间的角度为角度 θ ，
- [0211] 所述第1半导体层具有与所述第1面垂直的第1方向上的厚度 t_1 ，

- [0212] 所述第1边的沿着所述第1面的第1长度为 $2 \times t_1 / (\tan(\theta))$ 的0.8倍以上且1倍以下。
- [0213] (技术方案19)
- [0214] 根据技术方案17所述的基板，
- [0215] 所述第1半导体层包含与所述第2半导体层相对向的第1面，
- [0216] 所述第1面与{0001}面之间的角度为角度 θ ，
- [0217] 所述第1半导体层具有与所述第1面垂直的第1方向上的厚度 t_1 ，
- [0218] 所述堆垛层错包含沿着<11-20>方向的第2边，
- [0219] 所述第2边的沿着所述第1面的第2长度为 $t_1 / (\tan(\theta))$ 的0.8倍以上且1倍以下。
- [0220] (技术方案20)
- [0221] 一种基板的制造装置，具备：
- [0222] 处理室，其包括能够导入碳化硅的原料气体的导入口；
- [0223] 台，其设置于所述处理室内，供放置包括第1半导体层的处理体；以及
- [0224] 照射部，其能够以450℃以下的第1温度对所述第1半导体层照射选自紫外线和电子射线中的至少一种。
- [0225] 根据实施方式，能够提供能使特性稳定的半导体装置的制造方法、基板的制造方法、半导体装置、基板以及基板的制造装置。
- [0226] 在本申请说明书中，“电连接的状态”包括多个导体在物理上相接而在这些多个导体之间流动电流的状态。“电连接的状态”包括在多个导体之间插入其他导体而在这些多个导体之间流动电流的状态。
- [0227] 在本申请说明书中，“垂直”以及“平行”并不仅是严格的垂直以及严格平行，还包含例如制造工序中的偏差等，只要实质上垂直以及实质上平行即可。
- [0228] 以上，参照具体例对本发明的实施方式进行了说明。但是，本发明并不限于这些具体例。例如，关于半导体装置所包含的半导体层、基体、电极以及绝缘部等各要素的具体构成，只要能够通过本领域技术人员从公知的范围中适当地进行选择来同样地实施本发明、获得同样的效果，就包含在本发明的范围内。
- [0229] 另外，对于在技术上可行的范围内组合各具体例的任意两个以上的要素而得到方式，只要包含本发明的宗旨，就也包含在本发明的范围内。
- [0230] 另外，只要包含本发明的宗旨，本领域技术人员能够基于以上作为本发明的实施方式描述过的半导体装置的制造方法、基板的制造方法、半导体装置、基板以及基板的制造装置来适当地进行设计变更而实施的所有的半导体装置的制造方法、基板的制造方法、半导体装置、基板以及基板的制造装置也属于本发明的范围内。
- [0231] 另外，本领域技术人员在本发明的思想范畴中能够想到各种变更例以及修正例，应领会那些变更例以及修正例也属于本发明的范围内。
- [0232] 对本发明的几个实施方式进行了说明，但这些实施方式是作为例子提示的，并不是意在限定发明的范围。这些新的实施方式能够以其他各种各样的方式来实施，能够在不脱离发明的宗旨的范围内进行各种省略、置换、变更。这些实施方式及其变形包含在发明的范围、宗旨内，并且包含在权利要求书所记载的发明及其等同的范围内。

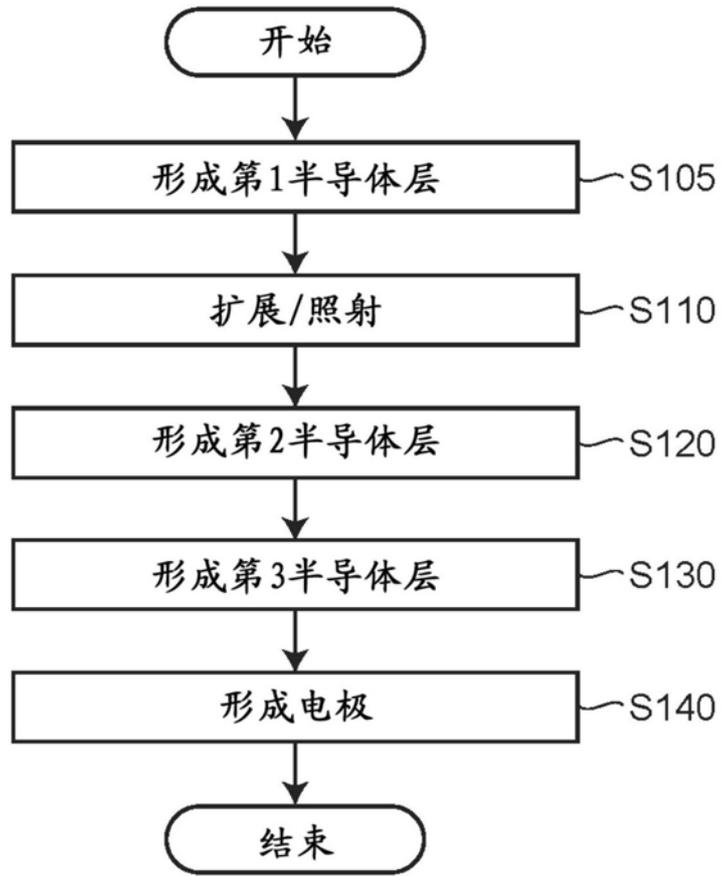


图1

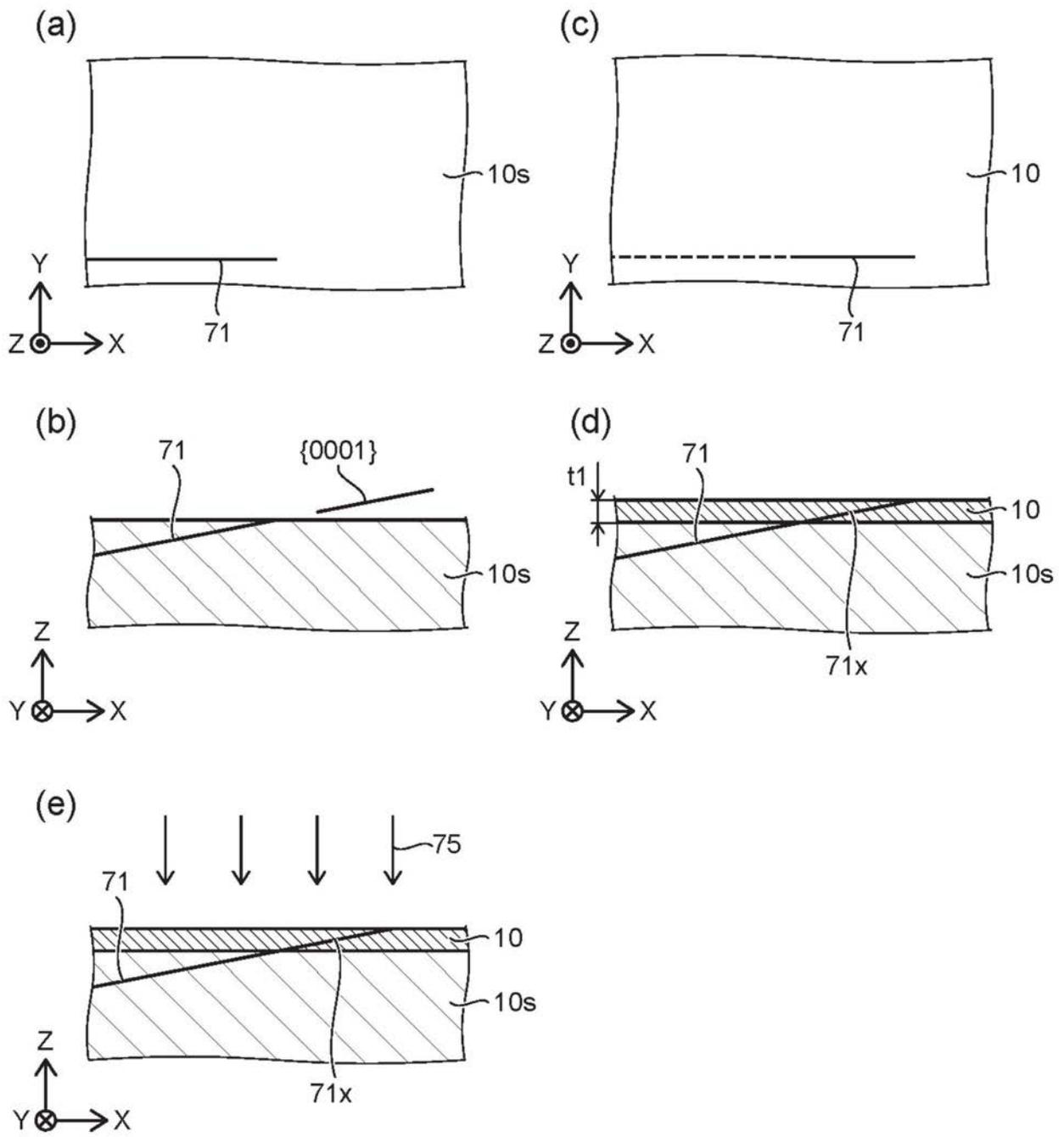


图2

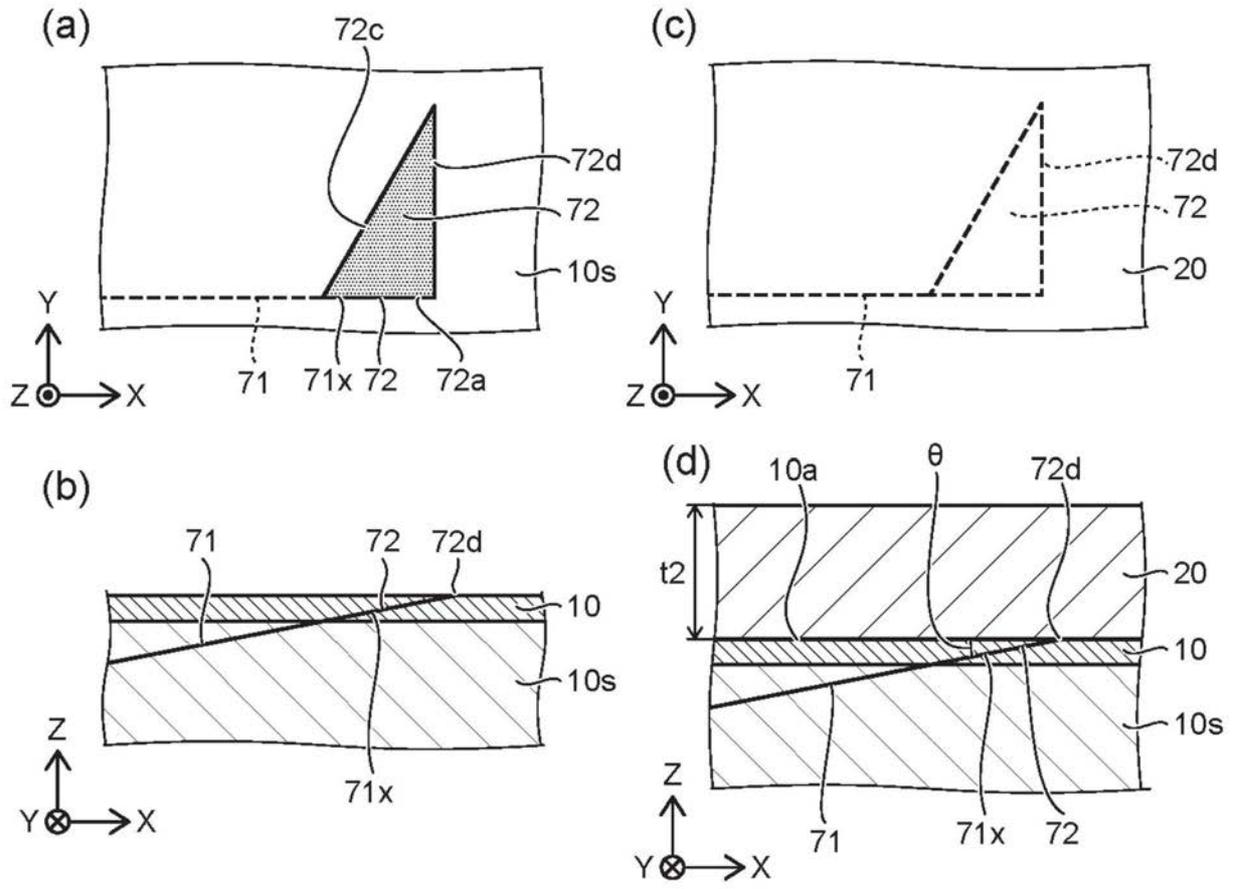


图3

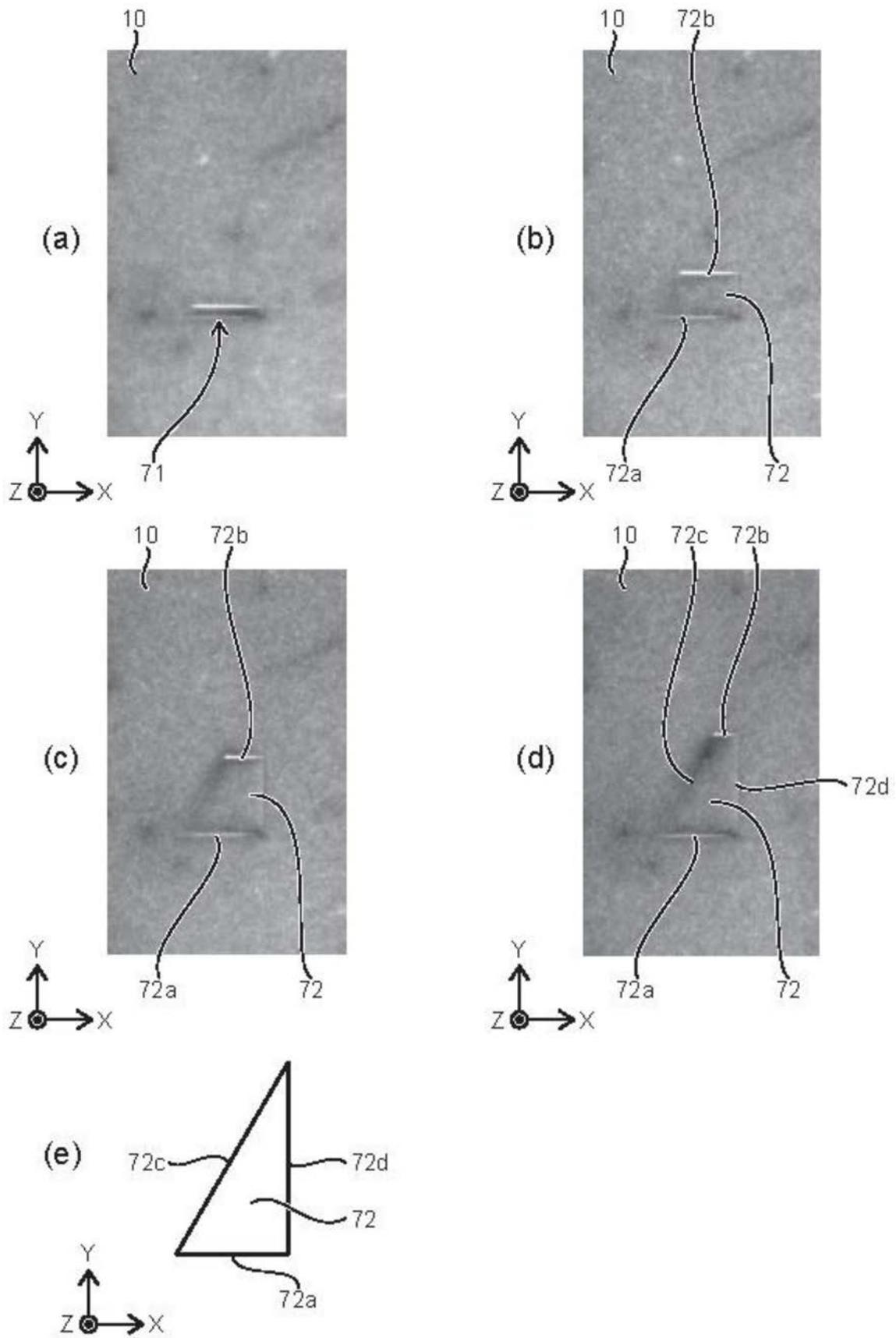


图4

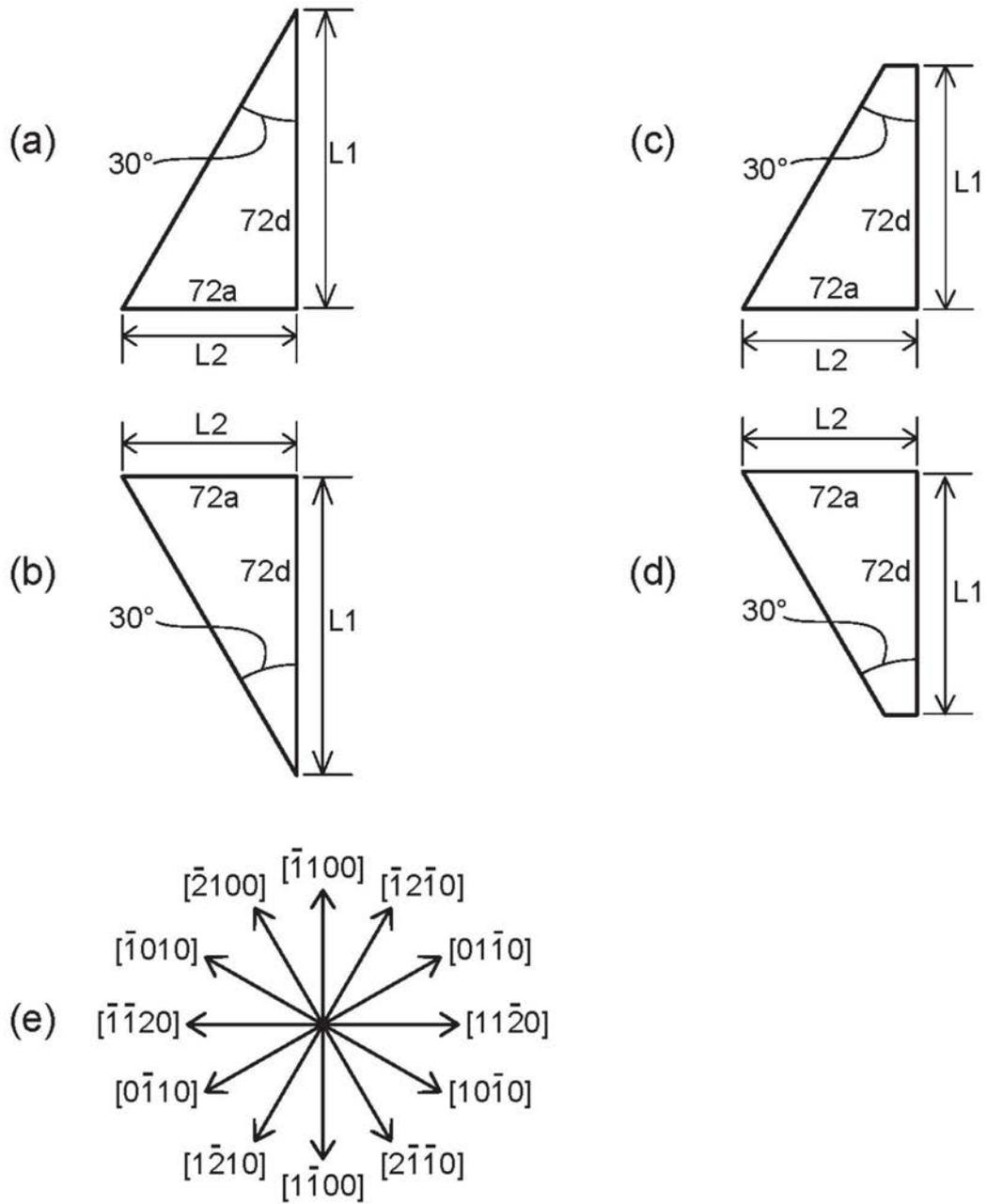


图5

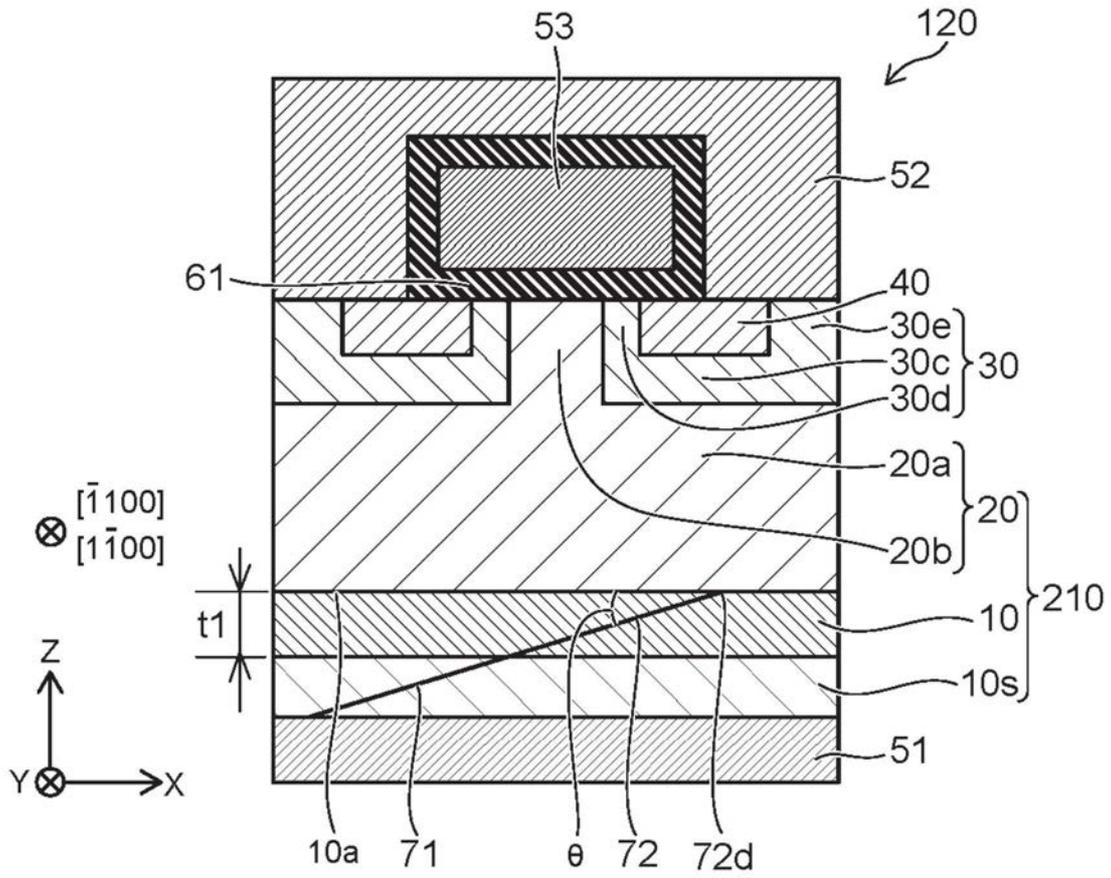


图6

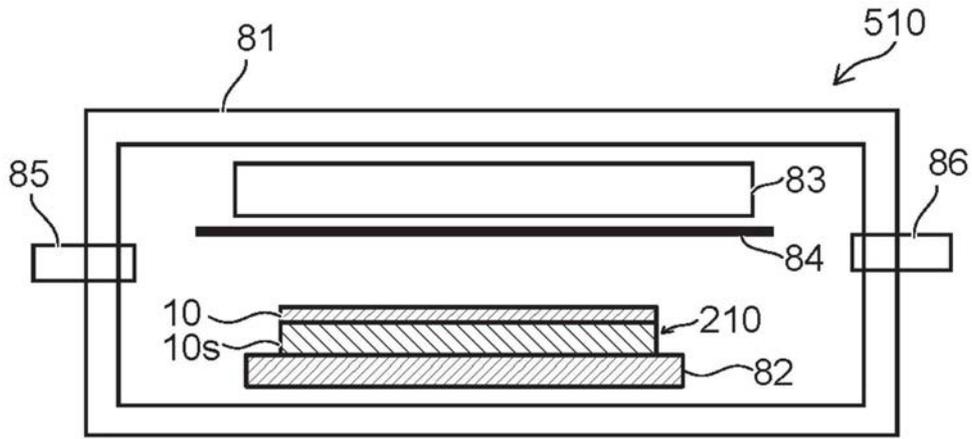


图9