



(12) 发明专利申请

(10) 申请公布号 CN 112992061 A

(43) 申请公布日 2021.06.18

(21) 申请号 202110250570.6

(22) 申请日 2017.07.17

(62) 分案原申请数据

201710581734.7 2017.07.17

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72) 发明人 杨盛际 董学 陈小川 王辉

王晏酪 卢鹏程 刘伟 王慧娟

玄明花

(74) 专利代理机构 北京银龙知识产权代理有限

公司 11243

代理人 许静 张博

(51) Int.Cl.

G09G 3/3208 (2016.01)

G09G 3/3258 (2016.01)

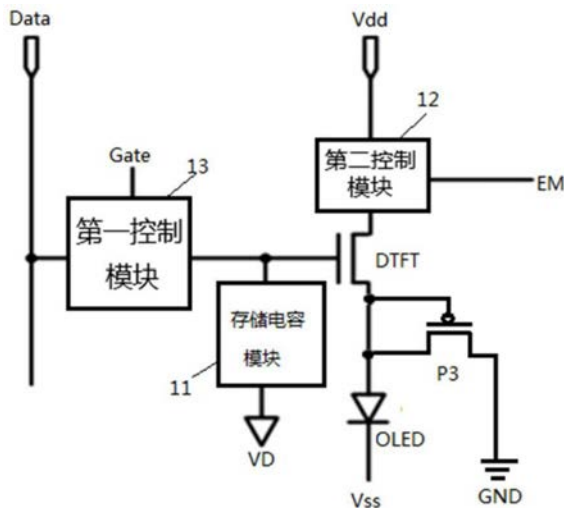
权利要求书3页 说明书16页 附图10页

(54) 发明名称

像素单元电路、像素电路、驱动方法和显示装置

(57) 摘要

本发明提供一种像素单元电路、像素电路、驱动方法和显示装置。像素单元电路包括：发光元件，第一端与低电平输入端耦接；存储电容模块，第一端与一直流电压输入端耦接；驱动晶体管，栅极与存储电容模块的第二端耦接，第一极与发光元件的第二端耦接；第一控制模块，分别与栅线、数据线和驱动晶体管的栅极耦接，用于在栅线的控制下，控制驱动晶体管的栅极是否与数据线连接；以及，电位控制晶体管，栅极和第一极都与驱动晶体管的第一极耦接，第二极与地端耦接。本发明能有效调节发光元件自身的亮度，并通过采用电位控制晶体管，以保护有机发光二极管的阳极的电位不低于地端的电位，保证驱动晶体管的栅源电压不会超过驱动晶体的最大驱动电压。



1. 一种像素单元电路,其特征在于,包括:
发光元件,第一端与低电平输入端耦接;
存储电容模块,第一端与一直流电压输入端耦接;
驱动晶体管,栅极与所述存储电容模块的第二端耦接,第一极与所述发光元件的第二端耦接;
第一控制模块,分别与栅线、数据线和所述驱动晶体管的栅极耦接,用于在所述栅线的控制下,控制所述驱动晶体管的栅极是否与所述数据线连接;以及,
电位控制晶体管,栅极和第一极都与所述驱动晶体管的第一极耦接,第二极与地端耦接。
2. 如权利要求1所述的像素单元电路,其特征在于,所述栅线包括第一栅极开关线和第二栅极开关线;
所述第一控制模块包括:
第一晶体管,栅极与所述第一栅极开关线耦接,第一极与所述驱动晶体管的栅极耦接,第二极与所述数据线耦接;以及,
第二晶体管,栅极与所述第二栅极开关线耦接,第一极与所述数据线耦接,第二极与所述驱动晶体管的栅极耦接。
3. 如权利要求2所述的像素单元电路,其特征在于,所述第一晶体管为n型晶体管,所述第二晶体管为p型晶体管。
4. 如权利要求1所述的像素单元电路,其特征在于,所述驱动晶体管为n型晶体管。
5. 如权利要求1所述的像素单元电路,其特征在于,还包括第二控制模块;
所述第二控制模块的控制端与第一控制线连接,所述第二控制模块的第一端与高电平输入端连接,所述第二控制模块的第二端与所述驱动晶体管的第二极连接,所述第二控制模块用于在所述第一控制线的控制下,所述第二控制模块控制所述驱动晶体管的第二极是否与所述高电平输入端连接。
6. 如权利要求5所述的像素单元电路,其特征在于,所述第二控制模块包括:第三晶体管,栅极与所述第一控制线连接,第一极与所述高电平输入端连接,第二极与所述驱动晶体管的第二极连接。
7. 如权利要求1至6中任一权利要求所述的像素单元电路,其特征在于,还包括:第三控制模块;
所述第三控制模块分别与第一控制线和地端连接,所述第三控制模块与所述驱动晶体管的第一极耦接,所述第三控制模块用于在所述第一控制线的控制下,控制所述驱动晶体管的第一极是否与所述地端连接。
8. 如权利要求7所述的像素单元电路,其特征在于,所述第三控制模块包括:第四晶体管,栅极与所述第一控制线连接,第一极与所述驱动晶体管的第一极耦接,第二极与所述地端连接。
9. 一种像素单元电路的驱动方法,用于驱动如权利要求5至8中任一权利要求所述的像素单元电路,其特征在于,所述像素单元电路的驱动方法包括:
在充电补偿阶段,在第一控制线的控制下,第二控制模块控制驱动晶体管的第二极与高电平输入端连接;在栅线的控制下,第一控制模块控制数据线上的数据电压Vdata写入驱

动晶体管的栅极,以使得所述驱动晶体管导通,直至所述驱动晶体管的第一极的电位变为 $V_{data}-V_{th}$,所述驱动晶体管工作于恒定电流区; V_{th} 为所述驱动晶体管的阈值电压;

在像素发光阶段,在第一控制线的控制下,第二控制模块控制驱动晶体管的第二极与高电平输入端连接,所述驱动晶体管工作于恒定电流区,驱动发光元件发光。

10.如权利要求9所述的像素单元电路的驱动方法,其特征在于,当所述像素单元电路还包括第三控制模块,所述第三控制模块分别与第一控制线和地端连接,所述第三控制模块与所述驱动晶体管的第一极耦接,所述第三控制模块用于在所述第一控制线的控制下,控制所述驱动晶体管的第一极是否与所述地端连接时,所述像素单元电路的驱动方法在所述充电补偿阶段之前还包括:

在重置阶段,在所述第一控制线的控制下,第三控制模块控制所述驱动晶体管的第一极与地端连接,以重置所述驱动晶体管的第一极的电位;

在所述充电补偿阶段和所述像素发光阶段,在所述第一控制线的控制下,所述第三控制模块控制断开所述驱动晶体管的第一极与地端之间的连接。

11.一种像素电路,其特征在于,包括多行栅线、多列数据线、多行第一控制线和阵列排布的多个如权利要求1至8中任一权利要求所述的像素单元电路;

位于同一行的像素单元电路与同一行栅线连接;

位于同一列的像素单元电路与同一列数据线连接;

当所述像素单元电路还包括第三控制模块时,位于同一行的像素单元电路与同一行第一控制线连接。

12.一种像素电路的驱动方法,用于驱动如权利要求11所述的像素电路,其特征在于,在一帧显示时间内,一行像素单元电路对应于相应的充电补偿阶段和相应的像素发光阶段;所述像素电路中的像素单元电路还包括第二控制模块;

所述像素电路的驱动方法包括:在一帧显示时间内,

在相应的充电补偿阶段,在相应行第一控制线的控制下,位于相应行的像素单元电路包括的第二控制模块控制驱动晶体管的第二极与高电平输入端连接;在相应行栅线的控制下,位于相应行的像素单元电路包括的第一控制模块控制相应列数据线上的数据电压 V_{data} 写入位于相应行的像素单元电路包括的驱动晶体管的栅极,以使得所述驱动晶体管导通,直至所述驱动晶体管的第一极的电位变为 $V_{data}-V_{th}$,所述驱动晶体管工作于恒定电流区; V_{th} 为所述驱动晶体管的阈值电压;

在相应的像素发光阶段,在所述相应行第一控制线的控制下,该第二控制模块控制所述驱动晶体管的第二极与高电平输入端连接,所述驱动晶体管工作于恒定电流区,驱动发光元件发光。

13.如权利要求12所述的像素电路的驱动方法,其特征在于,当所述像素电路中的像素单元电路包括第三控制模块,所述第三控制模块分别与所述第一控制线和地端连接,所述第三控制模块与所述驱动晶体管的第一极耦接,所述第三控制模块用于在所述第一控制线的控制下,控制所述驱动晶体管的第一极是否与所述地端连接时,

在相邻两帧显示时间之间设置有全屏插黑时间段;所述像素电路的驱动方法还包括:

在所述全屏插黑时间段,所述像素电路包括的所有行第一控制线都输出第一电平信号,从而使得所述的像素电路包括的每一像素单元电路中的发光元件的第二端都与地端连

接。

14. 如权利要求12所述的像素电路的驱动方法,其特征在于,当所述像素电路中的像素单元电路包括第三控制模块,所述第三控制模块分别与所述第一控制线和地端连接,所述第三控制模块与所述驱动晶体管的第一极耦接,所述第三控制模块用于在所述第一控制线的控制下,控制所述驱动晶体管的第一极是否与所述地端连接时,在一帧显示时间内间隔设置有多个全屏插黑时间段;所述像素电路的驱动方法还包括:

在所述全屏插黑时间段,所述像素电路包括的所有行第一控制线都输出第一电平信号,从而使得所述像素电路包括的每一像素单元电路中的发光元件的第二端都与地端连接。

15. 如权利要求12所述的像素电路的驱动方法,其特征在于,当所述像素电路中的像素单元电路包括第三控制模块,所述第三控制模块分别与所述第一控制线和地端连接,所述第三控制模块与所述驱动晶体管的第一极耦接,所述第三控制模块用于在所述第一控制线的控制下,控制所述驱动晶体管的第一极是否与所述地端连接时,所述像素电路的驱动方法还包括:在一帧显示时间,

所述像素电路包括的多行第一控制线依次输出第一电平信号,以使得所述像素电路包括的多行像素单元电路中的发光元件的第二端依次与地端连接。

16. 如权利要求12所述的像素电路的驱动方法,其特征在于,当所述像素电路中的像素单元电路包括第三控制模块,所述第三控制模块分别与所述第一控制线和地端连接,所述第三控制模块与所述驱动晶体管的第一极耦接,所述第三控制模块用于在所述第一控制线的控制下,控制所述驱动晶体管的第一极是否与所述地端连接时,每一帧显示时间包括至少两个显示周期,所述像素电路的驱动方法还包括:在每一显示周期,

所述像素电路包括的多行第一控制线依次输出第一电平信号,以使得所述像素电路包括的多行像素单元电路中的发光元件的第二端依次与地端连接。

17. 一种显示装置,其特征在于,包括硅基板和设置于所述硅基板上的如权利要求1至8中任一权利要求所述的像素单元电路。

像素单元电路、像素电路、驱动方法和显示装置

[0001] 本申请为申请日为2017年7月17日的,申请号为201710581734.7的中国专利申请的分案申请。

技术领域

[0002] 本发明涉及显示技术领域,尤其涉及一种像素单元电路、像素电路、驱动方法和显示装置。

背景技术

[0003] 硅基OLED (Organic Light-Emitting Diode,有机发光二极管)微显示器处于微电子技术和光电子技术的交叉点上,结合了OLED技术和CMOS (Complementary Metal Oxide Semiconductor,互补金属氧化物半导体)技术,是光电子产业和微电子产业的交叉集成,促进了新一代的微型显示的发展,也推进了硅上有机电子,甚至是硅上分子电子的研究和发展。

[0004] 现有的硅基OLED微显示器不能有效调节Micro (微) OLED自身的亮度,并存在动态残影,并数据线上的数据电压范围窄从而不能有效提高OLED的发光亮度的问题。并且,现有技术中存在不能保证驱动晶体管的栅源电压不超过驱动晶体的最大驱动电压,从而会引起驱动晶体管失效的问题。

发明内容

[0005] 本发明的主要目的在于提供一种像素单元电路、像素电路、驱动方法和显示装置,解决现有的像素单元电路不能有效调节发光元件自身亮度的问题,并解决现有技术中存在不能保证驱动晶体管的栅源电压不超过驱动晶体的最大驱动电压,从而会引起驱动晶体管失效的问题。

[0006] 为了达到上述目的,本发明提供了一种像素单元电路,包括:

[0007] 发光元件,第一端与低电平输入端耦接;

[0008] 存储电容模块,第一端与一直流电压输入端耦接;

[0009] 驱动晶体管,栅极与所述存储电容模块的第二端耦接,第一极与所述发光元件的第二端耦接;

[0010] 第一控制模块,分别与栅线、数据线和所述驱动晶体管的栅极耦接,用于在所述栅线的控制下,控制所述驱动晶体管的栅极是否与所述数据线连接;以及,

[0011] 电位控制晶体管,栅极和第一极都与所述驱动晶体管的第一极耦接,第二极与地端耦接。

[0012] 可选的,所述栅线包括第一栅极开关线和第二栅极开关线;

[0013] 所述第一控制模块包括:

[0014] 第一晶体管,栅极与所述第一栅极开关线耦接,第一极与所述驱动晶体管的栅极耦接,第二极与所述数据线耦接;以及,

[0015] 第二晶体管,栅极与所述第二栅极开关线耦接,第一极与所述数据线耦接,第二极与所述驱动晶体管的栅极耦接。

[0016] 可选的,所述第一晶体管为n型晶体管,所述第二晶体管为p型晶体管。

[0017] 可选的,所述驱动晶体管为n型晶体管。

[0018] 可选的,本发明至少一实施例所述的像素单元电路还包括第二控制模块;

[0019] 所述第二控制模块的控制端与第一控制线连接,所述第二控制模块的第一端与高电平输入端连接,所述第二控制模块的第二端与所述驱动晶体管的第二极连接,所述第二控制模块用于在所述第一控制线的控制下,所述第二控制模块控制所述驱动晶体管的第二极是否与所述高电平输入端连接。

[0020] 可选的,所述第二控制模块包括:第三晶体管,栅极与所述第一控制线连接,第一极与所述高电平输入端连接,第二极与所述驱动晶体管的第二极连接。

[0021] 可选的,本发明至少一实施例所述的像素单元电路还包括:第三控制模块;

[0022] 所述第三控制模块分别与第一控制线和地端连接,所述第三控制模块与所述驱动晶体管的第一极耦接,所述第三控制模块用于在所述第一控制线的控制下,控制所述驱动晶体管的第一极是否与所述地端连接。

[0023] 可选的,所述第三控制模块包括:第四晶体管,栅极与所述第一控制线连接,第一极与所述驱动晶体管的第一极耦接,第二极与所述地端连接。

[0024] 本发明实施例还提供了一种像素单元电路的驱动方法,用于驱动上述的像素单元电路,其特征在于,所述像素单元电路的驱动方法包括:

[0025] 在充电补偿阶段,在第一控制线的控制下,第二控制模块控制驱动晶体管的第二极与高电平输入端连接;在栅线的控制下,第一控制模块控制数据线上的数据电压Vdata写入驱动晶体管的栅极,以使得所述驱动晶体管导通,直至所述驱动晶体管的第一极的电位变为 $V_{data}-V_{th}$,所述驱动晶体管工作于恒定电流区; V_{th} 为所述驱动晶体管的阈值电压;

[0026] 在像素发光阶段,在第一控制线的控制下,第二控制模块控制驱动晶体管的第二极与高电平输入端连接,所述驱动晶体管工作于恒定电流区,驱动发光元件发光。

[0027] 可选的,当所述像素单元电路还包括第三控制模块,所述第三控制模块分别与第一控制线和地端连接,所述第三控制模块与所述驱动晶体管的第一极耦接,所述第三控制模块用于在所述第一控制线的控制下,控制所述驱动晶体管的第一极是否与所述地端连接时,所述像素单元电路的驱动方法在所述充电补偿阶段之前还包括:

[0028] 在重置阶段,在所述第一控制线的控制下,第三控制模块控制所述驱动晶体管的第一极与地端连接,以重置所述驱动晶体管的第一极的电位;

[0029] 在所述充电补偿阶段和所述像素发光阶段,在所述第一控制线的控制下,所述第三控制模块控制断开所述驱动晶体管的第一极与地端之间的连接。

[0030] 本发明实施例还提供了一种像素电路,包括多行栅线、多列数据线、多行第一控制线和阵列排布的多个上述的像素单元电路;

[0031] 位于同一行的像素单元电路与同一行栅线连接;

[0032] 位于同一列的像素单元电路与同一列数据线连接;

[0033] 当所述像素单元电路还包括第三控制模块时,位于同一行的像素单元电路与同一行第一控制线连接。

[0034] 本发明实施例还提供了一种像素电路的驱动方法,用于驱动上述的像素电路,在一帧显示时间内,一行像素单元电路对应于相应的充电补偿阶段和相应的像素发光阶段;所述像素电路中的像素单元电路还包括第二控制模块;

[0035] 所述像素电路的驱动方法包括:在一帧显示时间内,

[0036] 在相应的充电补偿阶段,在相应行第一控制线的控制下,位于相应行的像素单元电路包括的第二控制模块控制驱动晶体管的第二极与高电平输入端连接;在相应行栅线的控制下,位于相应行的像素单元电路包括的第一控制模块控制相应列数据线上的数据电压Vdata写入位于相应行的像素单元电路包括的驱动晶体管的栅极,以使得所述驱动晶体管导通,直至所述驱动晶体管的第一极的电位变为 $V_{data}-V_{th}$,所述驱动晶体管工作于恒定电流区; V_{th} 为所述驱动晶体管的阈值电压;

[0037] 在相应的像素发光阶段,在所述相应行第一控制线的控制下,该第二控制模块控制所述驱动晶体管的第二极与高电平输入端连接,所述驱动晶体管工作于恒定电流区,驱动发光元件发光。

[0038] 可选的,当所述像素电路中的像素单元电路包括第三控制模块,所述第三控制模块分别与所述第一控制线和地端连接,所述第三控制模块与所述驱动晶体管的第一极耦接,所述第三控制模块用于在所述第一控制线的控制下,控制所述驱动晶体管的第一极是否与所述地端连接时,

[0039] 在相邻两帧显示时间之间设置有全屏插黑时间段;所述像素电路的驱动方法还包括:

[0040] 在所述全屏插黑时间段,所述像素电路包括的所有行第一控制线都输出第一电平信号,从而使得所述的像素电路包括的每一像素单元电路中的发光元件的第二端都与地端连接。

[0041] 可选的,当所述像素电路中的像素单元电路包括第三控制模块,所述第三控制模块分别与所述第一控制线和地端连接,所述第三控制模块与所述驱动晶体管的第一极耦接,所述第三控制模块用于在所述第一控制线的控制下,控制所述驱动晶体管的第一极是否与所述地端连接时,在一帧显示时间内间隔设置有多个全屏插黑时间段;所述像素电路的驱动方法还包括:

[0042] 在所述全屏插黑时间段,所述像素电路包括的所有行第一控制线都输出第一电平信号,从而使得所述像素电路包括的每一像素单元电路中的发光元件的第二端都与地端连接。

[0043] 可选的,当所述像素电路中的像素单元电路包括第三控制模块,所述第三控制模块分别与所述第一控制线和地端连接,所述第三控制模块与所述驱动晶体管的第一极耦接,所述第三控制模块用于在所述第一控制线的控制下,控制所述驱动晶体管的第一极是否与所述地端连接时,所述像素电路的驱动方法还包括:在一帧显示时间,

[0044] 所述像素电路包括的多行第一控制线依次输出第一电平信号,以使得所述像素电路包括的多行像素单元电路中的发光元件的第二端依次与地端连接。

[0045] 可选的,当所述像素电路中的像素单元电路包括第三控制模块,所述第三控制模块分别与所述第一控制线和地端连接,所述第三控制模块与所述驱动晶体管的第一极耦接,所述第三控制模块用于在所述第一控制线的控制下,控制所述驱动晶体管的第一极是

否与所述地端连接时,每一帧显示时间包括至少两个显示周期,所述像素电路的驱动方法还包括:在每一显示周期,

[0046] 所述像素电路包括的多行第一控制线依次输出第一电平信号,以使得所述像素电路包括的多行像素单元电路中的发光元件的第二端依次与地端连接。

[0047] 本发明还提供了一种显示装置,包括硅基板和设置于所述硅基板上的上述的像素单元电路。

[0048] 与现有技术相比,本发明所述的像素单元电路、像素电路、驱动方法和显示装置可以通过调节数据电压(通过配合时序使得第一控制模块在充电补偿阶段控制发光元件的第二端的电位为Vdata)来有效调节发光元件自身的亮度,并本发明实施例所述的像素单元电路、像素电路、驱动方法和显示装置通过采用电位控制晶体管,所述电位控制晶体管的栅极与所述电位控制晶体管的第一极都与驱动晶体管的源极连接,所述电位控制晶体管的第二极与地端连接,所述电位控制晶体管能够有效保护有机发光二极管的阳极的电位不低于地端的电位,以保证驱动晶体管的栅源电压不会超过驱动晶体的最大驱动电压,进而使得所述驱动晶体管不会失效。

附图说明

[0049] 图1是本发明实施例所述的像素单元电路的结构图;

[0050] 图2是本发明另一实施例所述的像素单元电路的结构图;

[0051] 图3是本发明又一实施例所述的像素单元电路的结构图;

[0052] 图4是本发明再一实施例所述的像素单元电路的结构图;

[0053] 图5是本发明实施例所述的像素单元电路的结构图;

[0054] 图6是本发明另一实施例所述的像素单元电路的结构图;

[0055] 图7是本发明又一实施例所述的像素单元电路的结构图;

[0056] 图8是本发明再一实施例所述的像素单元电路的结构图;

[0057] 图9是本发明所述的像素单元电路的第一具体实施例的电路图;

[0058] 图10是本发明如图9所示的像素单元电路的第一具体实施例的工作时序图;

[0059] 图11A是本发明如图9所示的像素单元电路的第一具体实施例在重置阶段的工作示意图;

[0060] 图11B是本发明如图9所示的像素单元电路的第一具体实施例在充电补偿阶段的工作示意图;

[0061] 图11C是本发明如图9所示的像素单元电路的第一具体实施例在像素发光阶段的工作示意图;

[0062] 图12是本发明所述的像素单元电路的第二具体实施例的电路图;

[0063] 图13是本发明所述的像素单元电路的第三具体实施例的电路图;

[0064] 图14是本发明所述的像素电路的一种全屏插黑方式的工作时序图;

[0065] 图15是本发明所述的像素电路的另一种全屏插黑方式的工作时序图;

[0066] 图16是生成发光控制信号的移位寄存器单元的一具体实施例的电路图;

[0067] 图17是如图16所示的移位寄存器单元的具体实施例的工作时序图;

[0068] 图18是本发明所述的像素电路的一种逐行插黑方式的工作时序图;

[0069] 图19是本发明所述的像素电路的另一种逐行插黑方式的工作时序图。

具体实施方式

[0070] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0071] 本发明所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。在本发明实施例中,为区分晶体管除栅极之外的两极,将其中一极称为第一极,另一极称为第二极。在实际操作时,所述第一极可以为漏极,所述第二极可以为源极;或者,所述第一极可以为源极,所述第二极可以为漏极。

[0072] 在描述一些实施例时,可能使用了“耦接”和“连接”及其衍伸的表达。例如,描述一些实施例时可能使用了术语“连接”以表明两个或两个以上部件彼此间有直接物理接触或电接触。又如,描述一些实施例时可能使用了术语“耦接”以表明两个或两个以上部件有直接物理接触或电接触。然而,术语“耦接”也可能指两个或两个以上部件彼此间并无直接接触,但仍彼此协作或相互作用。这里所公开的实施例并不必然限制于本文内容。

[0073] 本发明实施例所述的像素单元电路包括:

[0074] 发光元件,第一端与低电平输入端耦接;

[0075] 存储电容模块,第一端与一直流电压输入端耦接;

[0076] 驱动晶体管,栅极与所述存储电容模块的第二端耦接,第一极与所述发光元件的第二端耦接;

[0077] 第一控制模块,分别与栅线、数据线和所述驱动晶体管的栅极耦接,用于在所述栅线的控制下控制所述驱动晶体管的栅极是否与所述数据线连接;以及,

[0078] 电位控制晶体管,栅极和第一极都与所述驱动晶体管的第一极耦接,第二极与地端耦接。

[0079] 本发明实施例所述的像素单元电路可以通过调节数据电压(通过配合时序使得第一控制模块在充电补偿阶段控制发光元件的第二端的电位为Vdata)来有效调节发光元件自身的亮度。

[0080] 本发明实施例所述的像素单元电路通过采用电位控制晶体管,所述电位控制晶体管的栅极与所述电位控制晶体管的第一极都与驱动晶体管的源极耦接,所述电位控制晶体管的第二极与地端耦接,所述电位控制晶体管能够有效保护有机发光二极管的阳极的电位不低于地端的电位,以保证驱动晶体管的栅源电压不会超过驱动晶体的最大驱动电压,进而使得所述驱动晶体管不会失效。

[0081] 在本发明至少一实施例中,所述栅线可以包括第一栅极开关线和第二栅极开关线;

[0082] 所述第一控制模块可以包括:

[0083] 第一晶体管,栅极与所述第一栅极开关线耦接,第一极与所述驱动晶体管的栅极耦接,第二极与所述数据线耦接;以及,

[0084] 第二晶体管,栅极与所述第二栅极开关线耦接,第一极与所述数据线耦接,第二极

与所述驱动晶体管的栅极耦接；

[0085] 可选的,所述第一晶体管为n型晶体管,所述第二晶体管为p型晶体管。

[0086] 本发明至少一实施例所述的像素单元电路通过第一控制模块包括一个n型晶体管和p型晶体管,能够增加数据线上的数据电压范围,提高有机发光二极管OLED的发光亮度。

[0087] 在具体实施时,所述发光元件可以包括有机发光二极管,也可以包括其他的能够发光的器件。

[0088] 在实际操作时,当所述发光元件包括有机发光二极管时,所述发光元件的第一端为所述有机发光二极管的阴极,所述发光元件的第二端为所述有机发光二极管的阳极。

[0089] 在实际操作时,所述直流电压输入端可以为地端,也可以为其他输入直流电压的端子。

[0090] 可选的,所述驱动晶体管为n型晶体管,但不以此为限。

[0091] 在本发明至少一实施例中,像素单元电路还可以包括第二控制模块;

[0092] 所述第二控制模块的控制端与第一控制线连接,所述第二控制模块的第一端与高电平输入端连接,所述第二控制模块的第二端与所述驱动晶体管的第二极连接,所述第二控制模块用于在所述第一控制线的控制下,控制所述驱动晶体管的第二极是否与所述高电平输入端连接。

[0093] 在具体实施时,所述像素单元电路还可以包括第二控制模块,第二控制模块在第一控制线的控制下,控制所述驱动晶体管的第二极是否与所述高电平输入端连接。

[0094] 如图1所示,本发明实施例所述的像素单元电路包括:

[0095] 有机发光二极管OLED,阴极与输入低电平V_{ss}的低电平输入端耦接;

[0096] 存储电容模块11,第一端与一直流电压输入端VD耦接;

[0097] 驱动晶体管DTFT,栅极与所述存储电容模块11的第二端耦接,源极与所述有机发光二极管OLED的阳极耦接;

[0098] 第二控制模块12,控制端与第一控制线EM连接,第一端与输入高电平V_{dd}的高电平输入端连接,第二端与所述驱动晶体管DTFT的漏极连接,用于在所述第一控制线EM的控制下控制所述驱动晶体管DTFT的漏极是否与所述输入高电平V_{dd}的高电平输入端连接;

[0099] 第一控制模块13,分别与栅线Gate、数据线Data和所述驱动晶体管DTFT的栅极耦接,用于在所述栅线Gate的控制下,控制所述驱动晶体管DTFT的栅极是否与所述数据线Data连接;以及,

[0100] 电位控制晶体管P3,栅极和源极都与所述驱动晶体管DTFT的源极耦接,漏极与地端GND耦接。

[0101] 在图1所示的实施例中,以驱动晶体管DTFT为n型晶体管为例说明,在实际操作时,该驱动晶体管DTFT也可以为p型晶体管。

[0102] 在图1所示的实施例中,以所述电位控制晶体管P3为p型晶体管为例说明。

[0103] 本发明如图1所示的像素单元电路的实施例在工作时,

[0104] 在充电补偿阶段,在第一控制线EM的控制下,第二控制模块12控制驱动晶体管DTFT的漏极与输入高电平V_{dd}的高电平输入端连接;在栅线Gate的控制下,第一控制模块13控制数据线Data上的数据电压V_{data}写入驱动晶体管DTFT的栅极,以使得所述驱动晶体管DTFT导通,直至所述驱动晶体管DTFT的源极的电位变为V_{data}-V_{th},所述驱动晶体管DTFT工

作于恒定电流区; V_{th} 为所述驱动晶体管DTFT的阈值电压;

[0105] 在像素发光阶段,在第一控制线EM的控制下,第二控制模块12控制驱动晶体管DTFT的漏极与输入高电平Vdd的高电平输入端连接,所述驱动晶体管DTFT工作于恒定电流区,驱动有机发光元件OLED发光。

[0106] 本发明如图1所示的像素单元电路的实施例在工作时,该电位控制晶体管P3可以有效保护有机发光二极管OLED的阳极电位不会低于地端GND输出的电压,从而保护栅源电压DTFT的栅源电压不会超过栅源电压DTFT本身的最大驱动电压,进而使得所述驱动晶体管不会失效。

[0107] 优选的,本发明实施例所述的像素单元电路还包括:第三控制模块,分别与所述第一控制线和地端连接,所述第三控制模块与所述驱动晶体管的第一极耦接,所述第三控制模块用于在所述第一控制线的控制下,控制所述驱动晶体管的第一极是否与所述地端连接。

[0108] 在本发明至少一实施例所述的像素单元电路中,第三控制模块可以在重置阶段控制消除上一帧残留于OLED的阳极的电压,从而消除动态残影。

[0109] 如图2所示,在图1所示的像素单元电路的基础上,本发明至少一实施例所述的像素单元电路还包括:第三控制模块14;

[0110] 所述第三控制模块14分别与所述第一控制线EM和地端GND连接,所述第三控制模块14与所述驱动晶体管DTFT的源极耦接,所述第三控制模块14用于在所述第一控制线EM的控制下,控制所述驱动晶体管DTFT的源极是否与所述地端GND连接。

[0111] 在本发明如图2所示的像素单元电路的至少一实施例工作时,在所述充电补偿阶段之前还设置有一重置阶段;

[0112] 在所述重置阶段,在所述第一控制线EM的控制下,第三控制模块14控制所述驱动晶体管DTFT的源极与地端GND连接,以重置所述驱动晶体管DTFT的源极的电位,以有效改善高频驱动下动态残影的问题。

[0113] 在具体实施时,在所述充电补偿阶段和所述像素发光阶段,在所述第一控制线EM的控制下,第三控制模块14控制断开所述驱动晶体管的源极与地端GND之间的连接。

[0114] 可选的,所述第二控制模块可以包括:第三晶体管,栅极与所述第一控制线连接,第一极与所述高电平输入端连接,第二极与所述驱动晶管的第二极连接。

[0115] 可选的,所述第三控制模块可以包括:第四晶体管,栅极与所述第一控制线连接,第一极与所述驱动晶体管的第一极耦接,第二极与所述地端连接。

[0116] 在本发明至少一实施例中,当所述第三晶体管为p型晶体管时,所述第四晶体管为n型晶体管;当所述第三晶体管为n型晶体管时,所述第四晶体管为p型晶体管。

[0117] 在本发明至少一实施例中,所述第四晶管的第二极也可以被替换为与低电平输入端连接,但不以此为限。

[0118] 在具体实施时,如图3所示,在图1所示的像素单元电路的至少一实施例的基础上,所述栅线可以包括第一栅极开关线Gate1和第二栅极开关线Gate2;

[0119] 所述第一控制模块13包括:

[0120] 第一晶体管N1,栅极与所述第一栅极开关线Gate1连接,源极与所述驱动晶体管DTFT的栅极连接,漏极与所述数据线Data连接;以及,

[0121] 第二晶体管P1,栅极与所述第二栅极开关线Gate2连接,源极与所述数据线Data连接,漏极与所述驱动晶体管DTFT的栅极连接;

[0122] 所述第一晶体管N1为n型晶体管,所述第二晶体管P1为p型晶体管。

[0123] 在图3所示的像素单元电路的至少一实施例中,通过第一控制模块包括一个NMOS管(Negative channel Metal Oxide Semiconductor,N沟道金属氧化物半导体场效应晶体管)和一个PMOS管(Positive channel Metal Oxide Semiconductor,P沟道金属氧化物半导体场效应晶体管),能够增加数据线上的数据电压范围,提高有机发光二极管OLED的发光亮度。

[0124] 在图3所示的至少一实施例中,如果所述第一控制模块仅包括第一晶体管N1,则当Gate1输出的信号的电位不够高时,Data输出的较高数据电压则有可能不会被传输至驱动晶体管DTFT的栅极。而本发明如图4所示的像素单元电路的至少一实施例通过第一控制模块还包括第二晶体管P1,在充电补偿阶段Gate2输出低电平信号,则即使Data输出的数据电压比较大,也可以保证该数据电压写入驱动晶体管DTFT的栅极,从而可以增加数据线输出的有效驱动电压范围。

[0125] 如图4所示,在图2所示的像素单元电路的至少一实施例的基础上,所述栅线可以包括第一栅极开关线Gate1和第二栅极开关线Gate2;

[0126] 所述第一控制模块13包括:

[0127] 第一晶体管N1,栅极与所述第一栅极开关线Gate1连接,源极与所述驱动晶体管DTFT的栅极连接,漏极与所述数据线Data连接;以及,

[0128] 第二晶体管P1,栅极与所述第二栅极开关线Gate2连接,源极与所述数据线Data连接,漏极与所述驱动晶体管DTFT的栅极连接;

[0129] 所述第一晶体管N1为n型晶体管,所述第二晶体管P1为p型晶体管。

[0130] 在图4所示的像素单元电路的至少一实施例中,通过第一控制模块包括一个NMOS管(Negative channel Metal Oxide Semiconductor,N沟道金属氧化物半导体场效应晶体管)和一个PMOS管(Positive channel Metal Oxide Semiconductor,P沟道金属氧化物半导体场效应晶体管),能够增加数据线上的数据电压范围,提高有机发光二极管OLED的发光亮度。

[0131] 在图4所示的至少一实施例中,如果所述第一控制模块仅包括第一晶体管N1,则当Gate1输出的信号的电位不够高时,Data输出的较高数据电压则有可能不会被传输至驱动晶体管DTFT的栅极。而本发明如图4所示的像素单元电路的至少一实施例通过第一控制模块还包括第二晶体管P1,在充电补偿阶段Gate2输出低电平信号,则即使Data输出的数据电压比较大,也可以保证该数据电压写入驱动晶体管DTFT的栅极,从而可以增加数据线输出的有效驱动电压范围。

[0132] 在实际操作时,所述存储电容模块可以包括存储电容。

[0133] 如图5所示,本发明实施例所述的像素单元电路包括:

[0134] 有机发光二极管OLED,阴极与输入低电平Vss的低电平输入端连接;

[0135] 存储电容模块11,第一端与一直流电压输入端VD连接;

[0136] 驱动晶体管DTFT,栅极与所述存储电容模块11的第二端连接,源极与所述有机发光二极管OLED的阳极连接;

[0137] 第二控制模块12,控制端与第一控制线EM连接,第一端与输入高电平Vdd的高电平输入端连接,第二端与所述驱动晶体管DTFT的漏极连接,用于在所述第一控制线EM的控制下控制所述驱动晶体管DTFT的漏极是否与所述输入高电平Vdd的高电平输入端连接;以及,

[0138] 第一控制模块13,分别与栅线Gate、数据线Data和所述驱动晶体管DTFT的栅极连接,用于在所述栅线Gate的控制下控制所述驱动晶体管DTFT的栅极是否与所述数据线Data连接。

[0139] 在图5所示的实施例中,以驱动晶体管DTFT为n型晶体管为例说明,在实际操作时,该驱动晶体管DTFT也可以为p型晶体管。

[0140] 本发明如图5所示的像素单元电路的实施例在工作时,

[0141] 在充电补偿阶段,在第一控制线EM的控制下,第二控制模块12控制驱动晶体管DTFT的漏极与输入高电平Vdd的高电平输入端连接;在栅线Gate的控制下,第一控制模块13控制数据线Data上的数据电压Vdata写入驱动晶体管DTFT的栅极,以使得所述驱动晶体管DTFT导通,直至所述驱动晶体管DTFT的源极的电位变为 $Vdata - V_{th}$,所述驱动晶体管DTFT工作于恒定电流区; V_{th} 为所述驱动晶体管DTFT的阈值电压;

[0142] 在像素发光阶段,在第一控制线EM的控制下,第二控制模块12控制驱动晶体管DTFT的漏极与输入高电平Vdd的高电平输入端连接,所述驱动晶体管DTFT工作于恒定电流区,驱动有机发光元件OLED发光。

[0143] 优选的,本发明实施例所述的像素单元电路还包括第三控制模块;

[0144] 所述第三控制模块分别与所述第一控制线和地端连接,所述第三控制模块与所述驱动晶体管的第一极耦接,所述第三控制模块用于在所述第一控制线的控制下,控制所述驱动晶体管的第一极是否与所述地端连接。

[0145] 本发明所述的像素单元电路优选的实施例中的第三控制模块可以在重置阶段控制消除上一帧残留于OLED的阳极的电压,从而消除动态残影。

[0146] 如图6所示,在图5所示的像素单元电路的基础上,本发明实施例所述的像素单元电路还包括第三控制模块14;

[0147] 所述第三控制模块14分别与所述第一控制线EM和地端GND连接,所述第三控制模块14与所述驱动晶体管DTFT的源极耦接,所述第三控制模块14用于在所述第一控制线EM的控制下,控制所述驱动晶体管DTFT的源极是否与所述地端GND连接。

[0148] 在本发明如图6所示的像素单元电路的实施例工作时,在所述充电补偿阶段之前还设置有一重置阶段;

[0149] 在所述重置阶段,在所述第一控制线EM的控制下,第三控制模块14控制所述驱动晶体管DTFT的源极与地端GND连接,以重置所述驱动晶体管DTFT的源极的电位,以有效改善高频驱动下动态残影的问题。

[0150] 在具体实施时,在所述充电补偿阶段和所述像素发光阶段,在所述第一控制线EM的控制下,第三控制模块14控制断开所述驱动晶体管的源极与地端GND之间的连接。

[0151] 根据一种具体实施方式,在图5所示的像素单元电路的实施例的基础上,本发明所述的像素单元电路还可以包括:电位控制晶体管,栅极和第一极都与所述驱动晶体管的第一极连接,第二极接地;所述电位控制晶体管为p型晶体管。

[0152] 如图7所示,在图5所示的像素单元电路的基础上,本发明实施例所述的像素单元

电路还可以包括：电位控制晶体管P3，栅极和源极都与所述驱动晶体管DTFT的源极连接，漏极与地端GND连接；所述电位控制晶体管P3为p型晶体管。

[0153] 本发明如图7所示的像素单元电路的实施例在工作时，该电位控制晶体管P3可以有效保护有机发光二极管OLED的阳极电位不会低于地端GND输出的电压，从而保护栅源电压DTFT的栅源电压不会超过栅源电压DTFT本身的最大驱动电压。

[0154] 在具体实施时，如图8所示，所述栅线可以包括第一栅极开关线Gate1和第二栅极开关线Gate2；

[0155] 所述第一控制模块13包括：

[0156] 第一晶体管N1，栅极与所述第一栅极开关线Gate1连接，源极与所述驱动晶体管DTFT的栅极连接，漏极与所述数据线Data连接；以及，

[0157] 第二晶体管P1，栅极与所述第二栅极开关线Gate2连接，源极与所述数据线Data连接，漏极与所述驱动晶体管DTFT的栅极连接；

[0158] 所述第一晶体管N1为n型晶体管，所述第二晶体管P1为p型晶体管。

[0159] 在图8所示的像素单元电路的实施例中，通过第一控制模块包括一个NMOS管(Negative channel Metal Oxide Semiconductor, N沟道金属氧化物半导体场效应晶体管)和一个PMOS管(Positive channel Metal Oxide Semiconductor, P沟道金属氧化物半导体场效应晶体管)，能够增加数据线上的数据电压范围，提高有机发光二极管OLED的发光亮度。

[0160] 在图8所示的实施例中，如果所述第一控制模块仅包括第一晶体管N1，则当Gate1输出的信号的电位不够高时，Data输出的较高数据电压则有可能不会被传输至驱动晶体管DTFT的栅极。而本发明如图8所示的像素单元电路的实施例通过第一控制模块还包括第二晶体管P1，在充电补偿阶段Gate2输出低电平信号，则即使Data输出的数据电压比较大，也可以保证该数据电压写入驱动晶体管DTFT的栅极，从而可以增加数据线输出的有效驱动电压范围。

[0161] 下面通过具体实施例来说明本发明所述的像素单元电路。

[0162] 如图9所示，本发明所述的像素单元电路的第一具体实施例包括有机发光二极管OLED、存储电容C1、驱动晶体管DTFT、第二控制模块、第一控制模块、第三控制模块和电位控制晶体管P3，其中，

[0163] 所述有机发光二极管OLED的阳极与所述驱动晶体管DTFT的漏极耦接，所述有机发光二极管OLED的阴极与输入低电平V_{ss}的低电平输入端耦接；

[0164] 所述存储电容C1的第一端与一直流电压输入端VD耦接，所述存储电容C1的第二端与所述驱动晶体管DTFT的栅极耦接；

[0165] 所述驱动晶体管DTFT的源极与所述有机发光二极管OLED的阳极耦接；

[0166] 所述第一控制模块包括：

[0167] 第一晶体管N1，栅极与所述第一栅极开关线Gate1耦接，源极与所述驱动晶体管DTFT的栅极耦接，漏极与所述数据线Data耦接；以及，

[0168] 第二晶体管P1，栅极与所述第二栅极开关线Gate2耦接，源极与所述数据线Data耦接，漏极与所述驱动晶体管DTFT的栅极耦接；

[0169] 所述第三控制模块包括：第四晶体管N2，栅极与第一控制线EM连接，源极与所述驱

动晶体管DTFT的源极耦接,漏极与地端GND连接;

[0170] 所述第二控制模块包括:第三晶体管P2,栅极与所述第一控制线EM连接,源极与输入高电平Vdd的高电平输入端连接,漏极与所述驱动晶体管DTFT的漏极连接;

[0171] 所述电位控制晶体管P3的栅极和所述电位控制晶体管P3的源极都与所述驱动晶体管DTFT的源极耦接,所述电位控制晶体管P3的漏极与地端GND耦接;

[0172] 所述第一晶体管N1为n型晶体管,所述第二控制晶体管P1为p型晶体管,所述第四晶体管N2为n型晶体管,所述第三晶体管P2为p型晶体管;所述驱动晶体管DTFT为n型晶体管;所述电位控制晶体管P3为p型晶体管。

[0173] 在图9中,a点为与所述有机发光二极管OLED的阳极连接的节点。

[0174] 如图10所示,本发明如图9所示的像素单元电路的第一具体实施例在工作时,

[0175] 在重置阶段S1, Gate1输出低电平, Gate2和EM输出高电平,如图11A所示, N2导通, P1、P2和N1断开, a点电位被重置放电到地电平(所述地电平为所述地点GND的电位),将上一帧OLED的阳极的电压信号进行重置,可以有效改善高频驱动下动态残影的问题;

[0176] 在充电补偿阶段S2, Gate1输出高电平, Gate2和EM都输出低电平,如图11B所示, P1、P2和N1都导通, N2断开, Data输出的数据电压Vdata通过C1对DTFT的栅极充电, C1的第二端的电位被充电到Vdata, DTFT先导通直至a点电势变为Vdata-Vth, DTFT工作于恒定电流区(近似恒流区);本发明实施例采用N1和P1,主要是由于可以增加Data输出的有效驱动电压范围;

[0177] 在像素发光阶段S3, Gate1和EM都输出低电平, Gate2输出高电平,如图11C所示, P2导通, N1、P1和N2都断开, a点电势保持在Vdata-Vth,此时DTFT的漏极接入Vdd, DTFT工作于恒定电流区(近似恒流区),电流通过导通的P2以及处于恒定电流区的DTFT驱动OLED发光;本发明实施例所述的像素单元电路通过控制驱动晶体管DTFT的栅极的电势,改变a点电势,从而改变OLED的两端的跨压,改变OLED的发光电流。

[0178] 本发明如图9所示的像素单元电路的第一具体实施例在工作时,通过设置P3,可以有效保护OLED的阳极电位不会低于地电平(所述地电平为所述地点GND的电位),从而保证DTFT的栅源电压不会超过DTFT的最大驱动电压,进而使得所述驱动晶体管不会失效。

[0179] 在具体实施时,本发明至少一实施例所述的像素单元电路可以设置于硅基板上,该像素单元电路包括的发光元件可以为有机发光二极管,本发明至少一实施例提出一种硅基OLED(有机发光二极管)像素驱动电路设计,通过匹配新的时序结合本身的像素驱动设计,可以有效调节Micro(微) OLED自身的亮度,还可以改善动态残影的问题,另外针对像素单元电路本身,通过特殊TFT的栅极,增加了数据电压范围,有效提高了OLED的发光亮度。

[0180] 如图12所示,本发明所述的像素单元电路的第二具体实施例包括有机发光二极管OLED、存储电容C1、驱动晶体管DTFT、第二控制模块、第一控制模块和电位控制晶体管P3,其中,

[0181] 所述有机发光二极管OLED的阳极与所述驱动晶体管DTFT的漏极耦接,所述有机发光二极管OLED的阴极与输入低电平Vss的低电平输入端耦接;

[0182] 所述存储电容C1的第一端与一直流电压输入端VD耦接,所述存储电容C1的第二端与所述驱动晶体管DTFT的栅极耦接;

[0183] 所述驱动晶体管DTFT的源极与所述有机发光二极管OLED的阳极耦接;

- [0184] 所述第一控制模块包括：
- [0185] 第一晶体管N1，栅极与所述第一栅极开关线Gate1耦接，源极与所述驱动晶体管DTFT的栅极耦接，漏极与所述数据线Data耦接；以及，
- [0186] 第二晶体管P1，栅极与所述第二栅极开关线Gate2耦接，源极与所述数据线Data耦接，漏极与所述驱动晶体管DTFT的栅极耦接；
- [0187] 所述第二控制模块包括：第三晶体管P2，栅极与所述第一控制线EM连接，源极与输入高电平Vdd的高电平输入端连接，漏极与所述驱动晶体管DTFT的漏极连接；
- [0188] 所述电位控制晶体管P3的栅极和所述电位控制晶体管P3的源极都与所述驱动晶体管DTFT的源极耦接，所述电位控制晶体管P3的漏极与地端GND耦接；
- [0189] 所述电位控制晶体管P3为p型晶体管；
- [0190] 所述第一晶体管N1为n型晶体管，所述第二晶体管P1为p型晶体管，所述第三晶体管P2为p型晶体管；所述驱动晶体管DTFT为n型晶体管。
- [0191] 本发明如图12所示的像素单元电路的第二具体实施例在工作时，通过设置P3，可以有效保护OLED的阳极电位不会低于地电平（所述地电平为所述地点GND的电位），从而保证DTFT的栅源电压不会超过DTFT的最大驱动电压，进而使得所述驱动晶体管不会失效。
- [0192] 如图13所示，本发明所述的像素单元电路的第三具体实施例包括有机发光二极管OLED、存储电容C1、驱动晶体管DTFT、第二控制模块、第一控制模块和第三控制模块，其中，
- [0193] 所述有机发光二极管OLED的阳极与所述驱动晶体管DTFT的漏极连接，所述有机发光二极管OLED的阴极与输入低电平Vss的低电平输入端连接；
- [0194] 所述存储电容C1的第一端与一直流电压输入端VD连接，所述存储电容C1的第二端与所述驱动晶体管DTFT的栅极连接；
- [0195] 所述驱动晶体管DTFT的源极与所述有机发光二极管OLED的阳极连接；
- [0196] 所述第一控制模块包括：
- [0197] 第一晶体管N1，栅极与所述第一栅极开关线Gate1连接，源极与所述驱动晶体管DTFT的栅极连接，漏极与所述数据线Data连接；以及，
- [0198] 第二晶体管P1，栅极与所述第二栅极开关线Gate2连接，源极与所述数据线Data连接，漏极与所述驱动晶体管DTFT的栅极连接；
- [0199] 所述第三控制模块包括：第四晶体管N2，栅极与第一控制线EM连接，源极与所述驱动晶体管DTFT的源极耦接，漏极与地端GND连接；
- [0200] 所述第二控制模块包括：第三晶体管P2，栅极与所述第一控制线EM连接，源极与输入高电平Vdd的高电平输入端连接，第二极与所述驱动晶体管DTFT的漏极连接；
- [0201] 所述第一晶体管N1为n型晶体管，所述第二晶体管P1为p型晶体管，所述第四晶体管N2为n型晶体管，所述第三晶体管P2为p型晶体管；所述驱动晶体管DTFT为n型晶体管。
- [0202] 在图13中，a点为与所述有机发光二极管OLED的阳极连接的节点。
- [0203] 如图10所示，本发明如图13所示的像素单元电路的第一具体实施例在工作时，
- [0204] 在重置阶段S1，Gate1输出低电平，Gate2和EM输出高电平，N2导通，P1、P2和N1断开，a点电位被重置放电到地电平，将上一帧OLED的阳极的电压信号进行重置，可以有效改善高频驱动下动态残影的问题；
- [0205] 在充电补偿阶段S2，Gate1输出高电平，Gate2和EM都输出低电平，P1、P2和N1都导

通,N2断开,Data输出的数据电压Vdata通过C1对DTFT的栅极充电,C1的第二端的电位被充电到Vdata,DTFT先导通直至a点电势变为Vdata-Vth,DTFT工作于恒定电流区(近似恒流区);本发明实施例采用N1和P1,主要是由于可以增加Data输出的有效驱动电压范围;

[0206] 在像素发光阶段S3, Gate1和EM都输出低电平, Gate2输出高电平, P2导通, N1、P1和N2都断开, a点电势保持在Vdata-Vth, 此时DTFT的漏极接入Vdd, DTFT工作于恒定电流区(近似恒流区), 电流通过导通的P2以及处于恒定电流区的DTFT驱动OLED发光; 本发明实施例所述的像素单元电路通过控制驱动晶体管DTFT的栅极的电势, 改变a点电势, 从而改变OLED的两端的跨压, 改变OLED的发光电流。

[0207] 本发明实施例所述的像素单元电路的驱动方法, 用于驱动上述的像素单元电路, 所述像素单元电路的驱动方法包括:

[0208] 在充电补偿阶段, 在第一控制线的控制下, 第二控制模块控制驱动晶体管的第二极与高电平输入端连接; 在栅线的控制下, 第一控制模块控制数据线上的数据电压Vdata写入驱动晶体管的栅极, 以使得所述驱动晶体管导通, 直至所述驱动晶体管的第一极的电位变为Vdata-Vth, 所述驱动晶体管工作于恒定电流区; Vth为所述驱动晶体管的阈值电压;

[0209] 在像素发光阶段, 在第一控制线的控制下, 第二控制模块控制驱动晶体管的第二极与高电平输入端连接, 所述驱动晶体管工作于恒定电流区, 驱动发光元件发光。

[0210] 优选的, 当所述像素单元电路还包括第三控制模块, 所述第三控制模块分别与所述第一控制线和地端连接, 所述第三控制模块与所述驱动晶体管的第一极耦接, 所述第三控制模块用于在所述第一控制线的控制下, 控制所述驱动晶体管的第一极是否与所述地端连接时, 所述像素单元电路的驱动方法在所述充电补偿阶段之前还包括:

[0211] 在重置阶段, 在所述第一控制线的控制下, 第三控制模块控制所述驱动晶体管的第一极与地端连接, 以重置所述驱动晶体管的第一极的电位。

[0212] 本发明实施例所述的像素电路, 包括多行栅线、多列数据线、多行第一控制线和阵列排布的多个上述的像素单元电路;

[0213] 位于同一行的像素单元电路与同一行栅线连接;

[0214] 位于同一列的像素单元电路与同一列数据线连接;

[0215] 当所述像素单元电路还包括第三控制模块时, 位于同一行的像素单元电路与同一行第一控制线连接。

[0216] 在具体实施时, 本发明实施例所述的像素电路可以设置于硅基板上。

[0217] 本发明实施例所述的像素电路的驱动方法, 用于驱动上述的像素电路, 在一帧显示时间内, 一行像素单元电路对应于相应的充电补偿阶段和相应的像素发光阶段; 所述像素电路中的像素单元电路还包括第二控制模块;

[0218] 所述像素电路的驱动方法包括: 在一帧显示时间内,

[0219] 在相应的充电补偿阶段, 在相应行第一控制线的控制下, 位于相应行的像素单元电路包括的第二控制模块控制驱动晶体管的第二极与高电平输入端连接; 在相应行栅线的控制下, 位于相应行的像素单元电路包括的第一控制模块控制相应列数据线上的数据电压Vdata写入位于相应行的像素单元电路包括的驱动晶体管的栅极, 以使得所述驱动晶体管导通, 直至所述驱动晶体管的第一极的电位变为Vdata-Vth, 所述驱动晶体管工作于恒定电流区; Vth为所述驱动晶体管的阈值电压;

[0220] 在相应的像素发光阶段,在所述相应行第一控制线的控制下,该第二控制模块控制所述驱动晶体管的第二极与高电平输入端连接,所述驱动晶体管工作于恒定电流区,驱动发光元件发光。

[0221] 优选的,当所述像素电路中的像素单元电路包括第三控制模块,所述第三控制模块分别与所述第一控制线和地端连接,所述第三控制模块与所述驱动晶体管的第一极耦接,所述第三控制模块用于在所述第一控制线的控制下,控制所述驱动晶体管的第一极是否与所述地端连接时,

[0222] 在相邻两帧显示时间之间设置有全屏插黑时间段;所述像素电路的驱动方法还包括:

[0223] 在所述全屏插黑时间段,所述像素电路包括的所有行第一控制线都输出第一电平信号,从而使得所述的像素电路包括的每一像素单元电路中的发光元件的第二端都与地端连接,从而在设置于相邻两帧显示时间之间的全屏插黑时间段,对所述像素电路包括的每一像素单元电路中的发光元件的第二端进行电位重置,从而改善动态残影现象。

[0224] 在实际操作时,所述发光元件可以包括有机发光二极管,所述发光元件的第二端可以为所述有机发光二极管的阳极。

[0225] 在实际操作时,当第二控制模块包括的第三晶体管为n型晶体管时,所述第一电平信号为高电平信号,当第二控制模块包括的第三晶体管为p型晶体管时,所述第一电平信号为低电平信号。下面以第二控制模块包括的第三晶体管为n型晶体管为例说明。

[0226] 如图14所示,标号为DE的为数据使能信号,当DE为高电平时,像素电路处于一帧显示时间,当DE为低电平时,像素电路处于空白时间段;标号为EM的为所述第一控制线,在一帧显示时间内,EM输出低电平信号,在设置于相邻两帧显示时间之间的全屏插黑时间段,EM输出高电平信号,对发光元件的第二端进行电位重置,从而改善动态残影现象。在图14中,标号为Sem1的为第一全屏插黑时间段,标号为Sem2的为第二全屏插黑时间段。

[0227] 优选的,当所述像素电路中的像素单元电路包括第三控制模块,所述第三控制模块分别与所述第一控制线和地端连接,所述第三控制模块与所述驱动晶体管的第一极耦接,所述第三控制模块用于在所述第一控制线的控制下,控制所述驱动晶体管的第一极是否与所述地端连接时,在一帧显示时间内间隔设置有多个全屏插黑时间段;所述像素电路的驱动方法还包括:

[0228] 在所述全屏插黑时间段,所述像素电路包括的所有行第一控制线都输出第一电平信号,从而使得所述像素电路包括的每一像素单元电路中的发光元件的第二端都与地端连接。

[0229] 在实际操作时,当第二控制模块包括的第三晶体管为n型晶体管时,所述第一电平信号为高电平信号,当第二控制模块包括的第三晶体管为p型晶体管时,所述第一电平信号为低电平信号。下面以第二控制模块包括的第三晶体管为n型晶体管为例说明。

[0230] 如图15所示,标号为DE的为数据使能信号,当DE为高电平时,像素电路处于一帧显示时间,当DE为低电平时,像素电路处于空白时间段;标号为EM的为所述第一控制线,在一帧显示时间内设置有两个全屏插黑时间段;在所述全屏插黑时间段,EM输出高电平信号,对发光元件的第二端进行电位重置,从而改善动态残影现象;在除了全屏插黑时间段之外的其他时间段,EM输出低电平信号。

[0231] 在图15中,标号为Sem1的为第一全屏插黑时间段,标号为Sem2的为第二全屏插黑时间段,标号为Sem3的为第三全屏插黑时间段,标号为Sem4的为第四全屏插黑时间段。

[0232] 在如图14所示的优选实施例中,在一帧显示时间结束后进入全屏插黑模式,有效改善动态残影现象;在图15所示的优选实施例中,在一帧显示时间内,多次进入全屏插黑模式,可以有效改善动态残影现象。

[0233] 优选的,当所述像素电路中的像素单元电路包括第三控制模块,所述第三控制模块分别与第一控制线和地端连接,所述第三控制模块与所述驱动晶体管的第一极耦接,所述第三控制模块用于在所述第一控制线的控制下,控制所述驱动晶体管的第一极是否与所述地端连接时,所述像素电路的驱动方法还包括:在一帧显示时间,

[0234] 所述像素电路包括的多行第一控制线依次输出第一电平信号,以使得所述像素电路包括的多行像素单元电路中的发光元件的第二端依次与地端连接,也即在一帧显示时间内,控制多行第一控制线从上至下依次输出第一电平信号,从而控制进行逐行插黑,即像素电路包括的多行像素单元电路包括的发光元件的第二端的电位依次被重置,以改善动态残影现象。

[0235] 优选的,当所述像素电路中的像素单元电路包括第三控制模块,所述第三控制模块分别与所述第一控制线和地端连接,所述第三控制模块与所述驱动晶体管的第一极耦接,所述第三控制模块用于在所述第一控制线的控制下,控制所述驱动晶体管的第一极是否与所述地端连接时,每一帧显示时间包括至少两个显示周期,所述像素电路的驱动方法还包括:在每一显示周期,

[0236] 所述像素电路包括的多行第一控制线依次输出第一电平信号,以使得所述像素电路包括的多行像素单元电路中的发光元件的第二端依次与地端连接,也即一帧显示时间包括至少两个显示周期,在一显示周期内,控制多行第一控制线从上至下依次输出第一电平信号,从而控制进行逐行插黑,即像素电路包括的多行像素单元电路包括的发光元件的第二端的电位依次被重置,以改善动态残影现象。在该优选的实施例中,在一帧显示时间内,多次进行逐行插黑。

[0237] 在实际操作时,当第二控制模块包括的第三晶体管为n型晶体管时,所述第一电平信号为高电平信号,当第二控制模块包括的晶体管为p型晶体管时,所述第一电平信号为低电平信号。下面以第二控制模块包括的第三晶体管为n型晶体管为例说明。

[0238] 图16是生成发光控制信号的移位寄存器单元的一具体实施例的电路图。

[0239] 如图16所示,该移位寄存器单元的具体实施例包括:第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9、第十晶体管T10、第一电容Cs1、第二电容Cs2和第三电容Cs3;标号为CLK的为第一时钟信号、标号为CLKB的为第二时钟信号,标号为VL的为低电平,标号为VH的为高电平,标号为E0(N)的为第N级发光控制信号,标号为EM_STV(N)的为第N级起始信号;N为大于1的整数。在实际操作时,EM_STV(N)为E0(N-1)。在图16所示的实施例中,所有的晶体管都为p型晶体管,在实际操作时,以上晶体管也可以被替换为n型晶体管,仅需更改相应的控制信号的时序即可。

[0240] 图17是图16所示的移位寄存器单元的具体实施例的工作时序图。在图17中,E0(N+1)为第N+1级发光控制信号。

[0241] 如图17所示,E0(N)、E0(N+1)依次为高电平。

[0242] 如图18所示,V-sync为同步刷新电压,当V-sync为高电平时,像素电路处于一帧显示时间,当V-sync为低电平时,像素电路处于空白时间段;EM_STV(N)为第N级起始信号,CLK为第一时钟信号,则根据图16所示的电路和图18所示的时序,在一帧显示时间内,多行第一控制线从上至下逐行输出高电平信号,逐行进行插黑。

[0243] 如图19所示,V-sync为同步刷新电压,当V-sync为高电平时,像素电路处于一帧显示时间,当V-sync为低电平时,像素电路处于空白时间段;EM_STV(N)为第N级起始信号,CLK为第一时钟信号,则根据图16所示的电路和图19所示的时序,在一帧显示时间内,多行第一控制线至少两次从上至下逐行输出高电平信号,进行至少两次逐行进行插黑。

[0244] 在具体实施时,通过控制EM_STV(N)的占空比和CLK的占空比,即可控制相应的发光控制信号为高电平的时间长度。CLK的占空比越小,发光控制信号可以调节的范围越大。

[0245] 本发明实施例所述的显示装置,包括硅基板和设置于所述硅基板上的上述的像素单元电路。

[0246] 在实际操作时,本发明实施例所述的显示装置还包括设置于所述硅基板上的多行栅线、多列数据线和多行第一控制线;

[0247] 所述显示装置包括设置于所述硅基板上的阵列排布的多个所述像素单元电路;

[0248] 位于同一行的像素单元电路与同一行栅线连接;位于同一列的像素单元电路与同一列数据线连接;

[0249] 当所述像素单元电路包括第三控制模块时,位于同一列的像素单元电路与同一行第一控制线连接。

[0250] 以上所述是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明所述原理的前提下,还可以作出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

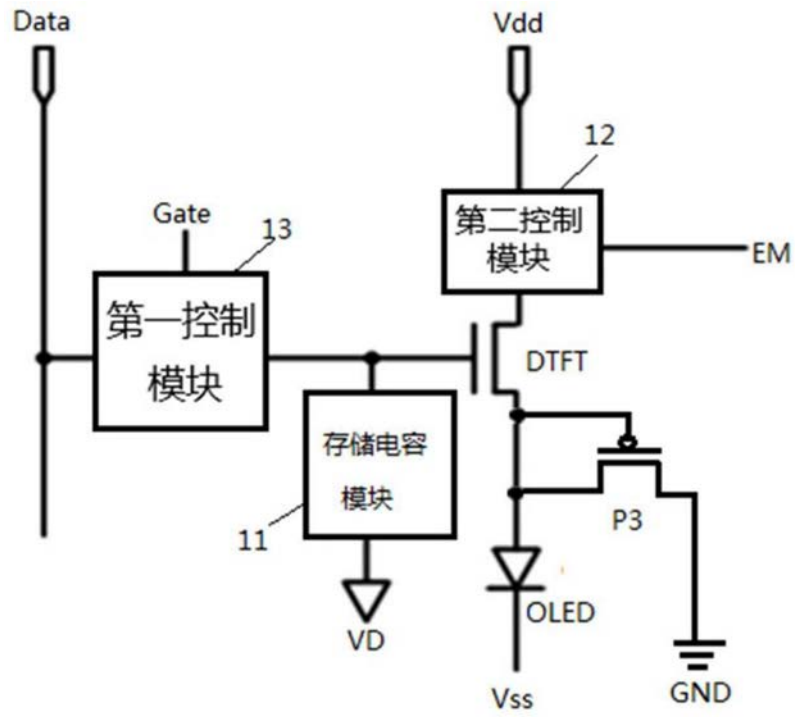


图1

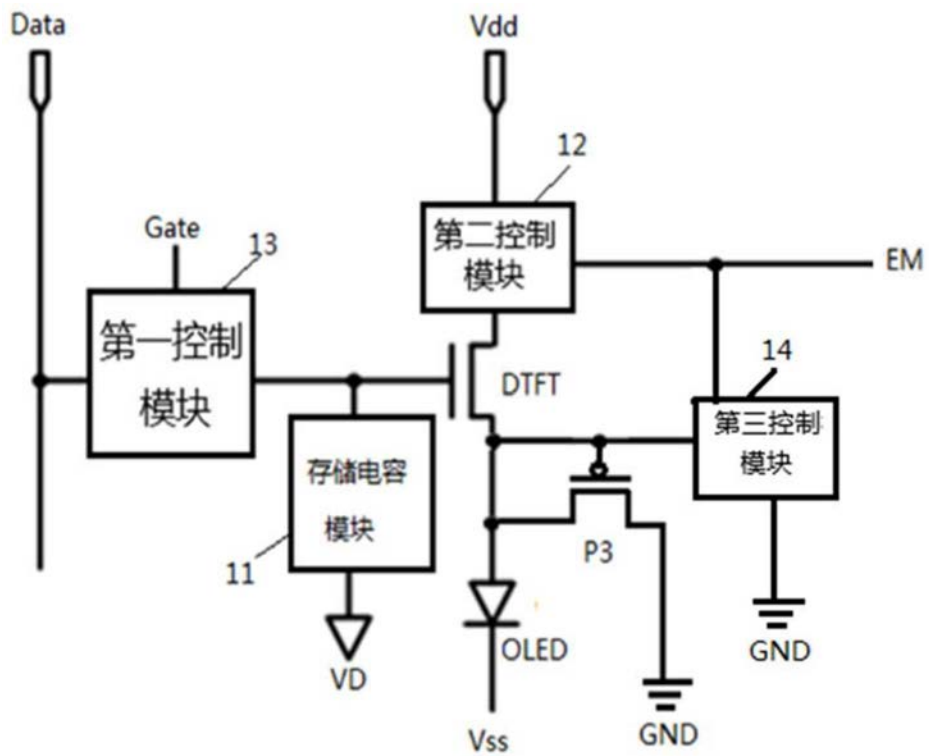


图2

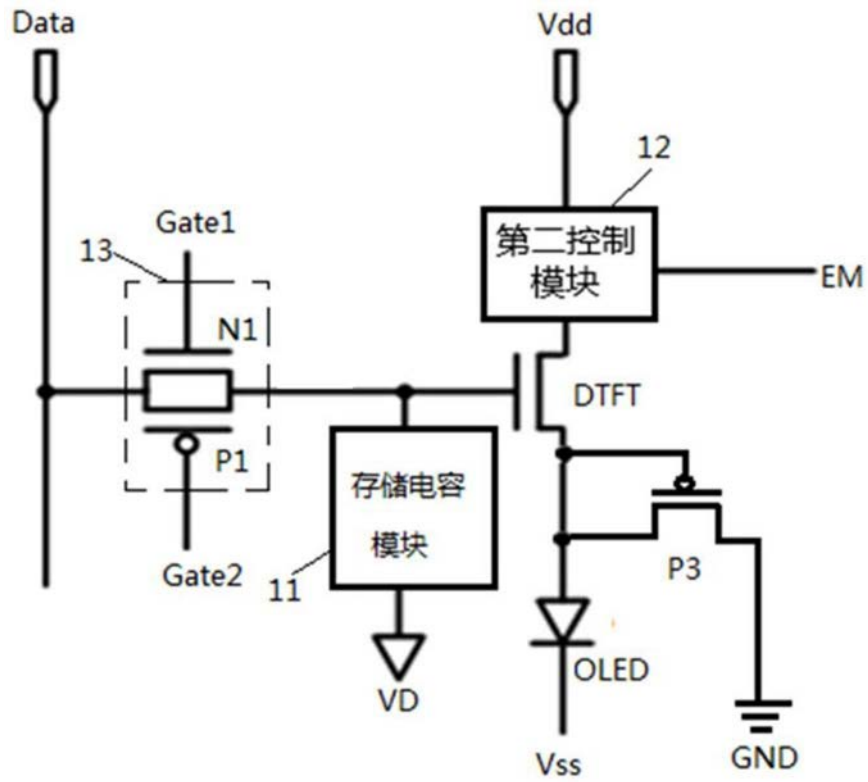


图3

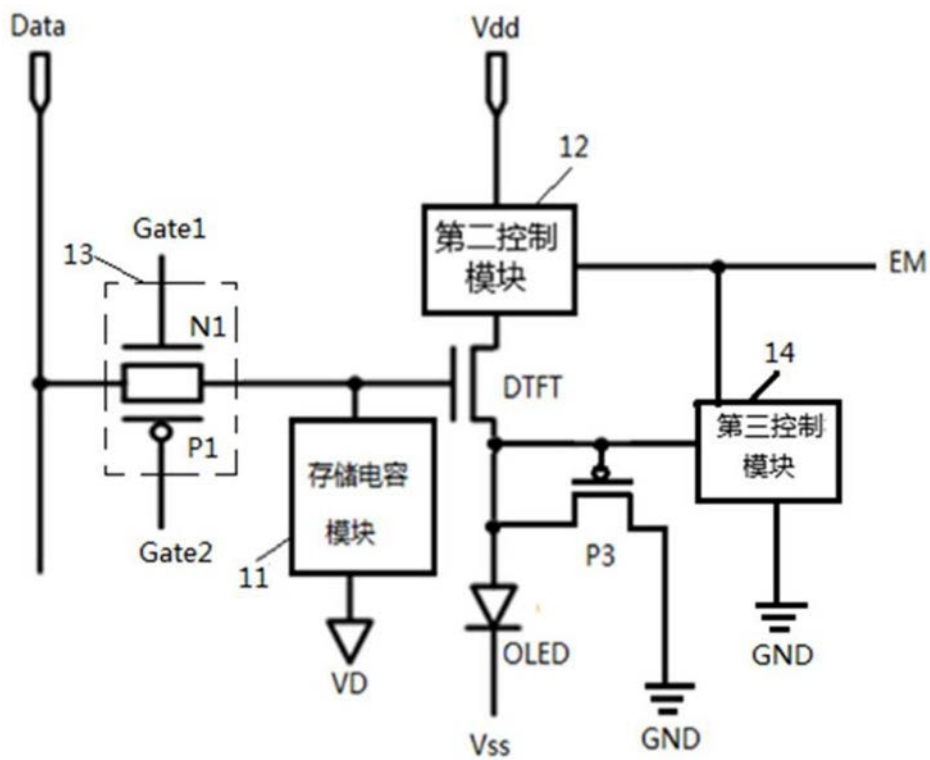


图4

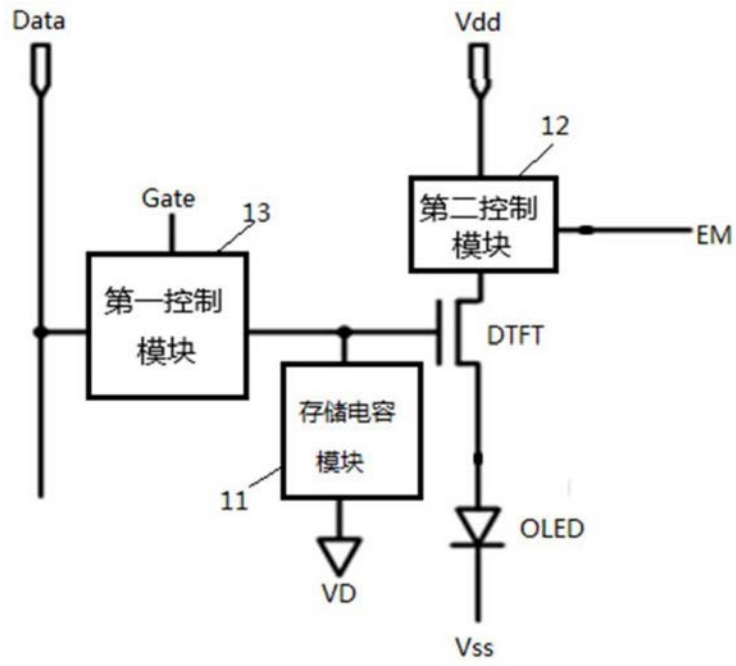


图5

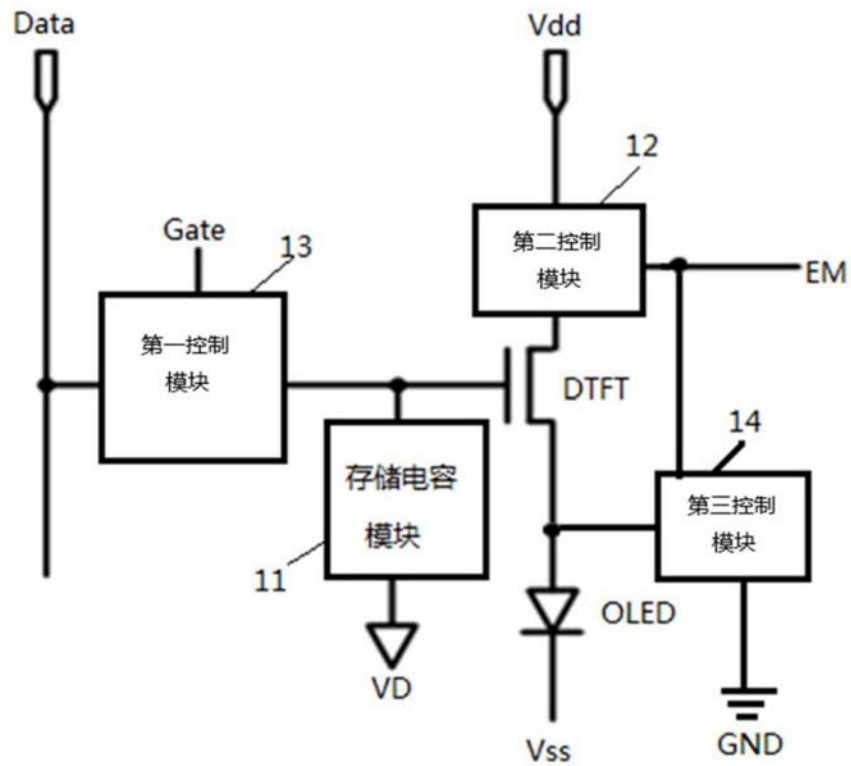


图6

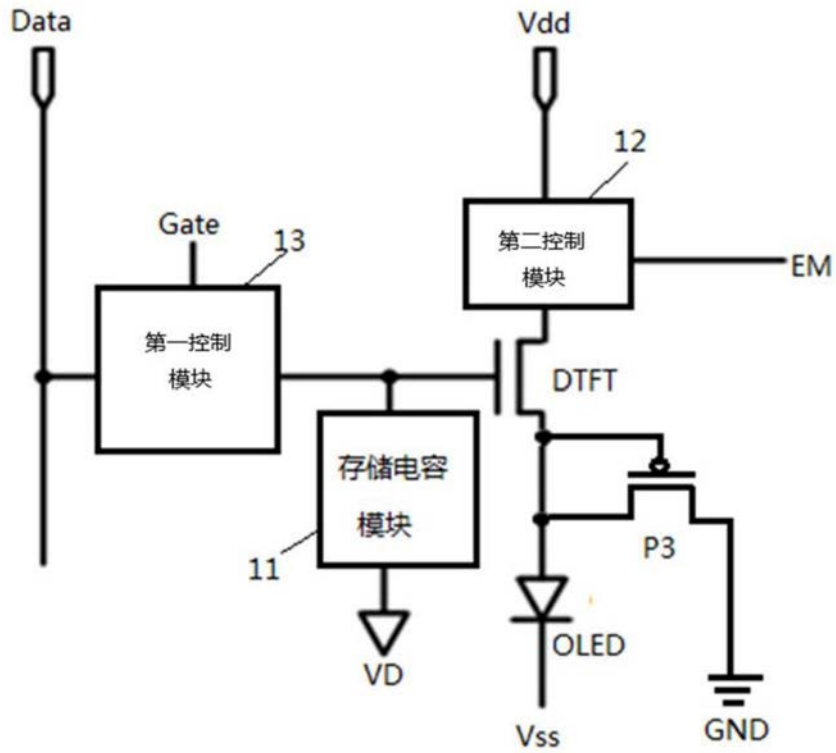


图7

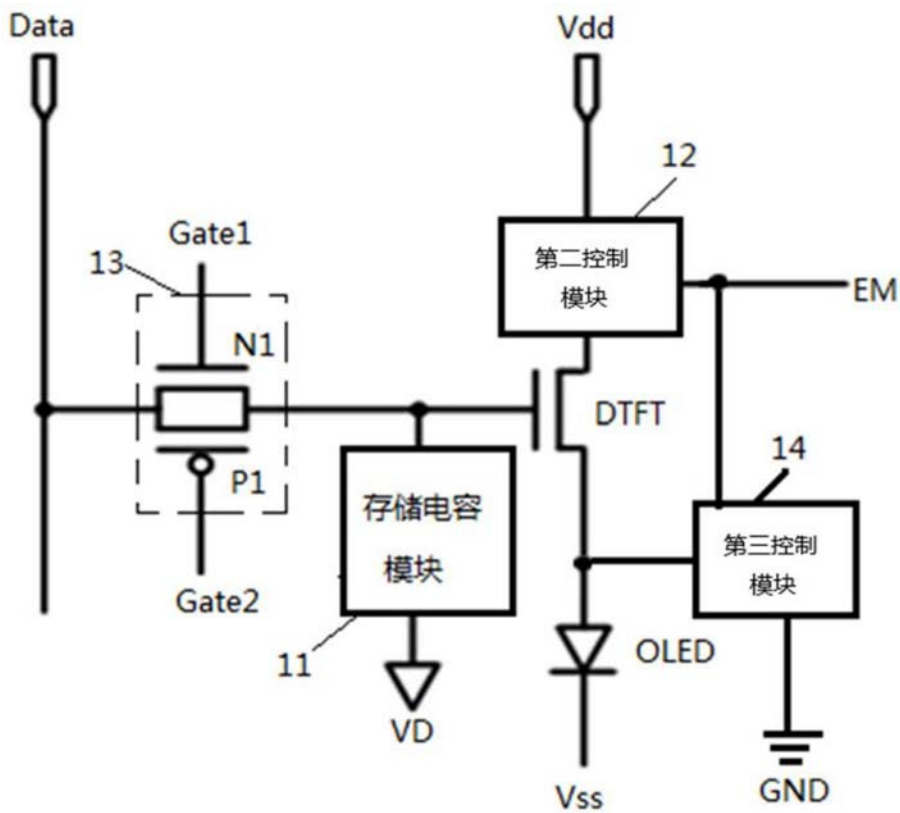


图8

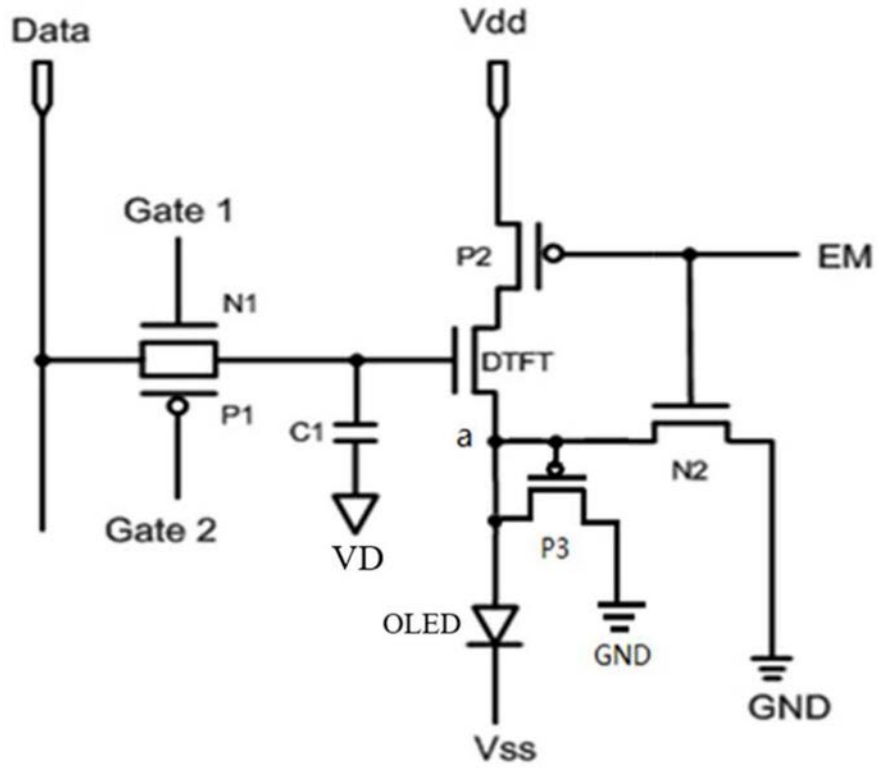


图9

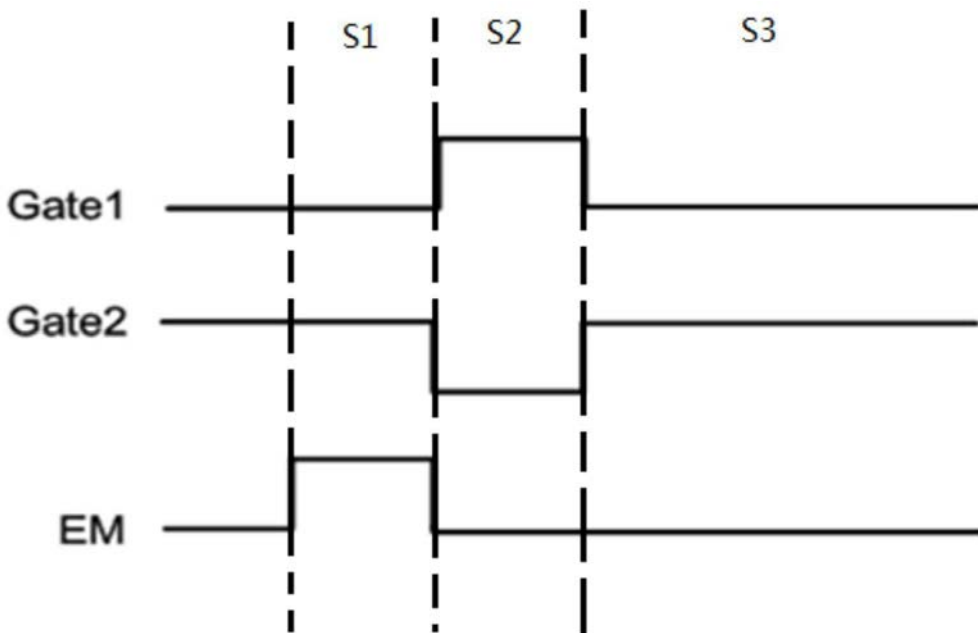


图10

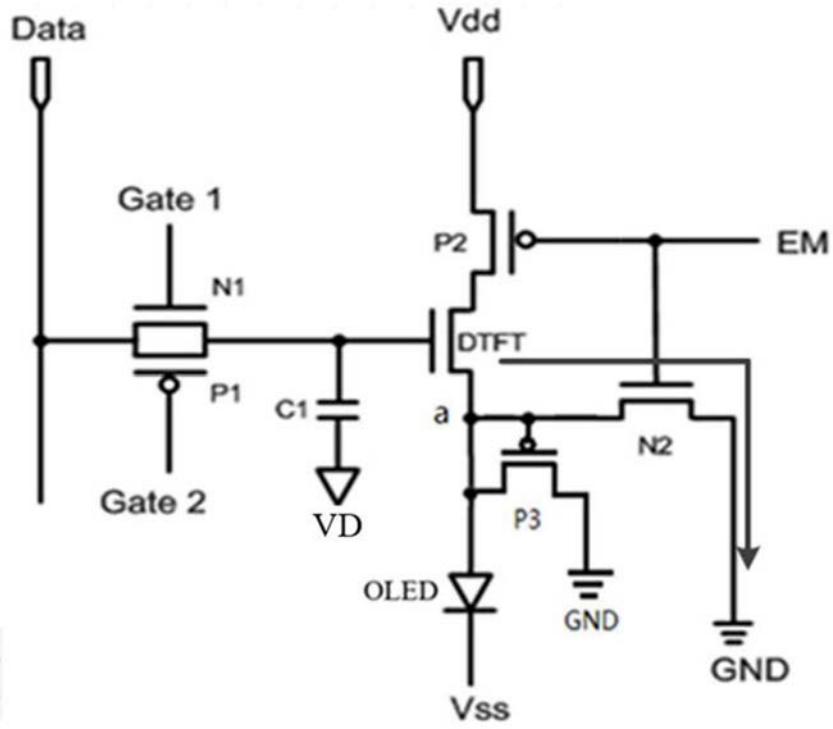


图11A

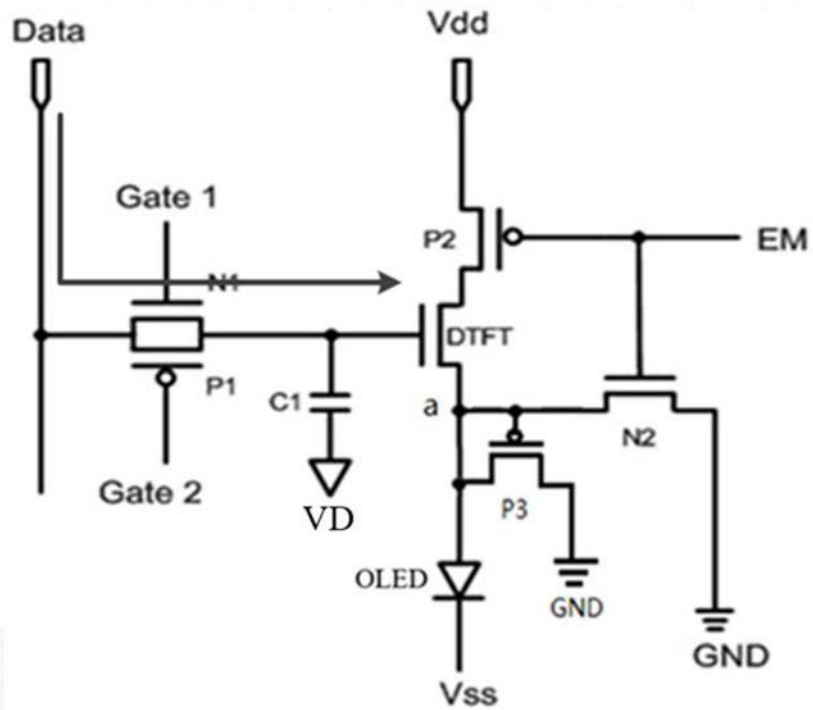


图11B

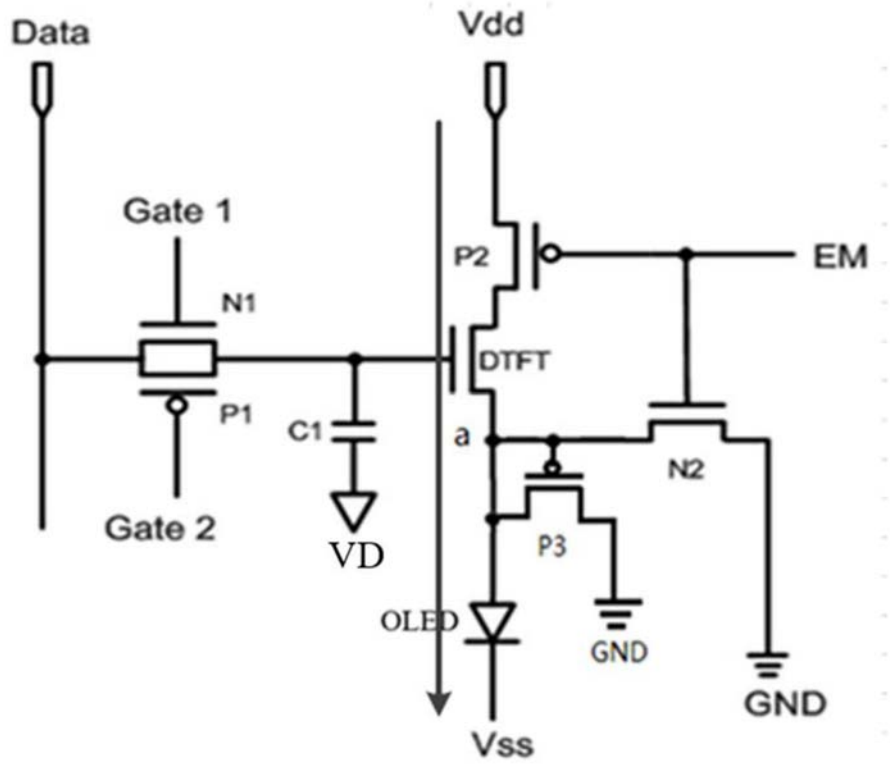


图11C

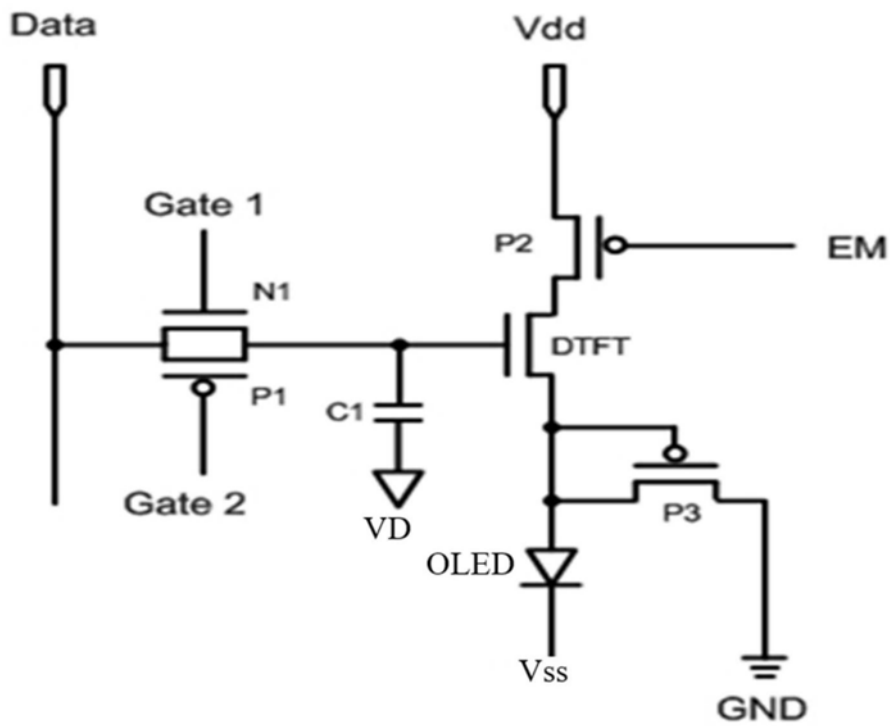


图12

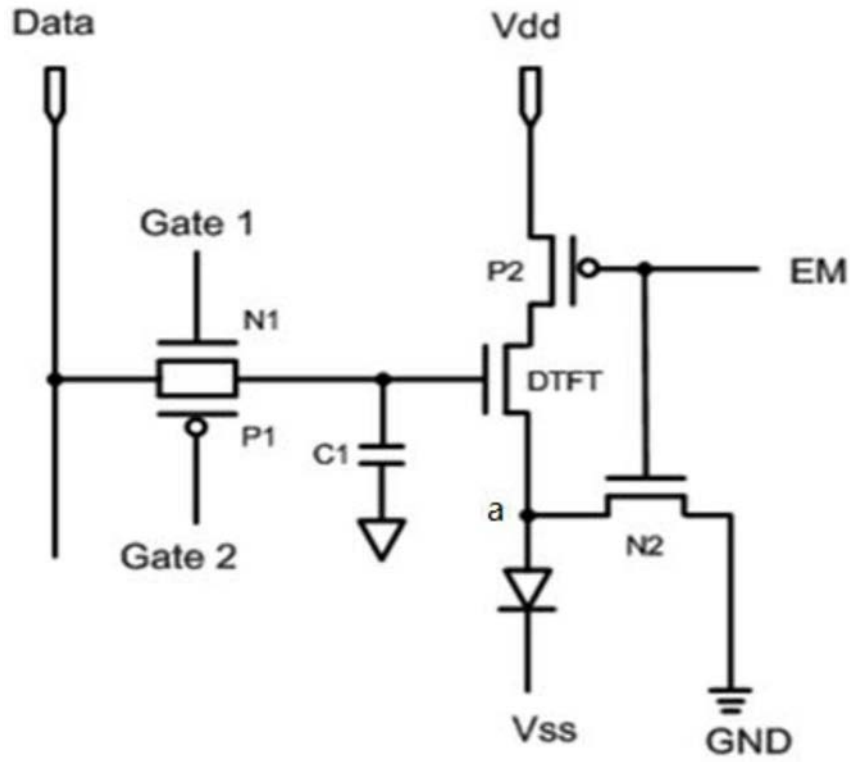


图13

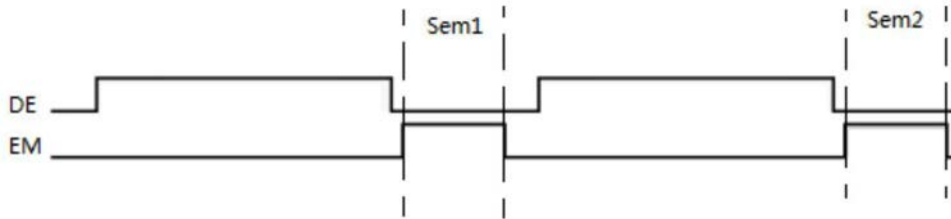


图14

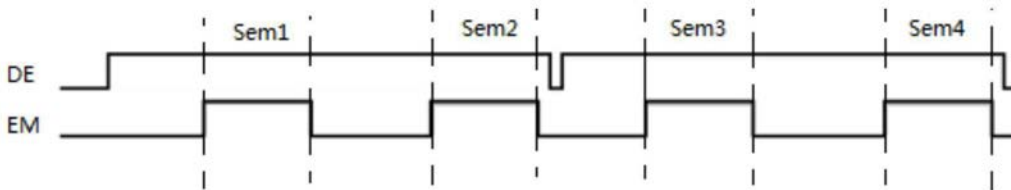


图15

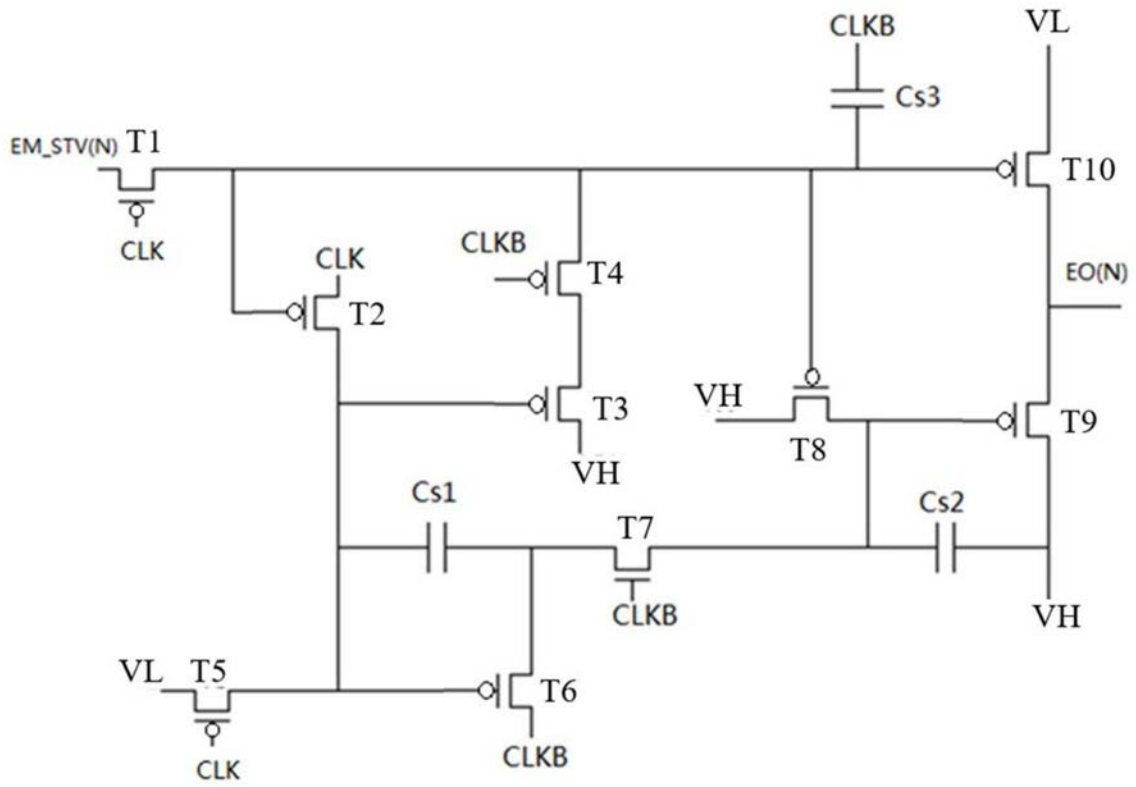


图16

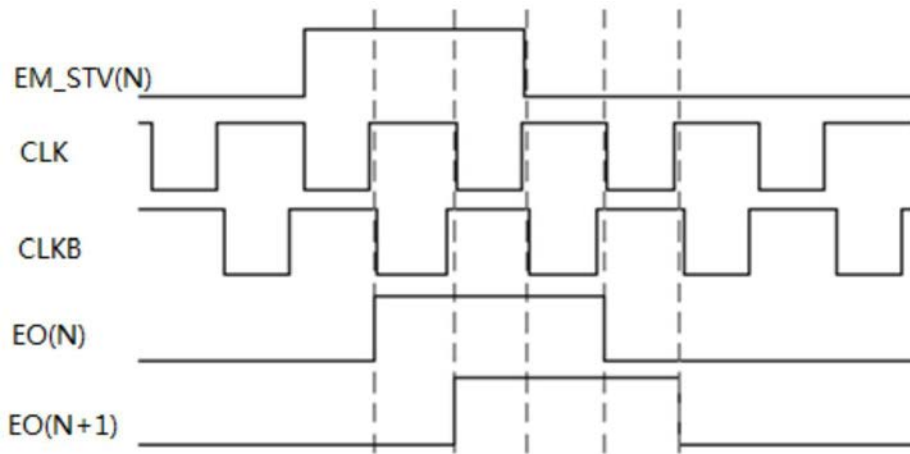


图17

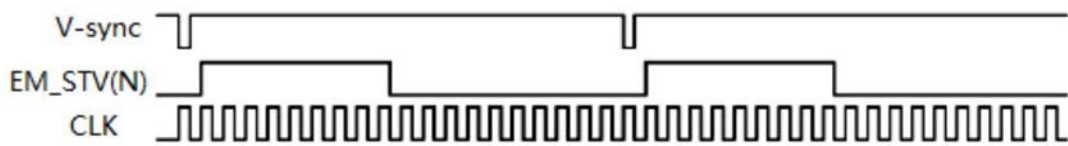


图18

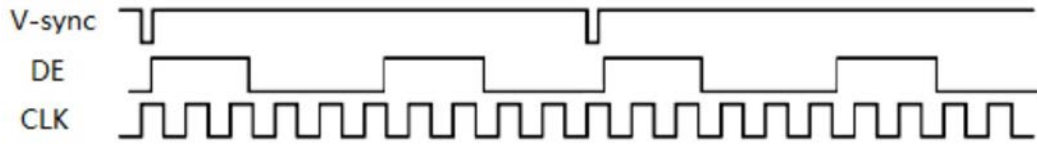


图19