



(12)发明专利申请

(10)申请公布号 CN 109036490 A

(43)申请公布日 2018.12.18

(21)申请号 201810491944.1

(22)申请日 2018.05.21

(30)优先权数据

10-2017-0073387 2017.06.12 KR

(71)申请人 三星电子株式会社

地址 韩国京畿道

(72)发明人 李相锡

(74)专利代理机构 中科专利商标代理有限责任公司 11021

代理人 倪斌

(51)Int.Cl.

G11C 17/08(2006.01)

G11C 17/14(2006.01)

G11C 17/18(2006.01)

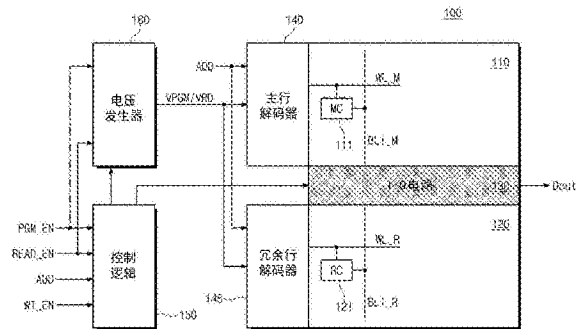
权利要求书3页 说明书9页 附图10页

(54)发明名称

包括OTP存储器单元的存储器设备及其编程方法

(57)摘要

一种存储器设备,包括:主一次可编程(OTP)存储器单元,连接到主字线和主位线;冗余OTP存储器单元,连接到冗余字线和冗余位线;和输入/输出电路,所述输入/输出电路被配置为,在对所述主OTP存储器单元和所述冗余OTP存储器单元进行编程的编程操作期间,使所述主位线和所述冗余位线电分离以及形成到所述主位线的第一编程电流路径和到冗余位线的第二编程电流路径,其中,所述第一编程电流路径与所述第二编程电流路径彼此独立。



1. 一种存储器设备,包括:  
主一次可编程存储器单元,连接到主字线和主位线;  
冗余一次可编程存储器单元,连接到冗余字线和冗余位线;以及  
输入/输出电路,所述输入/输出电路被配置为,在对所述主一次可编程存储器单元和所述冗余一次可编程存储器单元进行编程的编程操作期间,使所述主位线和所述冗余位线电分离以及形成到所述主位线的第一编程电流路径和到所述冗余位线的第二编程电流路径,其中,所述第一编程电流路径与所述第二编程电流路径彼此独立。
2. 根据权利要求1所述的存储器设备,其中,所述输入/输出电路还被配置为,在所述编程操作期间,在相同时间,一起选择所述主字线和所述冗余字线,一起选择所述主位线和所述冗余位线,以及向所述主字线和所述冗余字线同时施加编程电压。
3. 根据权利要求1所述的存储器设备,其中,所述输入/输出电路包括:  
第一电流源电路,被配置为经由所述第一编程电流路径向所述主位线提供第一编程电流;和  
第二电流源电路,被配置为经由所述第二编程电流路径向所述冗余位线提供第二编程电流。
4. 根据权利要求3所述的存储器设备,其中,所述输入/输出电路还包括:  
第一开关,被配置为响应于写使能信号来将所述第一电流源电路连接到所述主位线,以形成所述第一编程电流路径;和  
第二开关,被配置为响应于写使能信号来将所述第二电流源电路连接到所述冗余位线,以形成所述第二编程电流路径。
5. 根据权利要求4所述的存储器设备,其中,所述输入/输出电路还包括:  
读出放大器,被配置为读出在所述主一次可编程存储器单元和所述冗余一次可编程存储器单元中编程的数据;  
第三开关,被配置为响应于读使能信号来将所述读出放大器与所述主位线相连接;和  
第四开关,被配置为响应于所述读使能信号来将所述读出放大器与所述冗余位线相连接。
6. 根据权利要求5所述的存储器设备,其中,所述第三开关和所述第四开关在所述编程操作期间被关断,以电分离所述主位线和所述冗余位线。
7. 根据权利要求1所述的存储器设备,还包括:  
主行解码器,被配置为响应于行地址来选择所述主字线;和  
冗余行解码器,被配置为响应于所述行地址来选择所述冗余字线。
8. 根据权利要求1所述的存储器设备,还包括电压发生器,所述电压发生器被配置为向所述主字线和所述冗余字线中的每一个提供编程电压和读取电压。
9. 根据权利要求8所述的存储器设备,其中,所述电压发生器包括:  
电荷泵,被配置为产生所述编程电压;  
电压调节器,被配置为产生所述读取电压;以及  
开关电路,被配置为根据操作模式来将所述编程电压或所述读取电压传送到所述主字线或所述冗余字线。
10. 根据权利要求9所述的存储器设备,其中,所述开关电路包括:

第一电压开关,被配置为根据所述操作模式来将由所述电荷泵产生的所述编程电压传送到第一节点;

第二电压开关,被配置为根据所述操作模式来将由所述电压调节器产生的所述读取电压传送到所述第一节点;

第三电压开关,被配置为响应于第一选择信号来将所述第一节点电连接到所述主字线;和

第四电压开关,被配置为响应于第二选择信号来将所述第一节点电连接到所述冗余字线。

11. 根据权利要求1所述的存储器设备,其中,所述主字线包括编程字线和选择字线,以及

其中,所述主一次可编程存储器单元包括:

选择晶体管,包括连接到所述选择字线的第一栅极和连接到所述主位线的一端;和

熔丝晶体管,包括连接到所述编程字线的第二栅极和连接到所述选择晶体管的相对端的源极。

12. 一种存储器设备的编程方法,所述存储器设备包括主一次可编程存储器单元和冗余一次可编程存储器单元,该编程方法包括:

接收用于一起选择所述主一次可编程存储器单元和所述冗余一次可编程存储器单元的地址;

产生要提供给所述主一次可编程存储器单元的主字线和所述冗余一次可编程存储器单元的冗余字线的编程电压;

使所述主一次可编程存储器单元所连接到的主位线与所述冗余一次可编程存储器单元所连接到的冗余位线电分离;以及

向所述主一次可编程存储器单元的所述主字线和所述冗余一次可编程存储器单元的所述冗余字线提供所述编程电压,并形成到所述主位线的第一编程电流路径和到所述冗余位线的第二编程电流路径,其中,所述第一编程电流路径和所述第二编程电流路径彼此独立。

13. 根据权利要求12所述的编程方法,其中,将所述编程电压同时提供给所述主一次可编程存储器单元和所述冗余一次可编程存储器单元。

14. 根据权利要求12所述的编程方法,还包括:

经由所述第一编程电流路径向所述主位线提供由第一电流源电路产生的第一编程电流;以及

经由所述第二编程电流路径向所述冗余位线提供由第二电流源电路产生的第二编程电流。

15. 根据权利要求12所述的编程方法,其中,所述主位线和所述冗余位线在读取操作期间彼此电连接。

16. 一种存储器设备,包括:

主单元阵列,包括多个主一次可编程存储器单元;

冗余单元阵列,包括多个冗余一次可编程存储器单元;和

输入/输出电路,包括第一电流源电路和第二电流源电路,所述输入/输出电路被配置

为,根据操作模式,将所述第一电流源电路电连接到从所述多个主一次可编程存储器单元中选择的主一次可编程存储器单元,以及将所述第二电流源电路电连接到从所述多个冗余一次可编程存储器单元中选择的冗余一次可编程存储器单元。

17.根据权利要求16所述的存储器设备,其中,在对所述主一次可编程存储器单元和所述冗余一次可编程存储器单元进行编程的编程操作中,将编程电压同时施加到所选择的所述主一次可编程存储器单元的主字线和所选择的所述冗余一次可编程存储器单元的冗余字线。

18.根据权利要求16所述的存储器设备,其中,所述输入/输出电路还被配置为,在对所述主一次可编程存储器单元和所述冗余一次可编程存储器单元进行编程的编程操作期间,使所述主一次可编程存储器单元所连接到的主位线与所述冗余一次可编程存储器单元所连接到的冗余位线电分离,以及

其中,在所述编程操作期间,所述主位线和所述冗余位线由相同的列地址指定。

19.根据权利要求18所述的存储器设备,其中,所述输入/输出电路还被配置为,响应于所述编程操作结束,将所述主位线和所述冗余位线电连接。

20.根据权利要求16所述的存储器设备,其中,所述第一电流源电路和所述第二电流源电路被配置为彼此独立地产生编程电流。

## 包括OTP存储器单元的存储器设备及其编程方法

[0001] 相关申请的交叉引用

[0002] 本申请要求2017年6月12日在韩国知识产权局递交的韩国专利申请No.10-2017-0073387的优先权,其全部内容通过引用合并于此。

### 技术领域

[0003] 本公开的示例实施例涉及半导体存储器设备,更具体地,涉及包括一次可编程(OTP)存储器单元的存储器设备及其编程方法。

### 背景技术

[0004] 即使在电源被中断时也保留其中存储的数据的设备被称为非易失性存储器。例如,非易失性存储器包括只读存储器(ROM)、磁盘、光盘、闪存等。特别地,其中写入一次的数据不可改变的非易失性存储器被称为一次可编程(OTP)存储器。一旦数据被编程在OTP存储器中,作为数据存储单元的存储器单元的特性可以被不可逆地改变,并且可以通过使用该不可逆的特性来存储“0”或“1”。OTP存储器设备可以被不同地用作内置的非易失性存储器设备,用于诸如修复另一个存储器设备、模拟调整和安全代码的存储之类的目的。

[0005] 对OTP存储器设备进行编程需要高电压、编程电流和相对较长的编程时间。因此,有必要缩短OTP存储器的编程时间以降低包括OTP存储器的半导体设备的制造成本。

### 发明内容

[0006] 示例实施例提供了一种支持高速和高可靠性编程的OTP存储器设备及其编程方法。

[0007] 根据示例实施例的一个方面,一种存储器设备包括:主OTP存储器单元,连接到主字线和主位线;冗余OTP存储器单元,连接到冗余字线和冗余位线;以及输入/输出电路,被配置为在对主OTP存储器单元和冗余OTP存储器单元进行编程的编程操作期间使主位线和冗余位线电分离以及形成到主位线的第一编程电流路径和到冗余位线的第二编程电流路径,其中,第一编程电流路径与第二编程电流路径彼此独立。

[0008] 根据另一示例实施例的一个方面,一种存储器设备的编程方法,该存储器设备包括主OTP存储器单元和冗余OTP存储器单元,该编程方法包括:接收用于一起选择主OTP存储器单元和冗余OTP存储器单元的地址,产生要施加到主OTP存储器单元的主字线和冗余OTP存储器单元的冗余字线的编程电压,使主OTP存储器单元所连接的主位线与冗余OTP存储器单元所连接的冗余位线电分离,以及向主OTP存储器单元的主字线和冗余OTP存储器单元的冗余字线提供编程电压,并形成到主位线的第一编程电流路径和到冗余位线的第二编程电流路径,其中,第一编程电流路径和第二编程电流路径彼此独立。

[0009] 根据另一示例实施例的一个方面,一种存储器设备包括主单元阵列,该主单元阵列包括多个主OTP存储器单元;冗余单元阵列,该冗余单元阵列包括多个冗余OTP存储器单元;和输入/输出电路,该输入/输出电路包括第一电流源电路和第二电流源电路,该输入/

输出电路被配置为,根据操作模式,将第一电流源电路电连接到从多个主OTP存储器单元中选择的主OTP存储器单元,将第二电流源电路电连接到从多个冗余OTP存储器单元中选择的冗余OTP存储器单元。

### 附图说明

[0010] 根据参考以下附图的以下描述,上述和其他目的和特征将变得显而易见,其中,除非另有说明,否则相似的附图标记在各个附图中指代相似的部件,并且在附图中:

[0011] 图1是示出根据示例实施例的一次可编程(OTP)存储器设备的框图;

[0012] 图2A和图2B是示出图1所示的存储器单元的结构电路图;

[0013] 图3是示出根据示例实施例的输入/输出电路的框图;

[0014] 图4是示出在编程操作期间根据示例实施例的输入/输出电路的状态切换的视图;

[0015] 图5是示出在读取操作期间根据示例实施例的输入/输出电路的切换状态的视图;

[0016] 图6是示出根据示例实施例的用于提供编程电流的电流源电路的电路图;

[0017] 图7是示出在编程操作期间根据示例实施例的存储器单元和输入/输出电路的操作的电路图;

[0018] 图8是示出在读取操作期间根据示例实施例的存储器单元和输入/输出电路的操作的电路图;

[0019] 图9是示出图1的电压发生器的框图;

[0020] 图10是示出根据示例实施例的OTP存储器设备的编程电压施加方法的时序图;以及

[0021] 图11是示出根据另一示例实施例的OTP存储器设备的框图。

### 具体实施方式

[0022] 下文将参照附图来更全面地描述本发明,在附图中,示出了本发明的示例实施例。

[0023] 图1是示出根据示例实施例的OTP存储器设备的框图。参考图1,OTP存储器设备100包括单元阵列110和120、输入/输出电路130、行解码器140和145、控制逻辑150和电压发生器160。

[0024] 单元阵列110和120可以包括多个OTP存储器单元。OTP存储器单元通过氧化物击穿来编程。单元阵列110和120包括形成在输入/输出电路130一侧的主单元阵列110和形成在输入/输出电路130相对侧的冗余单元阵列120。主单元阵列110和冗余单元阵列120中的每一个可以包括多个OTP存储器单元。以下,包括在主单元阵列110中的OTP存储器单元被称为“主单元MC”,包括在冗余单元阵列120中的OTP存储器单元被称为“冗余单元RC”。连接到字线WL\_M(也被称为“主字线”)和位线BLi\_M(也被称为“主位线”)的主单元(MC)111被包括在主单元阵列110中。连接到字线WL\_R(在本文中也被称为“冗余字线”)和位线BLi\_R(在本文中也被称为“冗余位线”)的冗余单元(RC)121被包括在冗余单元阵列120中。

[0025] 在编程操作期间,通过字线WL\_M和WL\_R向存储相同数据的主单元111和冗余单元121提供编程电压VPGM。通过位线BLi\_M和BLi\_R向主单元111和冗余单元121提供编程电流 $I_p$ 。具体地,在编程操作期间,可以从单独的电流源电路向主单元111和冗余单元121提供编程电流 $I_p$ 。在共享一条位线的情况下,由于主单元111的编程速度和冗余单元121的编程速

度之间的差异而可能发生编程失败。然而,根据示例实施例,即使主单元111的编程速度和冗余单元121的编程速度彼此不同,也不可能发生编程失败。

[0026] 输入/输出电路130根据控制逻辑150的控制来控制主单元111和冗余单元121的位线。在编程操作期间,输入/输出电路130将存储相同数据的主单元111的位线BLi\_M和冗余单元121的位线BLi\_R分离。输入/输出电路130可以向分离的位线BLi\_M和BLi\_R中的每一个提供独立产生的编程电流Ip。在读取操作期间,输入/输出电路130连接位线BLi\_M和BLi\_R以在相同时间读出主单元111和冗余单元121。应该理解,输入/输出电路130可以在特定的条件下顺序地选择主单元111和冗余单元121。

[0027] 主行解码器140和冗余行解码器145可以响应于一个行地址而选择主单元阵列110和冗余单元阵列120的OTP存储器单元。例如,主行解码器140和冗余行解码器145可以响应于行地址ADD,分别选择主字线WL\_M和冗余字线WL\_R。因此,在编程操作期间或读取操作期间,主行解码器140和冗余行解码器145可以在相同时间响应于一个行地址,分别同时编程或读出主单元111和冗余单元121。

[0028] 控制逻辑150响应于外部提供的命令、地址、控制信号等来控制输入/输出电路130或电压发生器160。这里,控制信号包括编程使能信号PGM\_EN、读使能信号READ\_EN和写使能信号WT\_EN。在编程操作期间(PGM\_EN激活),控制逻辑150可以控制电压发生器160向被选择的主单元111的字线WL\_M和冗余单元121的字线WL\_R提供编程电压VPGM。相反,在读取操作期间(READ\_EN激活),控制逻辑150可以控制电压发生器160向被选择的主单元111的字线WL\_M和冗余单元121的字线WL\_R提供读取电压VRD。

[0029] 此外,在编程操作期间,控制逻辑150可以响应于控制信号PGM\_EN或WT\_EN来控制输入/输出电路130,以将位线BLi\_M和BLi\_R彼此分离。分离的位线BLi\_M和BLi\_R分别连接到独立的电流源电路。在读取操作期间,控制逻辑150可以响应于控制信号READ\_EN来控制输入/输出电路130,以连接位线BLi\_M和BLi\_R,且将位线BLi\_M和BLi\_R连接到读出放大器。这里,位线BLi\_M和BLi\_R是由相同的列地址指定的位线,并且位于相同的列。在编程操作期间,位线BLi\_M和BLi\_R可以彼此电分离,以使得由输入/输出电路130稳定地提供编程电流。

[0030] 在控制逻辑150的控制下,电压发生器160可以产生要在OTP存储器设备100中使用的各种驱动电压。对OTP存储器单元进行编程需要晶体管的氧化物击穿。因此,为了该氧化物击穿,电压发生器160可以产生具有相对高电平的编程电压VPGM。电压发生器160可以包括电荷泵以产生编程电压VPGM。在读取操作期间所提供的读取电压VRD可以是相对较低的电压。电压发生器160可以包括电压调节器以产生诸如读取电压VRD的低电平的电压。应该理解,电压发生器160产生编程电压VPGM和/或读取电压VRD的方式不限于上述方式,并且可以使用各种转换器电路和各种升压/降压方式。

[0031] 根据上述OTP存储器设备100,主单元111所连接的位线BLi\_M和冗余单元121所连接的位线BLi\_R在编程操作期间是彼此分离的。能够独立地提供编程电流的电流源电路连接到分离的位线BLi\_M和BLi\_R。具有上述结构的OTP存储器设备100可以防止由于主单元111和冗余单元121的氧化物被击穿时的时间点之间的差异而发生编程失败。由于主单元MC和冗余单元RC被同时编程,因此OTP存储器设备100可以以高速编程,并且测试时间成本可以显著降低。

[0032] 图2A和图2B是示出图1所示的存储器单元的结构电路图。图2A示出了主单元111

的结构,图2B示出了冗余单元121的结构。

[0033] 参考图2A,主单元111包括熔丝晶体管FTR和选择晶体管RTR。熔丝晶体管FTR的栅极连接到编程字线WLPj\_M。熔丝晶体管FTR的一端(或漏极)浮置,且熔丝晶体管FTR的相对端(或源极)连接到选择晶体管RTR的漏极。熔丝晶体管FTR可以用例如金属氧化物半导体(MOS)晶体管来实现。选择晶体管RTR的栅极连接到选择字线WLRj\_M。选择晶体管RTR的源极连接到位线BLi\_M。

[0034] 在编程操作期间,相对高的编程电压VPGM被施加到主单元111的编程字线WLPj\_M。在编程操作期间,低于编程电压VPGM的选择电压被施加到主单元111的选择字线WLRj\_M。用于下拉的编程电流 $I_p$ 被提供给位线BLi\_M。根据上述偏置条件,熔丝晶体管FTR的氧化物层被熔丝晶体管FTR的栅极和沟道之间的巨大的电压差击穿。

[0035] 在读取操作期间,低于编程电压VPGM的读取电压VRD被施加到主单元111的编程字线WLPj\_M。选择电压被施加到主单元111的选择字线WLRj\_M。这里,选择电压是足以导通选择晶体管RTR的电压。根据上述偏置条件,根据熔丝晶体管FTR是否被编程,在编程字线WLPj\_M和位线BLi\_M之间形成电流路径。如果通过氧化物击穿对熔丝晶体管FTR进行了编程,则可以在编程字线WLPj\_M和位线BLi\_M之间形成电流路径,并因此可以由读出放大器检测到读出电流。

[0036] 参考图2B,冗余单元121包括连接到编程字线WLPj\_R的熔丝晶体管FTR和连接到选择字线WLRj\_R的选择晶体管RTR。冗余单元121由与主单元111相同的行地址和列地址来选择。在编程或读取冗余单元121时提供的偏置基本上与主单元111相同,此处将不重复对其的描述。然而,在编程操作期间,冗余单元121所连接到的位线BLi\_R和主单元111所连接到的位线BLi\_M是分离的。此外,可以向分离的位线BLi\_M和BLi\_R独立地提供编程电流 $I_p$ 。然而,位线BLi\_M和BLi\_R位于相同的列,并且由相同的列地址选择。

[0037] 图3是示出根据示例实施例的输入/输出电路的框图。参考图3,输入/输出电路130包括第一电流源电路131、第二电流源电路133、读出放大器135和多个开关(即,第一开关SW1、第二开关SW2、第三开关SW3和第四开关SW4)。

[0038] 输入/输出电路130根据操作模式,连接主单元111所连接的位线BLi\_M和冗余单元121所连接的位线BLi\_R。此外,输入/输出电路130可以根据操作模式,将位线BLi\_M和位线BLi\_R连接到第一电流源电路131和第二电流源电路133,或者从第一电流源电路131和第二电流源电路133断开连接(分离)。同样地,输入/输出电路130根据操作模式,将位线BLi\_M和位线BLi\_R与读出放大器135连接。

[0039] 在编程操作期间,输入/输出电路130将位线BLi\_M和位线BLi\_R分离。如果通过使读使能信号READ\_EN解激活来关断第三开关SW3和第四开关SW4,则位线BLi\_M和位线BLi\_R电分离。此外,如果第三开关SW3和第四开关SW4关断,则位线BLi\_M和位线BLi\_R与读出放大器135电分离。

[0040] 在编程操作期间,输入/输出电路130分别将位线BLi\_M和位线BLi\_R连接到第一电流源电路131和第二电流源电路133。位线BLi\_M和位线BLi\_R分别通过由写使能信号WT\_EN的激活而导通的第一开关SW1和第二开关SW2连接到第一电流源电路131和第二电流源电路133。由于在编程操作期间位线BLi\_M和位线BLi\_R是分离的,所以主单元111和冗余单元121在执行编程操作期间不会相互影响。



[0041] 在读取操作期间,写使能信号WT\_EN被解激活,读使能信号READ\_EN被激活。由于读使能信号READ\_EN被激活,输入/输出电路130电连接位线BLi\_M和位线BLi\_R。如果第三开关SW3和第四开关SW4通过读使能信号READ\_EN的激活而导通,则位线BLi\_M和位线BLi\_R连接到读出放大器135。另外,由于第三开关SW3和第四开关SW4导通,因此位线BLi\_M和位线BLi\_R彼此电连接。

[0042] 在读取操作期间,输入/输出电路130使位线BLi\_M和位线BLi\_R分别与第一电流源电路131和第二电流源电路133断开连接。这可以通过写使能信号WT\_EN的解激活来关断第一开关SW1和第二开关SW2来实现。

[0043] 响应于列地址而选择位线的列选择器电路CS可以设置在输入/输出电路130与主单元阵列110的位线BLi\_M至BLi+m\_M之间。另外,响应于列地址而选择位线的列选择器电路CS可以设置在输入/输出电路130与冗余单元阵列120的位线BLi\_M至BLi+m\_M之间。

[0044] 上面描述了关于对应于一列的主单元111和冗余单元121的用于每个操作模式的输入/输出电路130的操作。然而,输入/输出电路130可以对与每个地址对应的位线执行上述切换操作。

[0045] 图4是示出在编程操作期间根据示例实施例的输入/输出电路的切换状态的视图。参考图4,在编程操作期间,主单元111的位线BLi\_M和冗余单元121的位线BLi\_R电分离。

[0046] 在编程操作期间,写使能信号WT\_EN被激活(或逻辑“H”),并且读使能信号READ\_EN被解激活(或逻辑“L”)。因此,第一开关SW1和第二开关SW2导通,第三开关SW3和第四开关SW4关断。由于第一开关SW1导通,因此第一电流源电路131通过位线BLi\_M连接到主单元111。在这种情况下,编程电压和编程电流被提供给主单元111的熔丝晶体管FTR,因此通过氧化物击穿来执行编程操作。编程操作被相同地应用于冗余单元121。然而,由于第三开关SW3和第四开关SW4关断,因此位线BLi\_M和位线BLi\_R电分离。因此,主单元111和冗余单元121在编程操作期间不相互影响。

[0047] 图5是示出在读取操作期间根据示例实施例的输入/输出电路的切换状态的视图。参考图5,在读取操作期间,连接主单元111的位线BLi\_M和冗余单元121的位线BLi\_R。第一电流源电路131和第二电流源电路133分别与位线BLi\_M和位线BLi\_R分离。

[0048] 在读取操作期间,写使能信号WT\_EN被解激活(或逻辑“L”),并且读使能信号READ\_EN被激活(或逻辑“H”)。因此,第三开关SW3和第四开关SW4导通,并且第一开关SW1和第二开关SW2关断。由于第一开关SW1关断,因此第一电流源电路131与位线BLi\_M电分离。由于第二开关SW2关断,因此第二电流源电路133与位线BLi\_R电分离。

[0049] 然而,由于第三开关SW3和第四开关SW4导通,因此位线BLi\_M和位线BLi\_R彼此电连接。电连接的位线BLi\_M和BLi\_R连接到读出放大器135。因此,可以读出存储在主单元111和冗余单元121的各熔丝晶体管FTR中的数据。在主单元111和冗余单元121中的每一个的熔丝晶体管FTR的氧化物层被击穿的情况下,读出电流可以根据读取电压VRD从主单元111和冗余单元121中的每一个传送到读出放大器135。

[0050] 图6是示出根据示例实施例的用于提供编程电流的电流源电路的电路图。参考图6,电流源电路IPGM是用于限定在编程操作期间,在击穿熔丝晶体管FTR的氧化物层时所产生的电流的量值的电路。

[0051] 电流源电路IPGM可以以电流镜的形式实现,其中共享两个晶体管NM1和NM2的栅

极。在编程操作期间,电流源电路IPGM感应出与流向晶体管NM1的编程电流 $I_p$ 一样大的位线(BL)电流。电流源电路IPGM可以允许编程电流 $I_p$ 流向连接到位线BL的熔丝晶体管。电流镜被示出为电流源电路IPGM的示例性形式。然而,应该理解,电流源电路IPGM可以用各种形式的其他电路来实现。

[0052] 图7是示出在编程操作期间根据示例实施例的存储器单元和输入/输出电路的操作的电路图。参考图7,在编程操作期间,逻辑“H”的写使能信号WT\_EN和逻辑“L”的读使能信号READ\_EN被提供给输入/输出电路130。

[0053] 第三开关SW3和第四开关SW4由逻辑“L”的读使能信号READ\_EN关断,以使得主单元111的位线BLi\_M和冗余单元121的位线BLi\_R彼此电分离,并且位线BLi\_M和位线BLi\_R与读出放大器135分离。

[0054] 第一开关SW1和第二开关SW2由逻辑“H”的写使能信号WT\_EN导通,以使得第一电流源电路131连接到位线BLi\_M,并且第二电流源电路133连接到位线BLi\_R。

[0055] 在输入/输出电路130的第一开关SW1、第二开关SW2、第三开关SW3和第四开关SW4的导通/关断状态下,用于导通选择晶体管RTR的选择电压被传送到读取字线WLR1\_M和WLR1\_R。在这种情况下,主单元111和冗余单元121中的每一个的选择晶体管RTR导通。编程电压VPGM被提供给编程字线WLP1\_M和WLP1\_R。

[0056] 作为高电压的编程电压VPGM被施加到主单元111的熔丝晶体管FTR的栅极。而且,由于选择晶体管RTR处于导通状态,所以熔丝晶体管FTR的源极与第一电流源电路131电连接。也就是说,熔丝晶体管FTR的氧化物击穿条件得到满足。因此,熔丝晶体管FTR的氧化物层被熔丝晶体管FTR的栅极和源极之间的高电压击穿。即,熔丝晶体管FTR在上述条件下被编程。

[0057] 冗余单元121通过与主单元111相同的原理被编程。然而,冗余单元121与主单元111电分离,并且用于提供编程电流 $I_p$ 的电流源电路131和133被分离。因此,即使主单元111和冗余单元121的氧化物层被击穿时的时间点在不同的编程偏置条件下彼此精细地不同,还是确保了编程电流 $I_p$ 的稳定供应。

[0058] 根据上述编程操作,即使主单元111和冗余单元121的氧化物层被击穿时的时间点彼此略有不同,还是可以稳定地确保编程电压VPGM和编程电流 $I_p$ 。结果就是,可以防止由于主单元111和冗余单元121的氧化物被击穿时的时间点之间的差异而发生编程失败。

[0059] 图8是示出在读取操作期间根据示例实施例的存储器单元和输入/输出电路的操作的电路图。参考图8,在读取操作期间,逻辑“L”的写使能信号WT\_EN和逻辑“H”的读使能信号READ\_EN被提供给输入/输出电路130。

[0060] 第三开关SW3和第四开关SW4由逻辑“H”的读使能信号READ\_EN导通,使得主单元111的位线BLi\_M和冗余单元121的位线BLi\_R彼此电连接,并且位线BLi\_M和位线BLi\_R与读出放大器135连接。

[0061] 第一开关SW1和第二开关SW2由逻辑“L”的写使能信号WT\_EN关断,以使得第一电流源电路131与位线BLi\_M断开连接,并且第二电流源电路133与位线BLi\_R断开连接。

[0062] 在输入/输出电路130的第一开关SW1、第二开关SW2、第三开关SW3和第四开关SW4的导通/关断状态下,用于导通选择晶体管RTR的选择电压被传送到选择字线WLR1\_M和WLR1\_R。在这种情况下,主单元111和冗余单元121中的每一个的选择晶体管RTR导通。读取

电压VRD被提供给编程字线WLP1\_M和WLP1\_R。

[0063] 在主单元111和冗余单元121的熔丝晶体管FTR的氧化物层被击穿的编程状态的情况下,熔丝晶体管FTR的栅极和源极电连接。因此,提供有读取电压VRD的主单元111和冗余单元121的熔丝晶体管FTR的栅极连接到位线BLi\_M和BLi\_R。分别流向位线BLi\_M和BLi\_R的读出电流被添加并被提供给读出放大器135。读出放大器135可通过感测读出电流Is的水平或对应于读出电流的位线的电压来确定存储在OTP存储器单元中的数据。

[0064] 在主单元111和冗余单元121的熔丝晶体管FTR的氧化物层没有被击穿的情况下,即使施加读取电压VRD,读出电流Is也不流向位线BLi\_M和BLi\_R。读出放大器135可以通过感测上述状态来确定存储在OTP存储单元中的逻辑值。

[0065] 图9是示出了图1的电压发生器的框图。参考图9,电压发生器160包括电压产生单元162和开关电路164。

[0066] 电压产生单元162产生在编程模式或读取模式中要提供给OTP存储器单元的熔丝晶体管FTR的栅极的电压。也就是说,电压产生单元162响应于编程使能信号PGM\_EN产生编程电压VPGM,并响应于读使能信号READ\_EN产生读取电压VRD。电荷泵161可以用于产生编程电压VPGM,并且电压调节器163可以用于产生读取电压VRD。

[0067] 在编程操作期间,电荷泵161可以产生熔丝晶体管FTR的氧化物击穿所需的高电平的电压。电荷泵161响应于编程使能信号PGM\_EN,通过执行电压泵浦来产生编程电压VPGM。

[0068] 电压调节器163转换提供给OTP存储器设备100的电源电压Vdd的电平,以输出读取电压VRD。在读取操作期间,读取电压VRD可以被提供给熔丝晶体管FTR的栅极。电压调节器163可以响应于读使能信号READ\_EN而输出读取电压VRD。由于读取电压VRD需要比编程电压VPGM低的电平,所以不需要具有高升压能力的电荷泵。

[0069] 开关电路164包括多个电压开关,即第一电压开关PS1、第二电压开关PS2、第三电压开关PS3和第四电压开关PS4。第一电压开关PS1和第二电压开关PS2选择电压种类。第三电压开关PS3和第四电压开关PS4用于选择是将选择的电压传送到主单元阵列110(图1)还是传送到冗余单元阵列120。

[0070] 如果编程使能信号PGM\_EN被激活并且读使能信号READ\_EN被解激活,则电荷泵161产生编程电压VPGM。第一电压开关PS1导通,并且第二电压开关PS2关断。在这种情况下,编程电压VPGM通过第一电压开关PS1被传送到第一节点N1。在根据示例实施例的编程操作中,主单元MC和冗余单元RC通过一次编程在相同时间被编程。为此原因,同时激活选择信号SEL\_MAIN和SEL\_RED以在相同时间对主单元MC和冗余单元RC进行编程。在这种情况下,施加到第一节点N1的编程电压VPGM可以分别通过电压开关PS3和PS4传送到主行解码器140和冗余行解码器145。

[0071] 备选地,在顺序地对主单元MC和冗余单元RC进行编程的情况下,可以通过顺序地激活选择信号SEL\_MAIN和SEL\_RED来顺序地导通第三电压开关PS3和第四电压开关PS4。在这种情况下,选择信号SEL\_MAIN和SEL\_RED可以通过使用在控制逻辑150中实现的顺序逻辑电路来产生。

[0072] 相反,如果编程使能信号PGM\_EN被解激活并且读使能信号READ\_EN被激活,则第一电压开关PS1关断,第二电压开关PS2导通。如此,读取电压VRD被传送到第一节点N1。通过由选择信号SEL\_MAIN和SEL\_RED导通的第三电压开关PS3和第四电压开关PS4将读取电压VRD

传送到主行解码器140和冗余行解码器145。

[0073] 通过上述电压产生单元162和开关电路164将编程电压VPGM分别地提供给主单元111和冗余单元121。也就是说,通过电压开关PS3和PS4,将编程电压VPGM分别地提供给主行解码器140和冗余行解码器145。根据上述提供编程电压VPGM的方式,可以解决由于主单元MC与冗余单元RC之间的编程速度的差异而导致的诸如字线电压降低的问题。也就是说,从电压发生器160分别地提供编程电压VPGM,以使得在第一编程单元处产生的字线电压的下降不会影响另一存储器单元的编程。另外,可以通过上述提供编程电压的方式防止在编程操作期间在未被选择的字线处产生泄漏电流。

[0074] 图10是示出根据示例实施例的OTP存储器设备的编程电压施加方法的时序图。参考图10,在编程操作模式中,将地址ADD、编程使能信号PGM\_EN和写使能信号WT\_EN提供给控制逻辑150。然而,可以在相同时间对由地址ADD选择的主单元MC和冗余单元RC进行编程。因此,编程使能信号PGM\_EN的脉冲和写使能信号WT\_EN的脉冲仅被提供一次。

[0075] 在编程操作期间,可以向OTP存储器设备100提供有效地址ADD、编程使能信号PGM\_EN和写使能信号WT\_EN。提供给地址输入终端的斜线地址意指无效地址。如果基本上从外部输入了有效地址VALIDADD,则由行解码器140和145选择要编程的主单元MC和冗余单元RC。在这种情况下,可以导通所选择的主单元MC和冗余单元RC的选择晶体管RTR。

[0076] 如果主单元MC和冗余单元RC完全由有效地址VALID\_ADD选择,则提供编程使能信号PGM\_EN。编程使能信号PGM\_EN的脉冲宽度tPGM包括建立时间tSETUP、写入时间tPW和放电时间tDISCG。建立时间tSETUP意指编程电压VPGM通过电荷泵161增加到稳定水平所花费的时间。写入时间tPW表示写使能信号WT\_EN被激活并且熔丝晶体管FTR的氧化物层基本上被编程电压VPGM和编程电流 $I_p$ 击穿的时间。放电时间tDISCG表示施加到行解码器140和145或字线的编程电压VPGM被放电的时间。

[0077] 根据示例实施例,在编程OTP存储器单元时,仅需要编程使能信号PGM\_EN或写使能信号WT\_EN一次。因此,可以显著降低OTP存储器设备100的编程时间。

[0078] 图11是示出根据另一示例实施例的OTP存储器设备的框图。参考图11,OTP存储器设备200包括主单元阵列210、冗余单元阵列220、输入/输出电路230、主行解码器240、冗余行解码器245以及列选择器电路CS0至CS $m-1$ 。

[0079] 主单元阵列210和冗余单元阵列220中的每一个可以包括多个单元块单元BLK0至单元BLK $m-1$ 。主单元阵列210的每个单元块单元BLK0至单元BLK $m-1$ 连接到主行解码器240,冗余单元阵列220的每个单元块单元BLK0至单元BLK $m-1$ 连接到冗余行解码器245。主单元阵列210的单元块单元BLK0至单元BLK $m-1$ 的字线可以通过提供给主行解码器240的行地址R\_ADD来选择,冗余单元阵列220的单元块单元BLK0至单元BLK $m-1$ 的字线可以通过提供给冗余行解码器245的行地址R\_ADD来选择。单元块单元BLK0至单元BLK $m-1$ 中的每一个可以包括OTP存储器单元,每个OTP存储器单元包括如图2A和图2B所示所实现的熔丝晶体管FTR和选择晶体管RTR。

[0080] 另外,列选择器电路CS0至CS $m-1$ 中的每一个可以响应于接收到的第一列地址C\_ADD1来选择单元块单元BLK0至单元BLK $m-1$ 中的每一个的位线。

[0081] 输入/输出电路230包括多个读出放大器SA0至SA $m-1$ 、第一电流源电路231和第二电流源电路232。在编程操作期间,向第一电流源电路231提供第二列地址C\_ADD2以将编程

电流 $I_p$ 提供给所选择的主单元的位线。在编程操作期间,向第二电流源电路232提供第二列地址 $C\_ADD2$ 以将编程电流 $I_p$ 提供给所选择的冗余单元的位线。在编程操作期间,第一电流源电路231和第二电流源电路232可以独立地向主单元MC和冗余单元RC提供编程电流。

[0082] 读出放大器SA0至SA $m-1$ 可以在读取操作模式中被激活。在读取操作期间,每个读出放大器SA0至SA $m-1$ 通过所选择的存储器单元的位线同时检测主单元MC和冗余单元RC。在读取操作模式中,主单元MC的位线和冗余单元RC的位线彼此连接。每个读出放大器SA0至SA $m-1$ 通过连接的位线读出在主单元MC和冗余单元RC中编程的数据。读出放大器SA0至SA $m-1$ 将读出结果输出为输出数据DOUT\_0至DOUT\_ $m-1$ 。

[0083] 如上所述,在根据示例实施例的OTP存储器设备200中,主单元阵列210和冗余单元阵列220相对于输入/输出电路230分开布置。在编程操作期间,输入/输出电路230将主单元MC的位线和冗余单元RC的位线彼此电分离。输入/输出电路230可以独立地将编程电流 $I_p$ 提供给主单元MC和冗余单元RC的分离的位线。

[0084] 根据示例实施例,包括OTP存储器单元的存储器设备可以同时地对主OTP存储器单元和冗余OTP存储器单元进行稳定编程,由此显著降低包括OTP存储器的半导体设备的制造成本。

[0085] 尽管已经描述了示例实施例,但是对于本领域技术人员来说显而易见的是,在不脱离本发明构思的精神和范围的情况下,可以进行各种改变和修改。因此,应当理解,上述示例实施例不是限制性的,而是说明性的。

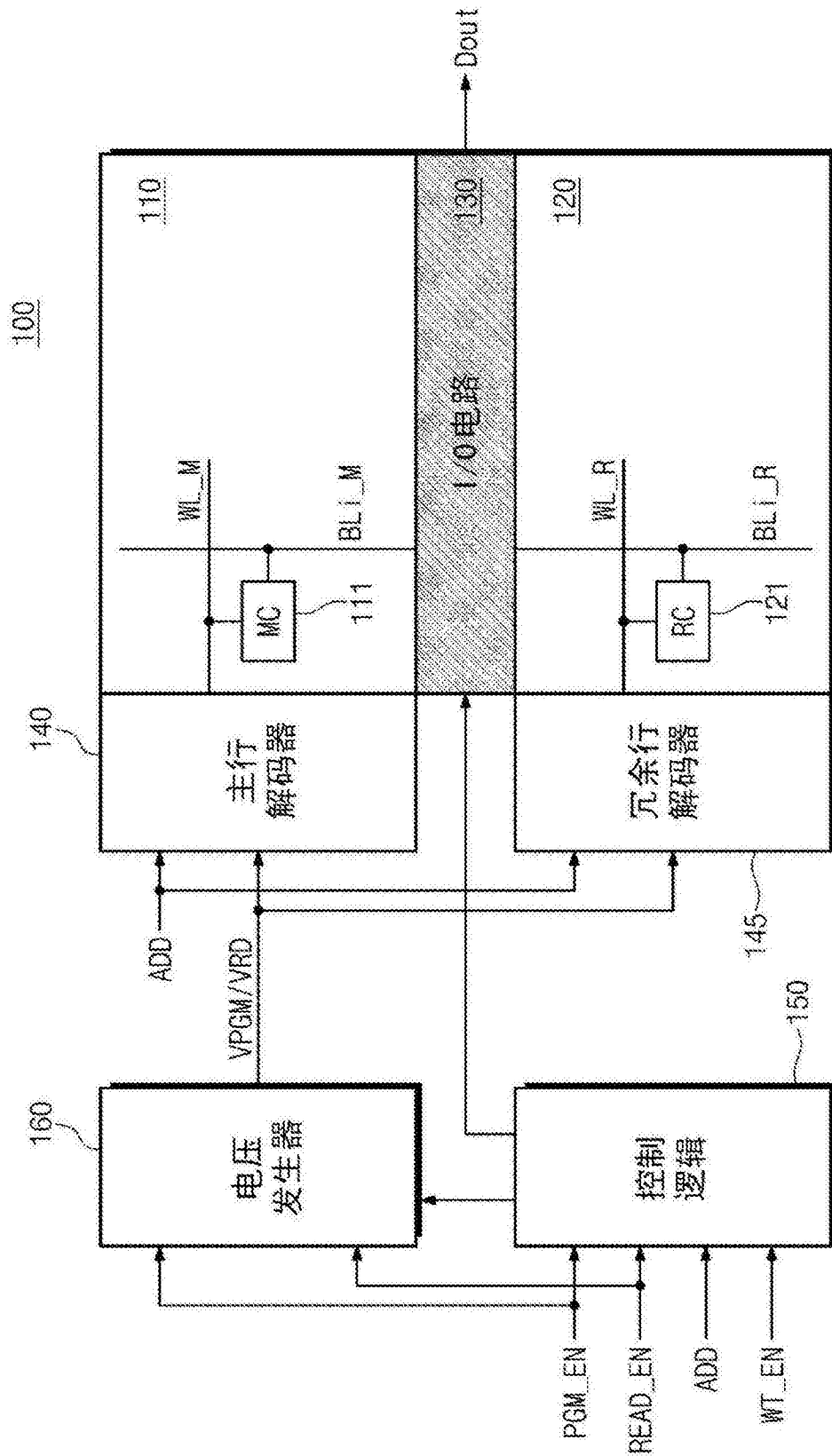


图1

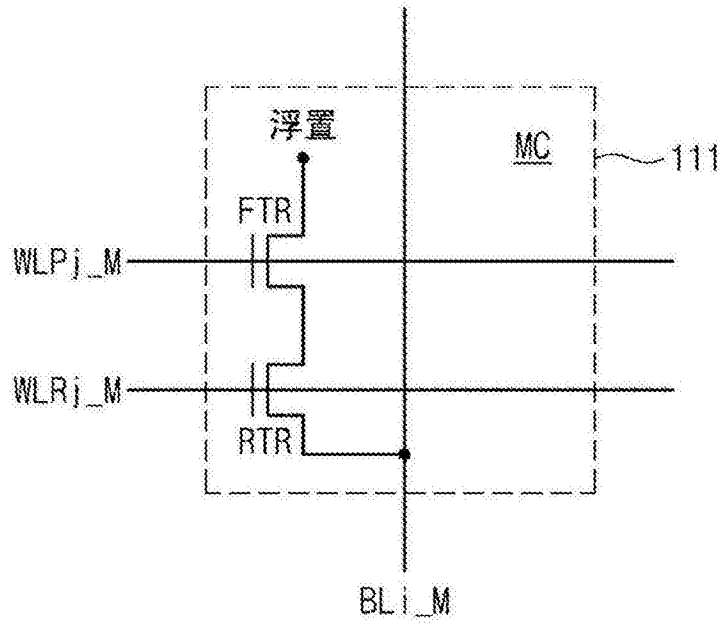


图2A

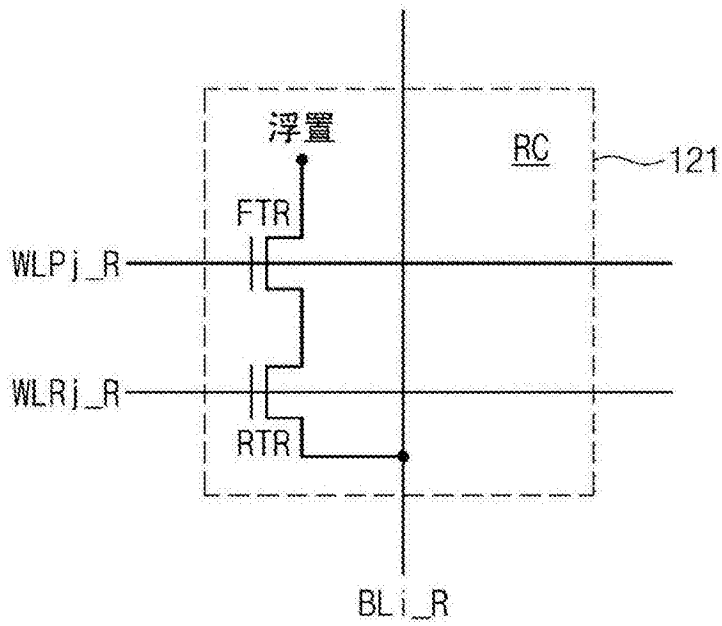


图2B

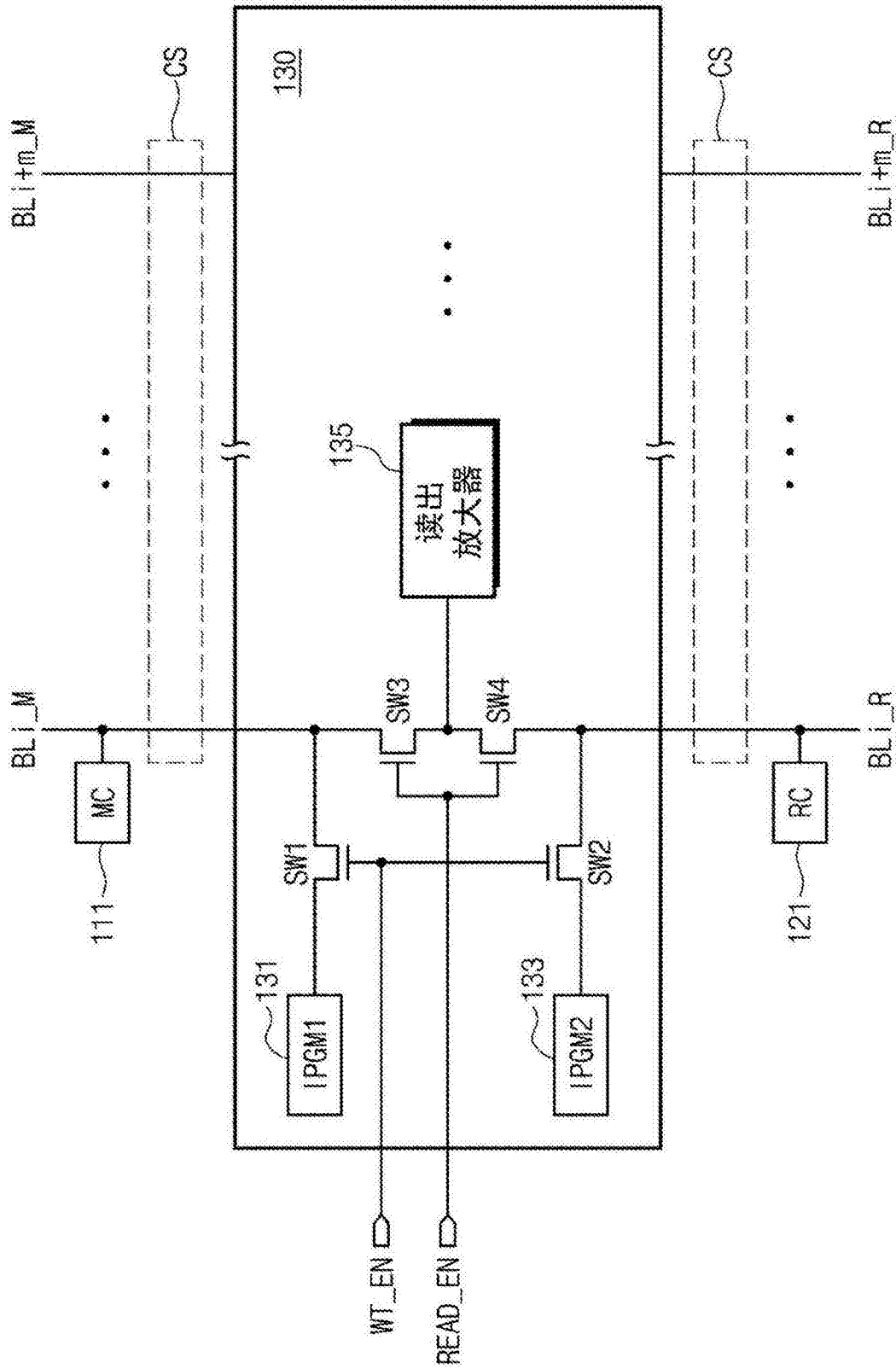


图3



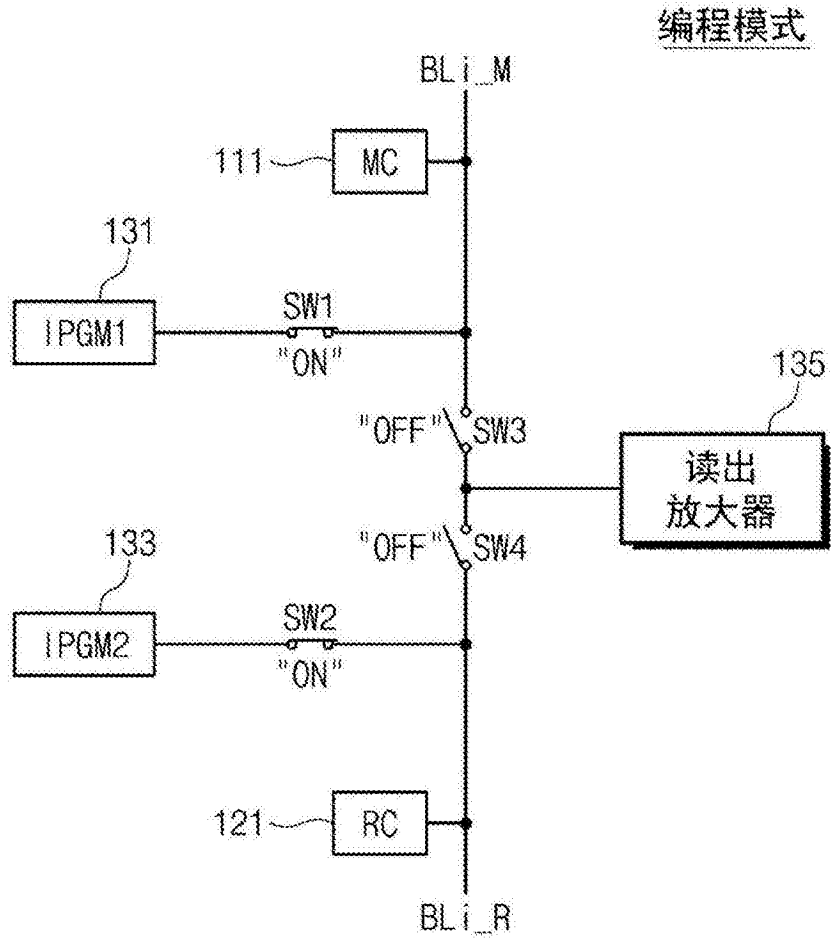


图4

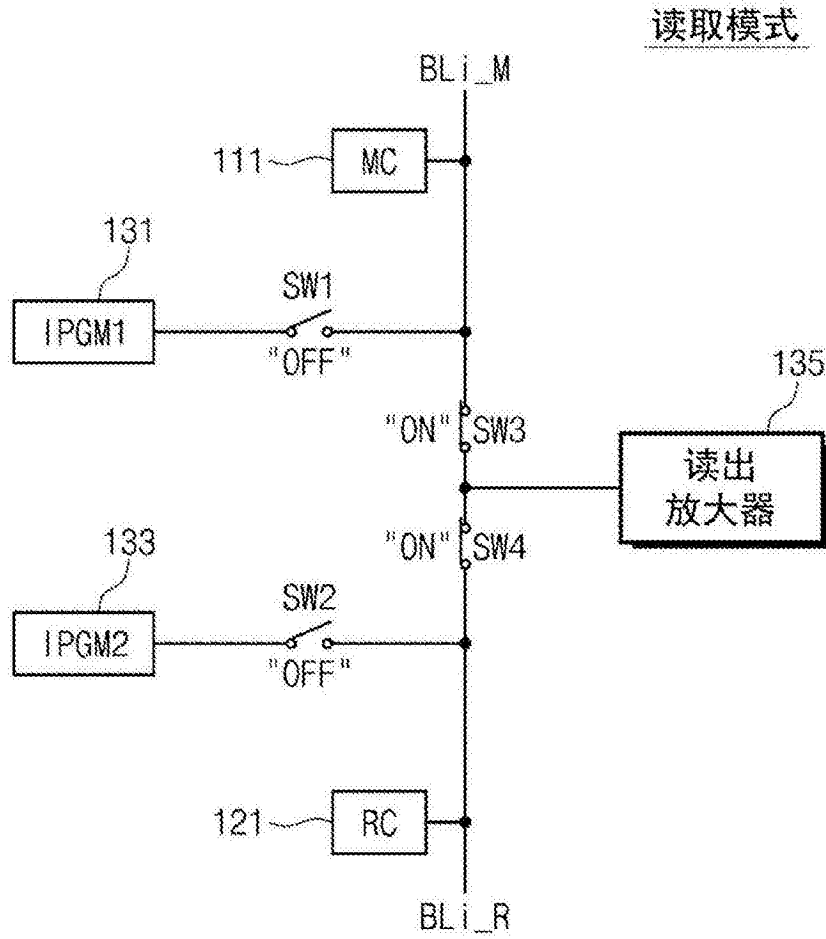


图5

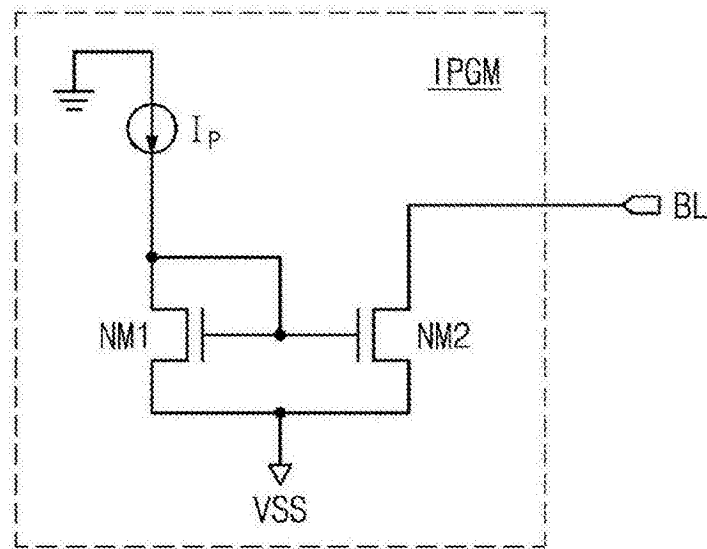


图6

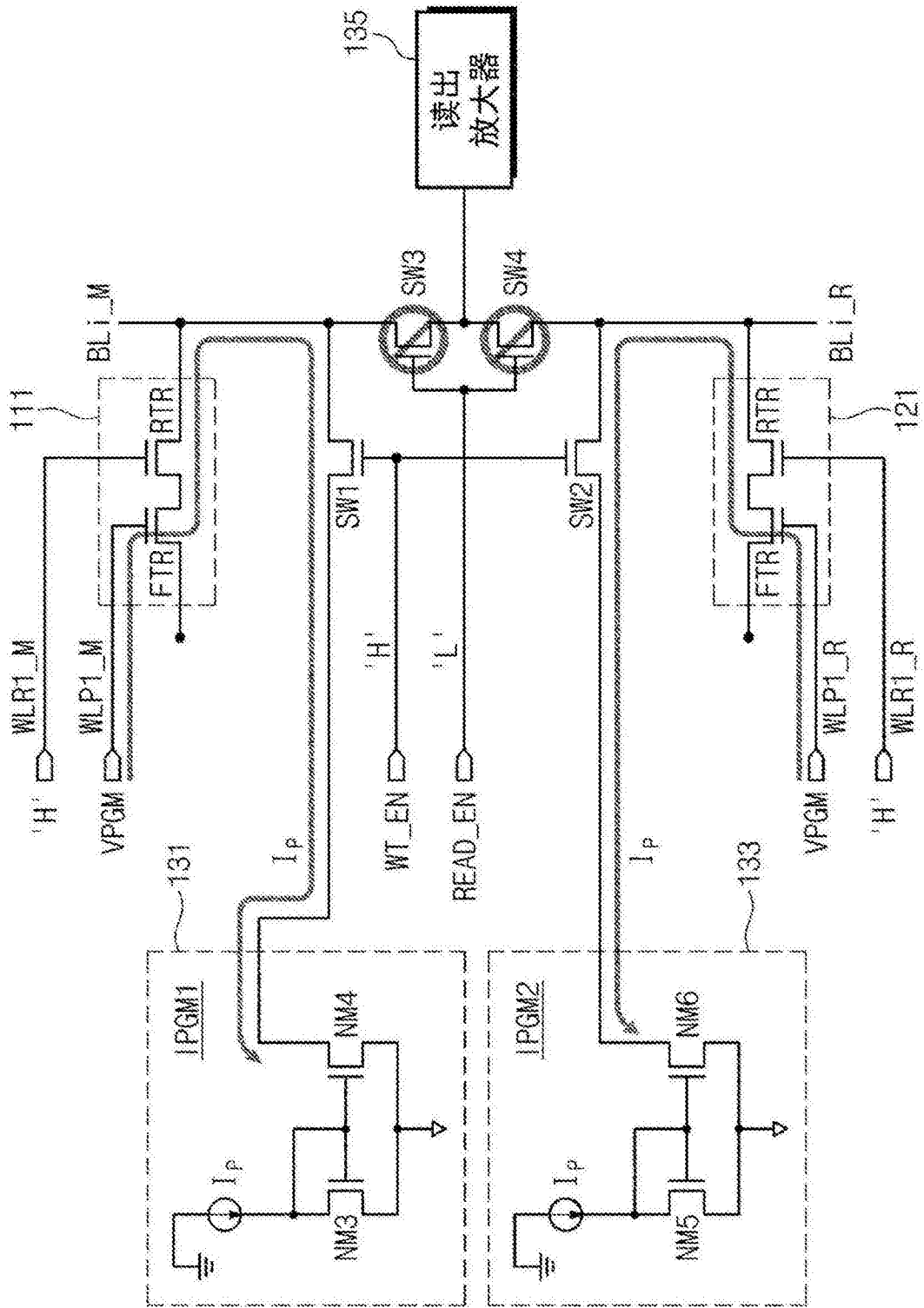


图7

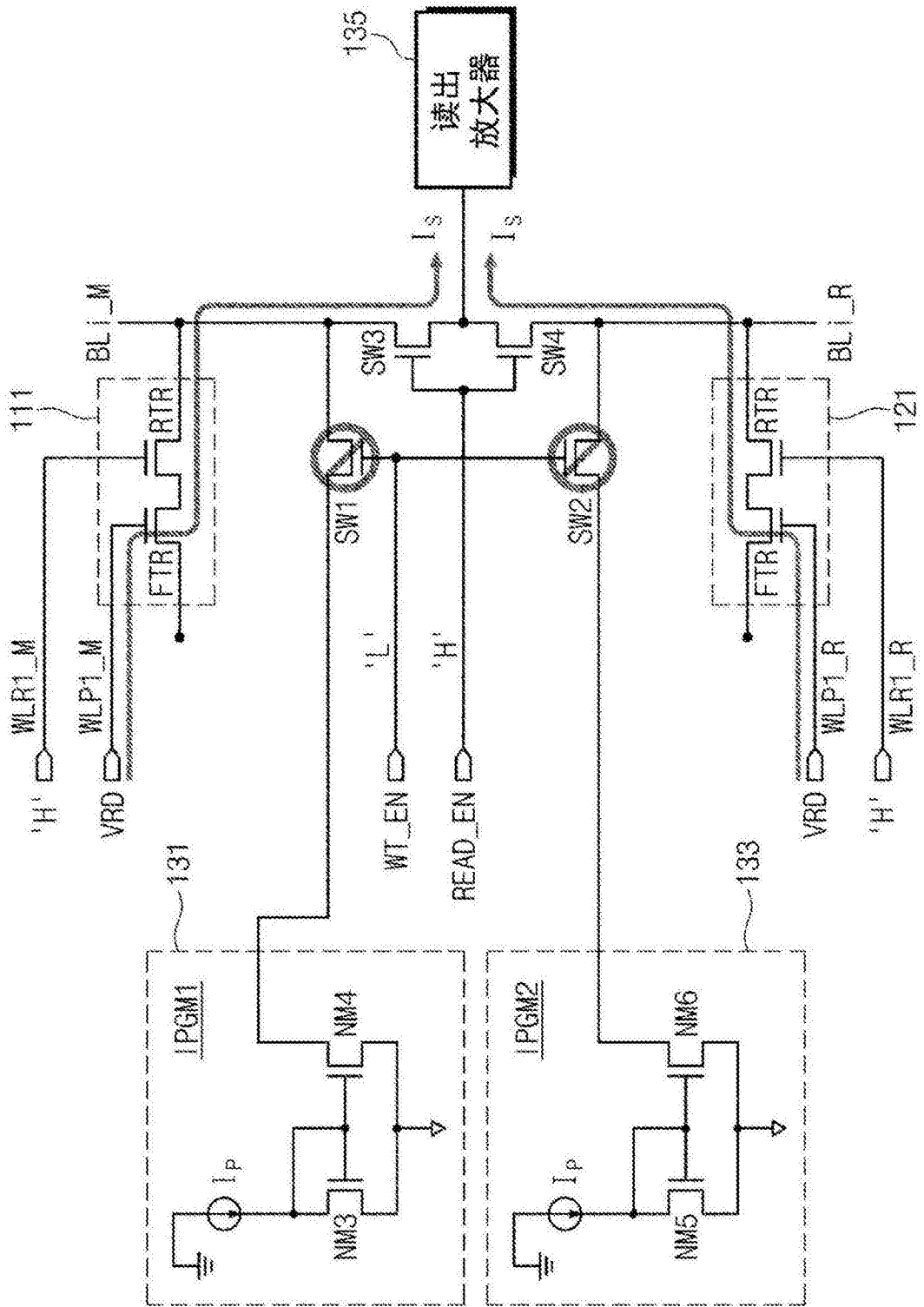


图8

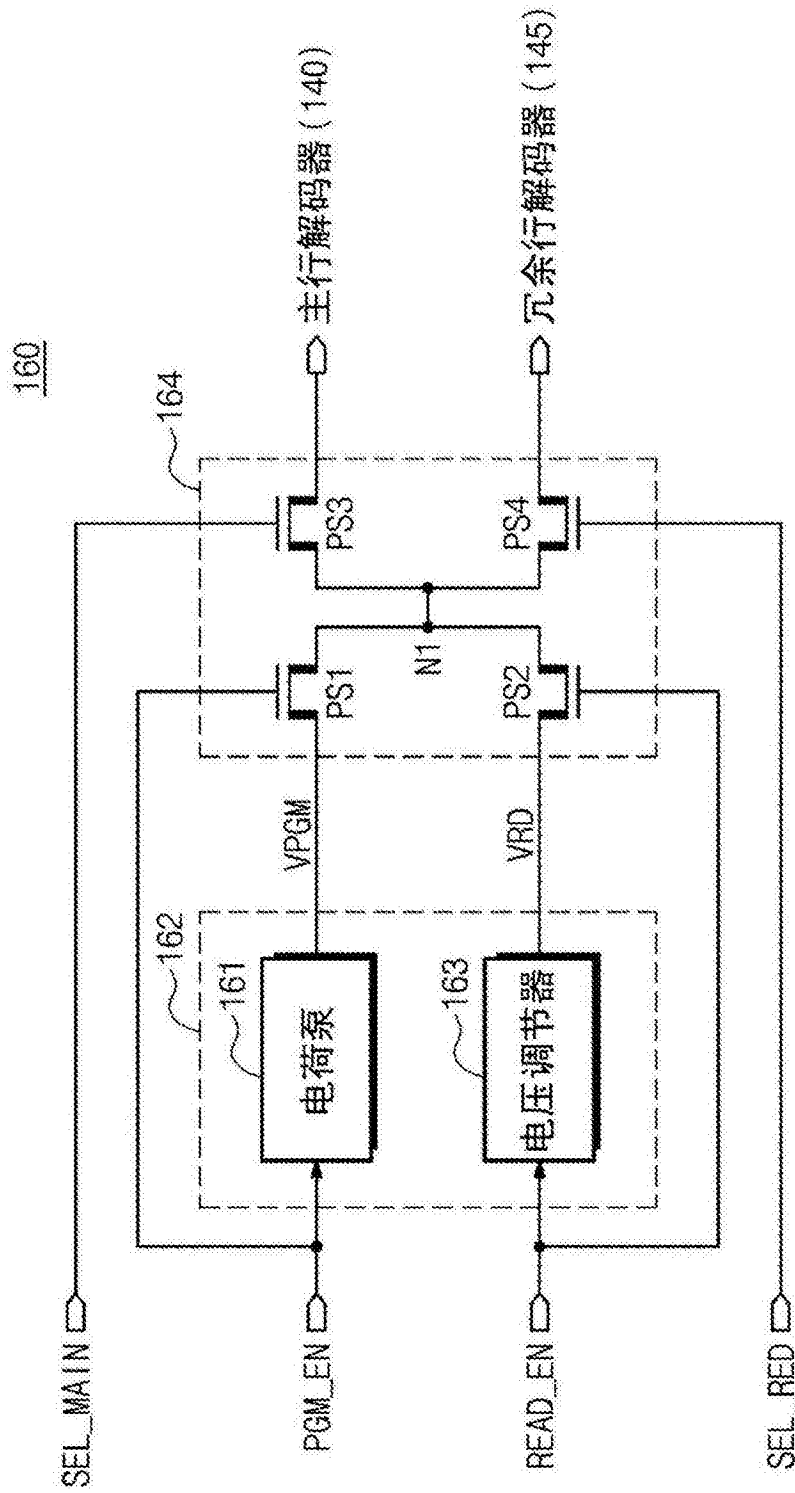


图9

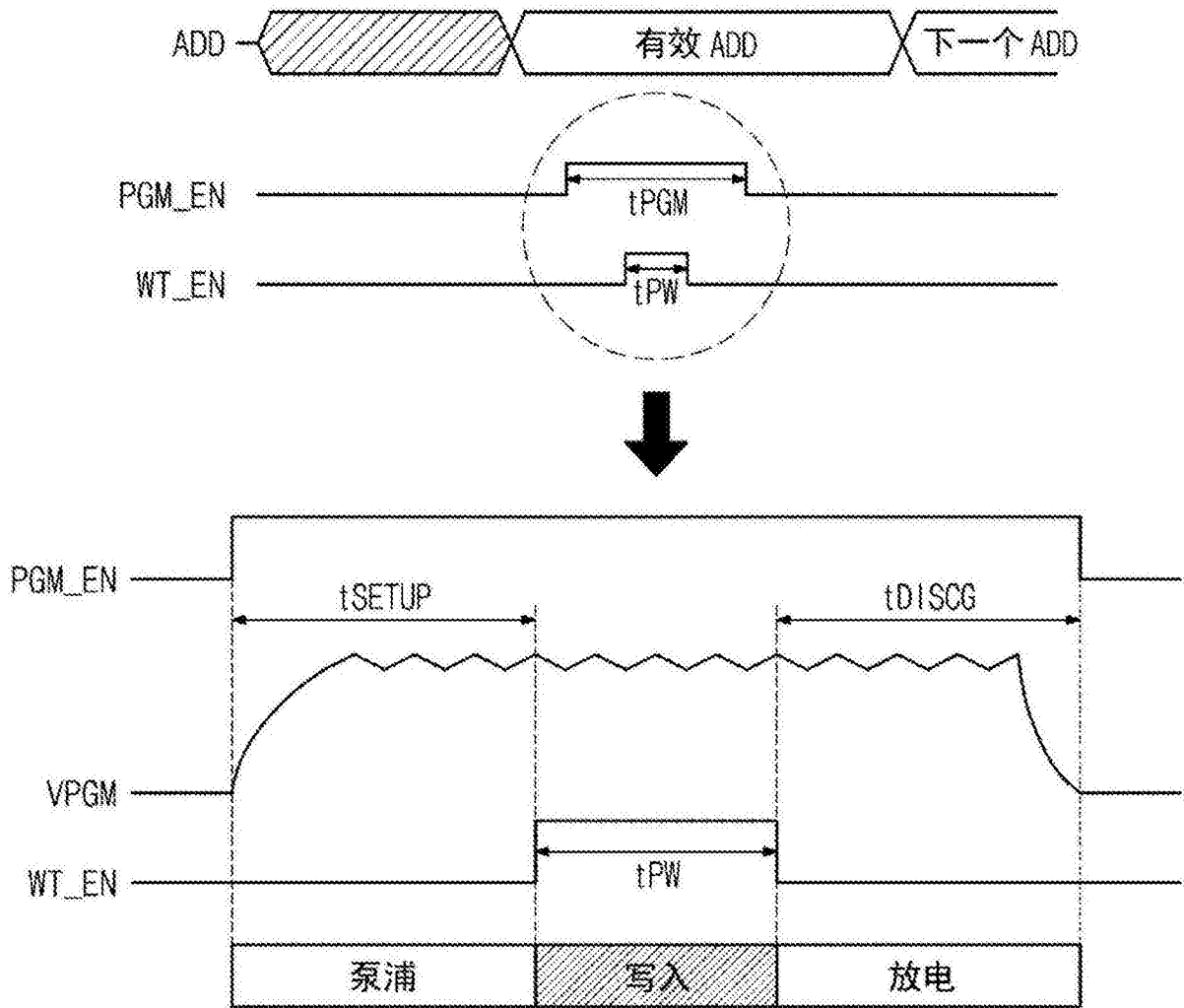


图10

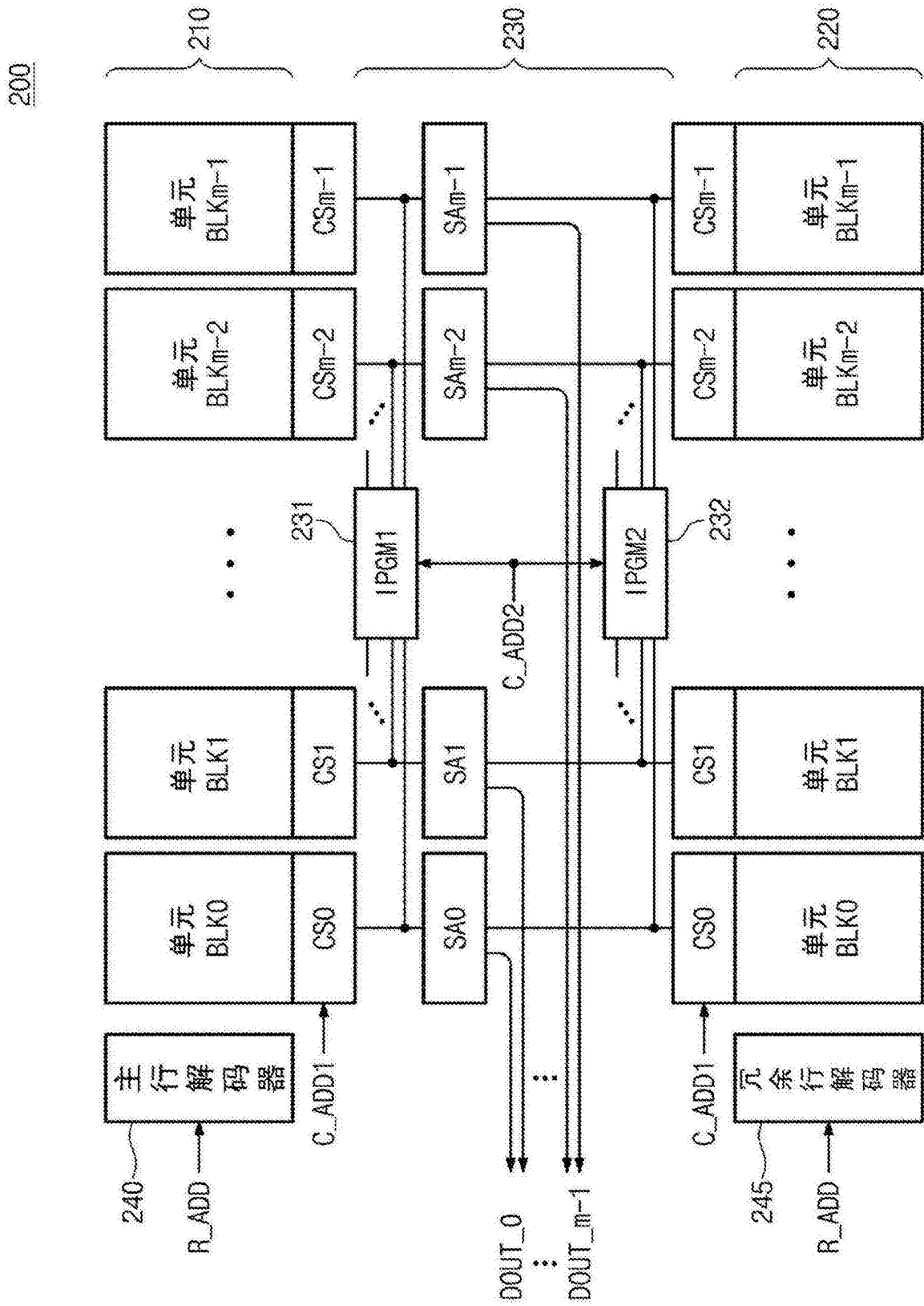


图11