



(12) 发明专利申请

(10) 申请公布号 CN 112313796 A

(43) 申请公布日 2021.02.02

(21) 申请号 201880094558.7

(51) Int. Cl.

(22) 申请日 2018.07.30

H01L 23/498 (2006.01)

(85) PCT国际申请进入国家阶段日
2020.12.11

H01L 21/48 (2006.01)

G06N 10/00 (2006.01)

(86) PCT国际申请的申请数据
PCT/US2018/044387 2018.07.30

(87) PCT国际申请的公布数据
W02020/027779 EN 2020.02.06

(71) 申请人 谷歌有限责任公司
地址 美国加利福尼亚州

(72) 发明人 E.杰弗里 J.Y.穆图斯

(74) 专利代理机构 北京市柳沈律师事务所
11105

代理人 金玉洁

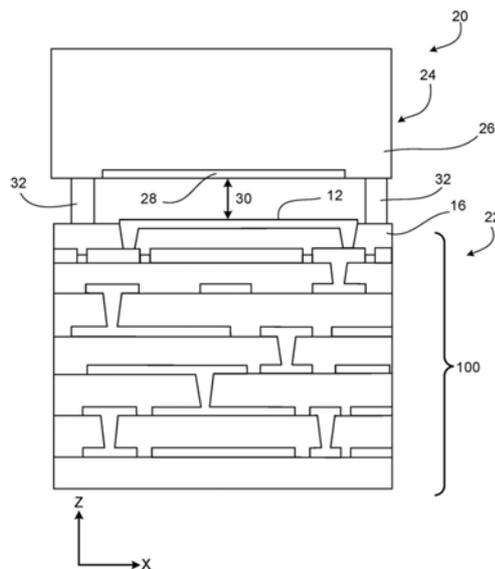
权利要求书3页 说明书11页 附图10页

(54) 发明名称

用于量子计算系统的信号分配

(57) 摘要

一种制造用于在量子计算器件的电路元件之间分配信号的载体芯片的方法包括：提供多层布线堆叠，该多层布线堆叠包括交替的电介质材料层和布线层；将覆盖层接合到多层布线堆叠，其中覆盖层包括单晶硅电介质层；在覆盖层内形成通路孔，其中通路孔延伸到多层布线堆叠的第一布线层；形成导电通路，该导电通路在通路孔内并电连接到第一布线层；以及在覆盖层的表面上形成电路元件，其中电路元件直接电连接到导电通路。



1. 一种制造载体芯片的方法,该载体芯片用于在量子计算器件的电路元件之间分配信号,所述方法包括:

提供多层布线堆叠,所述多层布线堆叠包括交替的电介质材料层和布线层;

将覆盖层接合到所述多层布线堆叠,其中所述覆盖层包括单晶硅电介质层;

在所述覆盖层内形成通路孔,其中所述通路孔延伸到所述多层布线堆叠的第一布线层;

形成导电通路,所述导电通路在所述通路孔内并电联接到所述第一布线层;以及

在所述覆盖层的表面上形成电路元件,其中所述电路元件直接电联接到所述导电通路。

2. 根据权利要求1所述的方法,其中所述覆盖层包括绝缘体上硅(SOI)晶片。

3. 根据权利要求2所述的方法,包括:

在形成所述通路孔之前,去除所述SOI晶片的掩埋氧化物层和体硅层以暴露所述覆盖层的所述表面。

4. 根据任一前述权利要求所述的方法,其中在所述多层布线堆叠与所述覆盖层的所述表面之间的所述覆盖层的厚度在约2微米与约20微米之间。

5. 根据任一前述权利要求所述的方法,其中所述多层布线堆叠包括金属载体接合层,所述覆盖层包括金属覆盖接合层,以及

其中将所述覆盖层接合到所述多层布线堆叠包括将所述金属载体接合层直接接合到所述金属覆盖接合层。

6. 根据任一前述权利要求所述的方法,其中将所述覆盖层接合到所述多层布线堆叠包括将所述多层布线堆叠的第一电介质层直接接合到所述覆盖层的所述单晶硅电介质层。

7. 根据任一前述权利要求所述的方法,其中所述多层布线堆叠包括金属载体接合层,以及

其中将所述覆盖层接合到所述多层布线堆叠包括将所述金属载体接合层直接接合到所述覆盖层的所述单晶硅电介质层。

8. 根据任一前述权利要求所述的方法,其中所述覆盖层包括金属覆盖接合层,以及

其中将所述覆盖层接合到所述多层布线堆叠包括将所述金属覆盖接合层直接接合到所述多层布线堆叠的所述第一电介质层。

9. 根据任一前述权利要求所述的方法,其中所述电路元件包括量子比特读出谐振器。

10. 根据任一前述权利要求所述的方法,其中在所述多层布线堆叠内的每个布线、在所述通路孔内的所述导电通路和在所述覆盖层上的所述电路元件包括超导体。

11. 根据权利要求10所述的方法,其中所述超导体包括铝、铌、铟、铌钛氮化物或钛氮化物中的至少一种。

12. 根据任一前述权利要求所述的方法,其中在所述多层布线堆叠内的电介质材料层包括气相沉积的氧化物层。

13. 根据任一前述权利要求所述的方法,其中所述多层布线堆叠包括形成在所述布线层中的至少一个内的至少一个附加电路元件,其中所述至少一个附加电路元件包括配置为以约300MHz与约300GHz之间的微波频率操作的电路元件。

14. 根据任一前述权利要求所述的方法,进一步包括:

将包括至少一个量子比特的量子比特芯片联接到包括接合到所述覆盖层的所述多层布线堆叠的所述载体芯片,使得在所述量子比特芯片与所述载体芯片之间存在间隙。

15. 根据权利要求14所述的方法,其中将包括所述至少一个量子比特的所述量子比特芯片联接到所述载体芯片包括将所述量子比特芯片凸块接合到所述载体芯片。

16. 一种用于在量子计算器件的电路元件之间分配信号的载体芯片,所述载体芯片包括:

多层布线堆叠,包括交替的电介质材料层和布线层;

接合到所述多层布线堆叠的覆盖层,所述覆盖层包括单晶硅电介质层;

在所述覆盖层内的通路孔,其中所述通路孔延伸到所述多层布线堆叠的第一布线层;

导电通路,在所述通路孔内并电联接到所述多层堆叠的所述第一布线层;以及

在所述覆盖层的表面上的电路元件,其中所述电路元件直接电联接到所述导电通路。

17. 根据权利要求16所述的载体芯片,其中在所述多层布线堆叠与所述覆盖层的所述表面之间的所述单晶硅电介质层的厚度在约2微米与约20微米之间。

18. 根据任一前述权利要求所述的载体芯片,其中所述覆盖层包括第一金属层,所述多层布线堆叠包括第二金属层,所述第一金属层直接接合到所述第二金属层。

19. 根据任一前述权利要求所述的载体芯片,其中所述覆盖层包括第一金属层,所述第一金属层直接接合到所述多层布线堆叠的电介质层。

20. 根据任一前述权利要求所述的载体芯片,其中所述多层布线堆叠包括第一金属层,所述第一金属层直接接合到所述单晶硅层。

21. 根据任一前述权利要求所述的载体芯片,其中所述电路元件包括量子比特读出谐振器。

22. 根据任一前述权利要求所述的载体芯片,其中在所述多层布线堆叠内的每个布线层、在所述通路孔内的所述导电通路和在所述覆盖层上的所述电路元件包括超导体。

23. 根据权利要求22所述的载体芯片,其中所述超导体包括铝、铟、铌、铌钛氮化物或钛氮化物中的至少一种。

24. 根据任一前述权利要求所述的载体芯片,其中在所述多层布线堆叠内的电介质材料层包括气相沉积的氧化物层。

25. 根据任一前述权利要求所述的载体芯片,其中所述多层布线堆叠包括形成在所述布线层中的至少一个内的至少一个附加电路元件,其中所述至少一个附加电路元件包括配置为以约300MHz与约300GHz之间的微波频率操作的电路元件。

26. 一种量子计算器件,包括:

多层布线堆叠,包括交替的电介质材料层和布线层;

接合到所述多层布线堆叠的覆盖层,所述覆盖层包括单晶硅电介质层;

在所述覆盖层内的通路孔,其中所述通路孔延伸到所述多层布线堆叠的第一布线层;

导电通路,在所述通路孔内并电联接到所述多层堆叠的所述第一布线层;

在所述覆盖层的表面上的电路元件,其中所述电路元件直接电联接到所述导电通路;

以及

联接到所述覆盖层的芯片,其中所述芯片包括至少一个量子比特。

27. 根据权利要求26所述的量子计算器件,其中在所述多层布线堆叠与所述覆盖层的

所述表面之间的所述单晶硅电介质层的厚度在约2微米与约20微米之间。

28. 根据任一前述权利要求所述的量子计算器件,其中所述覆盖层包括第一金属层,所述多层布线堆叠包括第二金属层,所述第一金属层直接接合到所述第二金属层。

29. 根据任一前述权利要求所述的量子计算器件,其中所述覆盖层包括第一金属层,所述第一金属层直接接合到所述多层布线堆叠的电介质层。

30. 根据任一前述权利要求所述的量子计算器件,其中所述多层布线堆叠包括第一金属层,所述第一金属层直接接合到所述单晶硅层。

31. 根据任一前述权利要求所述的量子计算器件,其中所述电路元件包括量子比特读出谐振器,所述量子比特读出谐振器与所述芯片上的第一量子比特对准。

32. 根据任一前述权利要求所述的量子计算器件,其中在所述多层布线堆叠内的每个布线层、在所述通路孔内的所述导电通路和在所述覆盖层上的所述电路元件包括超导体。

33. 根据权利要求32所述的量子计算器件,其中所述超导体包括铝、铌、铟或钛氮化物中的至少一种。

34. 根据任一前述权利要求所述的量子计算器件,其中在所述多层布线堆叠内的电介质材料层包括气相沉积的氧化物层。

35. 根据任一前述权利要求所述的量子计算器件,其中所述多层布线堆叠包括形成在所述布线层中的至少一个内的至少一个附加电路元件,其中所述至少一个附加电路元件包括配置为以约300MHz与约300GHz之间的微波频率操作的电路元件。

36. 根据任一前述权利要求所述的量子计算器件,其中在所述芯片与所述覆盖层之间存在间隙。

37. 根据任一前述权利要求所述的量子计算器件,其中所述芯片凸块接合到所述覆盖层。

用于量子计算系统的信号分配

背景技术

[0001] 量子计算是一种计算方法,其利用量子效应(诸如属于分离且相距遥远的实体的基础状态和纠缠的叠加)以比经典的数字计算机更高效地执行某些计算。与使用配置为处于两个双稳态(例如“0”和“1”)的“比特”来存储和操纵信息的数字计算机相比,量子计算系统旨在使用配置成量子态的叠加(例如, $a|0\rangle+b|1\rangle$)的“量子比特”来操纵信息。每个量子比特的量子态可以彼此纠缠,即,一个量子比特的测量结果与另一个量子比特的测量结果强相关。

发明内容

[0002] 本公开涉及用于促进量子计算系统的信号分配的结构和技术。

[0003] 总体上,在一些方面中,本公开所覆盖的结构包括:(i) 多层布线堆叠,具有交替的电介质材料层和布线(诸如信号线)层;以及(ii) 接合到多层布线堆叠的覆盖层,其中,与多层布线堆叠的电介质层相比,覆盖层由具有相对低的损耗的电介质材料形成。例如,覆盖层的低损耗电介质可以包括单晶硅或单晶硅。诸如读出谐振器、控制线和/或控制电路的各种电路元件可以形成在覆盖层的暴露表面上。形成在覆盖层的暴露表面上的电路元件可以通过形成在覆盖层内的导电通路和多层布线堆叠内的一个或多个信号层电联接。

[0004] 包括多层布线堆叠和被接合的覆盖层的结构可以例如通过凸块接合而联接到包括量子计算电路元件(诸如量子比特)的分离的芯片。具体地,该结构被接合,使得低损耗覆盖层直接位于具有量子计算电路元件的芯片对面。

[0005] 总体上,本说明书中描述的主题的一个创新方面可以以一种方法来实现,其中该方法包括:提供多层布线堆叠,该多层布线堆叠包括交替的电介质材料层和布线层;将覆盖层接合到多层布线堆叠,其中覆盖层包括单晶硅电介质层;在覆盖层内形成通路孔,其中通路孔延伸到多层布线堆叠的第一布线层;形成导电通路,该导电通路在通路孔内并电联接到第一布线层;以及在覆盖层的表面上形成电路元件,其中该电路元件直接电联接到导电通路。

[0006] 前述和其它实施方式可以每个可选地单独或组合地包括以下特征中的一个或多个。例如,在一些实施方式中,覆盖层包括绝缘体上硅(SOI)晶片。在形成通路孔之前,可以去掉SOI晶片的掩埋氧化物层和体硅层以暴露覆盖层的所述表面。在多层载体布线堆叠与覆盖层的所述表面之间的覆盖层的厚度可以在约2微米与约20微米之间。

[0007] 在一些实施方式中,多层布线堆叠包括金属载体接合层,覆盖层包括金属覆盖接合层,其中将覆盖层接合到多层布线堆叠包括将金属载体接合层直接接合到金属覆盖接合层。

[0008] 在一些实施方式中,将覆盖层接合到多层布线堆叠包括将多层布线堆叠的第一电介质层直接接合到覆盖层的单晶硅电介质层。

[0009] 在一些实施方式中,多层布线堆叠包括金属载体接合层,将覆盖层接合到多层布线堆叠包括将金属载体接合层直接接合到覆盖层的单晶硅电介质层。

[0010] 在一些实施方式中,覆盖层包括金属覆盖接合层,将覆盖层接合到多层布线堆叠包括将金属覆盖接合层直接接合到多层布线堆叠的第一电介质层。

[0011] 在一些实施方式中,电路元件包括量子比特读出谐振器。

[0012] 在一些实施方式中,在多层布线堆叠内的每个布线、在通路孔内的导电通路和在覆盖层上的电路元件包括超导体。该超导体可以包括铝、铌、铟、铌钛氮化物或钛氮化物中的至少一种。

[0013] 在一些实施方式中,在多层布线堆叠内的电介质材料层包括气相沉积的氧化物层。

[0014] 在一些实施方式中,多层布线堆叠包括形成在布线层中的至少一个内的至少一个附加电路元件,其中所述至少一个附加电路元件包括配置为以约300MHz与约300GHz之间的微波频率操作的电路元件。

[0015] 在一些实施方式中,该方法进一步包括将包括至少一个量子比特的量子比特芯片联接到包括接合到覆盖层的多层布线堆叠的载体芯片,使得在量子比特芯片与载体芯片之间存在间隙。将包括所述至少一个量子比特的量子比特芯片联接到载体芯片可以包括将量子比特芯片凸块接合到载体芯片。

[0016] 本说明书中描述的主题的另一创新方面可以以一种用于在量子计算器件的电路元件之间分配信号的载体芯片来实现,该芯片包括:多层布线堆叠,包括交替的电介质材料层和布线层;接合到多层布线堆叠的覆盖层,覆盖层包括单晶硅电介质层;在覆盖层内的通路孔,其中通路孔延伸到多层布线堆叠的第一布线层;导电通路,在通路孔内并电联接到多层堆叠的第一布线层;以及在覆盖层的表面上的电路元件,其中该电路元件直接电联接到导电通路。

[0017] 前述和其它实施方式可以每个可选地单独或组合地包括以下特征中的一个或更多个。例如,在一些实施方式中,在多层布线堆叠与覆盖层的所述表面之间的单晶硅电介质层的厚度在约2微米与约20微米之间。

[0018] 在一些实施方式中,覆盖层包括第一金属层,多层布线堆叠包括第二金属层,第一金属层直接接合到第二金属层。

[0019] 在一些实施方式中,覆盖层包括第一金属层,第一金属层直接接合到多层布线堆叠的电介质层。

[0020] 在一些实施方式中,多层布线堆叠包括第一金属层,第一金属层直接接合到单晶硅层。

[0021] 在一些实施方式中,电路元件包括量子比特读出谐振器。

[0022] 在一些实施方式中,在多层布线堆叠内的每个布线层、在通路孔内的导电通路和在覆盖层上的电路元件包括超导体。该超导体可以包括铝、铌、铟、铌钛氮化物或钛氮化物中的至少一种。

[0023] 在一些实施方式中,在多层布线堆叠内的电介质材料层包括气相沉积的氧化物层。

[0024] 在一些实施方式中,多层布线堆叠包括形成在布线层中的至少一个内的至少一个附加电路元件,其中所述至少一个附加电路元件包括配置为以约300MHz与约300GHz之间的微波频率操作的电路元件。

[0025] 本说明书中描述的主题的另一创新方面可以以一种量子计算系统来实现,该量子计算系统包括:多层布线堆叠,包括交替的电介质材料层和布线层;接合到多层布线堆叠的覆盖层,覆盖层包括单晶硅电介质层;在覆盖层内的通路孔,其中通路孔延伸到多层布线堆叠的第一布线层;导电通路,在通路孔内并电联接到多层堆叠的第一布线层;在覆盖层的表面上的电路元件,其中该电路元件直接电联接到导电通路;以及联接到覆盖层的芯片,其中该芯片包括至少一个量子比特。

[0026] 前述和其它实施方式可以每个可选地单独或组合地包括以下特征中的一个或更多个。例如,在一些实施方式中,在多层布线堆叠与覆盖层的所述表面之间的单晶硅电介质层的厚度在约2微米与约20微米之间。

[0027] 在一些实施方式中,覆盖层包括第一金属层,多层布线堆叠包括第二金属层,第一金属层直接接合到第二金属层。

[0028] 在一些实施方式中,覆盖层包括第一金属层,第一金属层直接接合到多层布线堆叠的电介质层。

[0029] 在一些实施方式中,多层布线堆叠包括第一金属层,第一金属层直接接合到单晶硅层。

[0030] 在一些实施方式中,电路元件包括量子比特读出谐振器,量子比特读出谐振器与前述芯片上的第一量子比特对准。

[0031] 在一些实施方式中,在多层布线堆叠内的每个布线层、在通路孔内的导电通路和在覆盖层上的电路元件包括超导体。该超导体可以包括铝、铌、铟或钛氮化物中的至少一种。

[0032] 在一些实施方式中,在多层布线堆叠内的电介质材料层包括气相沉积的氧化物层。

[0033] 在一些实施方式中,多层布线堆叠包括形成在布线层中的至少一个内的至少一个附加电路元件,其中所述至少一个附加电路元件包括配置为以约300MHz与约300GHz之间的微波频率操作的电路元件。

[0034] 在一些实施方式中,在所述芯片与覆盖层之间存在间隙。

[0035] 在一些实施方式中,所述芯片凸块接合到覆盖层。

[0036] 前述结构可以提供几个优点。例如,在多层布线堆叠内的多个层级的信号线可以用于在堆叠所接合到的芯片上的量子比特阵列和/或其它电路元件之间传输信号。这允许芯片上可被联接在一起的电路的数量增加,因而提高整个器件的可扩展性。另外,因为要求高相干性的读出谐振器和/或其它电路元件形成在相对低损耗的覆盖层而不是多层布线堆叠的有损耗的电介质上,所以可以实现整个器件的高Q。此外,不需要在多层布线堆叠内形成深通路蚀刻以提供与相对低损耗的覆盖层上的读出谐振器或其它电路元件的连接。这样的深通路蚀刻通常限制可形成在多层堆叠中的层的数量,并且还占用否则可由信号线使用的空间。

[0037] 本说明书的主题的一个或更多个实施方式的细节在附图和以下描述中被阐述。主题的其它特征、方面和优点将由说明书描述、附图和权利要求书变得明显。

附图说明

[0038] 图1A和图1B是示出包括多层布线堆叠和覆盖层的载体芯片的示例的图。

[0039] 图2A和图2B是示出量子计算器件的示例的图。

[0040] 图3A-3F是示出制造量子计算器件的示例过程的图。

具体实施方式

[0041] 本公开涉及用于促进量子计算系统的信号分配的结构和技术。

[0042] 在开发量子计算系统时,具有高品质因数 Q 和长量子比特相干时间的器件是令人期望的设计参数,其潜在地允许制造更复杂的计算系统。然而,来自量子比特控制电路和量子比特读出电路的干扰以及位于量子比特附近的有损耗电介质会对 Q 和相干时间两者有重大不利影响,特别是在固态量子计算系统中(例如,归因于意外耦合到不期望的频率)。为了降低 Q 和相干时间的减小,量子比特控制电路和量子比特读出电路的一些或全部可以位于载体芯片上,该载体芯片与承载量子比特的芯片分离且间隔开。此外,为了增加控制元件和读出元件通过接口所连接到的量子比特的数量,可以在载体芯片内嵌入多层布线,这增强了信号分配的可用路径。布线层和控制/读出元件两者可以使用其中交替的电介质材料层和导体层被构建以形成多层堆叠的半导体制造技术而形成。

[0043] 将控制元件和读出元件集成在与承载量子比特的芯片分离的载体芯片内可以涉及设计折衷以维持可观的相干性。例如,在一些情况下,具有相干读出谐振器和量子比特控制元件的层被放置在低损耗电介质基板(例如,单晶硅晶片)上的多层堆叠的底部。通过穿过多层堆叠并朝制造工艺的末端执行深通路蚀刻,在这样的结构中接近读出元件和量子比特控制元件。然而,如果多层堆叠太厚,则深通路蚀刻的质量可能受损。为了维持较高质量的蚀刻,可以限制堆叠内的层数,因而阻碍堆叠设计可任意扩展。另外,深通路蚀刻可能占用堆叠内否则可由信号线使用的空间。

[0044] 并非在穿过其形成深通路蚀刻的多层布线堆叠的底部处形成量子比特控制元件和量子比特读出元件,而是可以在接合到多层布线堆叠的所谓“覆盖层”的暴露表面上制造量子比特控制元件和量子比特读出元件。与多层布线堆叠的电介质层相比,覆盖层本身由具有相对低损耗的电介质材料形成。形成在覆盖层的暴露表面上的量子比特控制元件和量子比特读出元件可以通过形成在覆盖层内的导电通路或多层布线堆叠内的一个或多个信号层电连接。此外,包括多层布线堆叠和被接合的覆盖层的载体芯片可以例如通过凸块接合(bump-bonding)联接到分离的承载量子比特的芯片。在这种情况下,具有量子比特控制元件和量子比特读出元件的低损耗覆盖层可以直接位于承载量子比特的芯片的量子比特对面并面对所述量子比特。

[0045] 图1A和图1B是示出包括多层布线堆叠和覆盖层的载体芯片10的示例的图。图1A示出了穿过示例性芯片10的一部分的剖视图。图1B是示例性芯片10的顶视图。在图1A中,芯片10包括多层布线堆叠100、覆盖层18和一个或多个电路元件12。在一些实施方式中,多层布线堆叠100包括多个层,所述多个层包括交替的电介质材料层和布线层110、120、130、140。例如,多层布线堆叠100可以包括多个布线层130,所述多个布线层130向/从一个或多个电路元件进行传输,向一个或多个电路元件提供电力,或将一个或多个电路元件接地。另外,多层布线堆叠还包括多个电介质层120,其中每个电介质层120可以用于为布线

层提供物理支撑或用于分离相邻的布线层。电介质层120可以由沉积或热生长的电介质(诸如四乙氧基硅烷(TEOS)、二氧化硅、非晶硅或硅氮化物等电介质材料)形成。每个电介质层120的厚度可以例如在几纳米至几百纳米(甚至几十微米)之间变化。在一些实施方式中,多层布线堆叠100可以包括其上形成电介质层和布线层的基板层140。基板140可以包括例如硅晶片。在一些情况下,在完成载体芯片10将是其部件的量子计算器件之前,基板140被移除。

[0046] 多层布线堆叠100还可以包括相邻的布线层可通过其电连接的导电通路,诸如导电通路150。例如,导电通路150可以包括形成在相邻布线层130之间的电介质层120的开口中的一个或更多个导电部分,以传输一个或更多个信号、提供电力或将一个或更多个电路元件接地。导电通路150和布线层130可以包括任何合适的导体,诸如包括铝、钛氮化物、铌钛、铌钛氮化物、钕、钼或铌等的超导体材料。布线层130可以形成为其中厚度例如从几纳米变化到几百纳米(在一些情况下,甚至几微米)的薄膜。

[0047] 多层布线层100可以用于在形成于覆盖层16上的电路元件12中的一个或更多个之间提供信号分配。例如,一个或更多个电路元件12可以通过形成在覆盖层16内的导电通路14电连接到多层布线堆叠100的一个或更多个布线层。类似于布线层130和导电通路150,导电通路14可以由诸如超导体的导电材料形成,该超导体包括例如铝、钛氮化物或铌等材料。

[0048] 一个或更多个电路元件12形成在覆盖层16上。为了在一个或更多个电路元件12中维持高品质因数,覆盖层16由诸如单晶硅的低损耗电介质材料形成。相对于形成多层布线堆叠100的电介质,覆盖层16的电介质材料被认为具有显著更低的损耗。例如,单晶硅可以被理解为在通常应用于超导量子比特的微波频率(例如,在约300MHz与约300GHz之间)下和在低于约100mK的温度下具有约 $1-10 \times 10^{-6}$ 之间的固有损耗角正切,而沉积或热生长的电介质(诸如TEOS或 SiO_2)可以在相同的微波频率和温度下具有大了两到三个数量级大小的损耗角正切。因此,通过使用其上形成电路元件12的高质量、低损耗的覆盖层,例如读出谐振器的电路元件12可以表现出相对较高的Q。例如,在约300MHz与约300GHz之间的微波频率下,覆盖层上的电路元件12可以表现出高达约 6×10^5 、高达约 7×10^5 、高达约 8×10^5 、高达约 9×10^5 、高达约 1×10^6 、高达约 1.1×10^6 、高达约 1.3×10^6 、高达约 1.4×10^6 、高达约 1.5×10^6 、高达约 1.6×10^6 、高达约 1.7×10^6 、高达约 1.8×10^6 、高达约 1.9×10^6 或高达约 2×10^6 的Q。相比之下,对于形成在诸如TEOS的低损耗电介质上的电路元件,最大Q可能不超过约 1.5×10^5 。在一些实施方式中,覆盖层16的厚度,即多层布线堆叠100与覆盖层16的上暴露表面之间的距离,例如在约2微米与约20微米之间。

[0049] 在一些实施方式中,覆盖层16可以通过接合层110结合到多层布线堆叠100。接合层110可以由诸如超导体的导电材料形成,并且可以兼任多层布线堆叠的布线层。例如,接合层110可以由铝、钛氮化物、铌或其它导体形成。与已描述的布线层一样,接合层110可以具有在几纳米与几百纳米(在一些情况下,甚至高达几微米)之间的厚度。

[0050] 如这里所述,一个或更多个电路元件12可以形成在覆盖层16的表面上。一个或更多个电路元件12可以包括各种不同的量子比特控制元件、量子比特读出元件和/或其它电路元件。例如,参照图1B,一个或更多个电路元件12可以包括量子比特读出谐振器12a,诸如共面波导谐振器、带状线谐振器或微带谐振器等谐振器类型。备选地或另外地,所述一个或更多个电路元件可以包括滤波器12b,诸如带通滤波器(例如,珀塞尔滤波器)、低通滤波器

或高通滤波器。电路元件的其它示例包括布线12c以及量子比特偏置元件和量子比特控制元件。在一些实施方式中,电路元件包括电容耦合元件12d,该电容耦合元件12d调解例如量子比特读出谐振器12a的读出谐振器与量子比特之间的相互作用。

[0051] 如这里所述,在一些情况下,通路(在图1B中示出为开口18)可以形成在覆盖层16中并用导体(例如超导体)填充以允许在覆盖层16的暴露表面上的电路元件12与在覆盖层16下方的布线层之间进行电接触。电路元件12的类型和数量不限于图1B所示的类型的数量。一个或多个电路元件12可以由诸如超导体薄膜的导电薄膜形成,该超导体薄膜包括例如铝、钛氮化物或铌等导体。形成电路元件12的薄膜的厚度可以例如在几纳米与几百纳米(在一些情况下,甚至几微米)之间。

[0052] 包括多层布线堆叠和具有一个或多个电路元件12的被接合的覆盖层16的载体芯片10可以例如通过凸块接合联接到包括量子计算电路元件(诸如量子比特)的分离的芯片。具体地,载体芯片10可以被接合,使得低损耗覆盖层直接位于具有量子计算电路元件的芯片对面。

[0053] 图2A和图2B是示出示例性量子计算器件20的图,该示例性量子计算器件20包括联接到第二芯片24(这里也被称为量子比特芯片)的载体芯片22(诸如这里相对于图1A-1B描述的载体芯片10),第二芯片24包含诸如量子比特的量子计算电路元件。图2A是示出量子计算器件20的剖视图的示意图。图2B是示出量子计算器件20的顶视图的示意图,其中使穿过器件20在不同高度处的某些特征可见。与载体芯片10一样,载体芯片22包括多层布线堆叠100、覆盖层16和一个或多个电路元件12。载体芯片22的特征已在上面相对于图1A和图1B被描述并且这里将不再重复。

[0054] 量子比特芯片24包括电介质基板26,该电介质基板26由诸如单晶硅或蓝宝石的低损耗电介质形成。一个或多个量子电路元件28可以形成在基板26的表面上。例如,量子电路元件28可以包括超导量子比特,诸如Xmon量子比特、Gmon量子比特、fluxmon量子比特、传输子量子比特或电荷量子比特等量子比特。量子电路元件28可以至少部分地由包括例如铝、铌或钛氮化物等的超导体薄膜材料形成。用于形成量子电路元件的薄膜的厚度可以在几纳米与几百纳米(在一些情况下,甚至几微米)之间。量子比特芯片24上还可以包括其它电路元件,包括除了量子比特以外的其它类型的量子电路元件。例如,在一些情况下,量子比特芯片24还可以包括接地平面。在一些实施方式中,即使量子比特控制元件和量子比特读出元件可以形成在载体芯片22上,此类元件也可以被包括在量子比特芯片24上。

[0055] 量子比特芯片24联接到载体芯片22,使得在量子比特芯片24与载体芯片22之间存在间隙。间隙的高度30可以在约1微米至约20微米之间,包括例如在约5微米至约10微米之间。高度30可以由量子比特芯片24上的一个或多个量子电路元件28与载体芯片22上的一个或多个电路元件12之间的期望的电磁耦合水平来设定。例如,载体芯片22上的电路元件12可以包括量子比特读出谐振器。该读出谐振器通过与量子比特芯片24上的对应的量子比特电磁耦合而操作。然而,还可以有用的是,保持载体芯片22上的控制元件与量子比特芯片24充分分离,使得来自控制元件的不希望的电磁干扰不会(例如,通过引起量子比特退相干)不利地影响量子比特芯片24上的量子比特的状态。因此,可以选择期望的高度30,从而实现任一芯片上的电路元件之间充分的期望的耦合而没有引入不希望的干扰。

[0056] 量子比特芯片24与载体芯片22之间的联接可以使用凸块接合部32来实现。凸块接

合部32提供将量子比特芯片24固定到载体芯片22同时还维持量子比特芯片24与载体芯片22之间的间隙分离的物理连接。在一些实施方式中,提供凸块接合部32仅用于将量子比特芯片24固定到载体芯片22。在其它实施方式中,凸块接合部32还提供量子比特芯片24上的电路元件与载体芯片22上的电路元件之间的电连接。例如,凸块接合部32可以将量子比特芯片24上的电路元件连接到载体芯片22上的接地平面。凸块接合部32可以由诸如铟的超导体材料形成,但可以使用其它材料代替。

[0057] 在一些实施方式中,凸块接合部32通过量子比特芯片24和载体芯片22之一或两者上的互连焊盘电连接并形成在所述互连焊盘上。互连焊盘可以由超导体材料形成以减小退相干和能量损耗。例如,互连焊盘可以由铝形成。在一些实施方式中,诸如钛氮化物的超导体屏障层形成在凸块接合部32与互连焊盘之间,以提供阻挡凸块接合部材料扩散到互连焊盘中中和/或反之亦然导电屏障。互连焊盘和屏障层的厚度可以是几纳米至几十纳米至几百纳米。

[0058] 在一些实施方式中,形成在载体芯片22的覆盖层16上的一个或更多个电路元件12可以与形成在量子比特芯片24上的一个或更多个量子电路元件28对准。例如,在一些情况下,可以有用的是,将载体芯片22上的量子比特读出谐振器与量子比特芯片24上的对应的量子比特对准,以允许在量子计算器件20的操作期间在读出谐振器与量子比特之间的充分的(例如电感地和/或电容地)电磁耦合,因此使量子比特的状态能够被测量。此配置的示例在图2A和图2B中示出。例如,如图2B的顶视图所示,量子电路元件12是Xmon型量子比特,其中Xmon型量子比特的一部分在X方向和Y方向上与电路元件12的对应于量子比特读出谐振器的部分重叠。在图2A的剖视图中还示出了在量子比特28与谐振器12之间沿X方向的重叠。来自载体芯片22的电路元件与量子比特芯片24之间所需的重叠量可以取决于各种因素,包括例如电路元件之间的电磁耦合水平、所使用的材料以及载体芯片22与量子比特芯片24之间的间隙分离。在一些实施方式中,载体芯片22上的多个电路元件可以分别与量子比特芯片24上的多个量子电路元件对准,使得例如多个载体芯片电路元件中的每个可以联接到量子比特芯片24的对应的量子电路元件。

[0059] 图2A-2B所示的器件20的配置可以提供几个优点。例如,多层布线堆叠内的多个层级的布线可以用于在形成于载体芯片22上的各种量子比特控制元件和量子比特读出元件之间提供信号分配。备选地或另外地,多个层级的布线可以在载体芯片22所接合到的量子比特芯片24上的量子比特阵列和/或其它量子电路元件之间提供信号分配。因此,多层布线堆叠有效地允许可被控制并最终在量子计算器件的操作期间用作计算的部分的量子比特芯片上的量子电路元件的数量增加,从而改善整个器件的可扩展性。另外,因为需要高相干性的量子比特读出谐振器、量子比特控制元件和/或其它电路元件形成在相对低损耗的覆盖层16而不是多层布线堆叠100的有损耗的电介质上,所以对于那些电路元件因此对于整个器件可以实现高Q。此外,不需要在多层布线堆叠100内形成深通路蚀刻以提供与相对低损耗的覆盖层上的量子比特读出谐振器或其它电路元件的连接,因而释放了多层布线堆叠100内的空间以用于其它用途,诸如为布线规定路线。

[0060] 图3A-3F是示出制造量子计算器件(诸如参照图2A和图2B描述的量子计算器件20)的示例性过程的图。

[0061] 首先,如图3A所示,提供多层布线堆叠100。多层布线堆叠100包括交替的电介质材

料层120和布线层130。不同的布线层130可以通过形成在电介质层120内的导电通路电连接在一起。关于电介质层和布线层以及导电通路的细节在此相对于图1-2被描述并且这里不再重复。多层布线堆叠100可以使用半导体制造工艺来构建。例如,在一些情况下,如果首先提供基板层140,其中基板层140包括晶片,诸如单晶硅。使用材料沉积技术(例如,物理气相沉积),在基板层140的表面上形成包括通路接触的多个电介质材料层120和布线层130。可以使用包括刻蚀(lithography)、剥离和蚀刻的互补金属氧化物半导体(CMOS)图案化技术来图案化各个电介质层和布线层。例如,对于每一层,被图案化的光致抗蚀剂层可以使用刻蚀形成在该层的表面上,在此之后,光致抗蚀剂层中的开口暴露于蚀刻剂(例如,湿蚀刻剂或干蚀刻剂)以去除暴露区域中的下面的材料。各层的图案化可以用于提供遍及多层布线堆叠100的信号分配路径。在一些情况下,在形成多层布线堆叠100之后,使用例如背面蚀刻来部分地或全部地去除基板层140。

[0062] 在一些情况下,在多层布线堆叠100的最上面的表面上(例如,在器件的与形成基板层140的一侧相反的一侧处)形成第一接合层110a。第一接合层110a可以由诸如金属超导体(例如,铝等)的金属形成。与下面的布线层130一样,顶层110a也可以使用CMOS制造技术来沉积和图案化。第一接合层110a可以通过连接到第一接合层110a的导电通路而提供与下面的布线层的电连接。

[0063] 图3B示出了图3A所示的多层布线堆叠100的顶视图。如图3B所示,第一接合层110a被图案化以限定接触部分112。通过在接合层110a内形成围绕接触部分112的开口114,接触部分112可以与接合层110a的其余部分电隔离。例如,可以蚀刻第一接合层110a以暴露区域114中的下面的电介质层。以这种方式,接触部分112可以用于提供与将要形成在覆盖层内的接触的电连接,而第一接合层110a的与接触部分112电隔离的其余部分可以用于接合到覆盖层。

[0064] 在形成多层布线堆叠100之后,将覆盖层16接合到多层布线堆叠100。覆盖层16可以包括例如低损耗电介质基板11和第二接合层110b。低损耗电介质基板11可以包括例如单晶硅。低损耗电介质基板11可以使用绝缘体上硅(SOI)工艺而形成,其中高度结晶硅层11形成在操作晶片(handle wafer)的电绝缘体表面(例如,二氧化硅或蓝宝石)上。操作晶片和SOI晶片的绝缘体未在图3C中示出。在将覆盖层16接合到多层布线堆叠100之后,可以将操作晶片和绝缘体从基板11去除,仅留下低损耗电介质层11。低损耗电介质层11可以具有在约2微米与约20微米之间的厚度。第二接合层110b可以由包括金属超导体层的金属形成。例如,可以在单晶硅层11的清洁表面上沉积诸如铝的超导体材料的层。

[0065] 在一些实施方式中,第二接合层110b可以被调整为具有与形成在多层布线堆叠100的第一接合层110a中的图案对应的图案。例如,图3D示出了将接合到第一接合层110a的第二接合层110b的表面的俯视图。如图3D所示,第二接合层110b被图案化以限定接触部分312。通过在接合层110b内形成围绕接触部分312的开口314,接触部分312可以与接合层110b的其余部分电隔离。例如,第二接合层110b可以被蚀刻以暴露区域314中的下面的低损耗电介质基板11。以这种方式,接触部分312可以用于提供与限定在多层布线堆叠100内的第一接合层110a中的接触112的电连接,而第二接合层110b的与接触部分312电隔离的其余部分可以用于接合到第一接合层110a。

[0066] 为了增强第一接合层110a与第二接合层110b的接合,第一接合层110a和/或第二

接合层110b的接合表面可以暴露于离子铣削工艺。离子铣削工艺可以用于制备表面并改善接合层之间的粘附力。在一些实施方式中,可以在远离量子比特读出谐振器的区域中执行离子铣削工艺。在一些实施方式中,可以在面对量子比特读出谐振器的区域中执行离子铣削工艺。在面对量子比特读出谐振器的区域中执行离子铣削工艺的情况下,量子比特读出谐振器可以包括金属,使得量子比特读出谐振器可以受该金属保护而免于由离子铣削工艺造成的损坏。

[0067] 离子铣削包括以一角度将离子(例如,氩离子)引导至接合层的表面以及从该表面溅射材料。例如,在一些实施方式中,可以通过在不添加热的情况下(例如,在其中制造器件的制造设备的环境温度下)以约3.6sccm在 3.7×10^{-4} mbar的压力下使Ar气体流动而在离子铣削机中执行离子铣削。相信的是,离子铣削激活接合层的表面结构以提供改善的接合性能。即,通过使用离子铣削从超导体的表面去除自然氧化物和/或污染物,可以(例如,大约在其中制造器件的制造设备的环境温度下)实现室温或接近室温的晶片接合。然而,因为离子铣削工艺仅从接合层的表面去除原子,所以离子铣削不会显著增加与接合层的表面相关联的能量损耗,并且不大可能对形成在覆盖层上的电路元件的品质因数的降低有贡献。

[0068] 在接合层110a、110b的离子铣削激活之后,多层布线堆叠100和覆盖层16被接合在一起以形成载体芯片24。接合在真空下执行。真空的压力范围可以在大约 10^{-7} Torr至大约 10^{-9} Torr之间。接合可能要求相对小的压力。例如,几磅的压力(对于大约3英寸直径的晶片,例如约几kPa)可足以在晶片之间获得足够的接合,如在冷焊工艺中那样。然而,在一些实施方式中,可以施加更大的压力。也可以在其中构造器件的制造设备的环境温度(例如,在大约18°C和大约30°C的范围内)下执行接合。在一些实施方式中,如果需要,可以在接合工艺期间施加额外的热。然而,温度最好应被保持在大约150°C以下,这是典型温度,在该典型温度下,小丘和/或空隙开始形成,并且跨界面的扩散充分增加,足以在电介质与超导体之间以及在超导体之间的界面处产生明显的损耗。

[0069] 上述接合工艺是金属到金属接合工艺。然而,在一些实施方式中,可以代替地执行金属到电介质接合工艺,以将多层布线堆叠100接合到覆盖层16。例如,在一些情况下,多层布线堆叠100中不形成第一接合层110a,使得最上面的层是堆叠100的电介质层120。然后,可以将最上面的电介质层直接接合到覆盖层上的金属层110b。备选地,在一些情况下,不形成第二接合层110b,使得覆盖层的高质量电介质基板11直接接合到多层布线堆叠100的第一接合层110a。在一些实施方式中,不使用第一接合层110a和第二接合层110b两者,并且在堆叠100的最上面的电介质层120与覆盖层16的低损耗电介质基板11之间执行直接的电介质到电介质接合。在一些实施方式中,可以执行金属到电介质接合工艺。在这些实施方式中,可以向接合层的表面应用各种处理。例如,可以对接合层的表面执行上述离子铣削工艺。作为另一示例,接合层的表面可以在不应用离子铣削工艺的情况下被接合。作为另一示例,可以对表面的电介质侧执行氢氟酸浸渍。

[0070] 在一些实施方式中,在将覆盖层16接合到多层布线结构100之后,可以去除SOI晶片的掩埋氧化物层和体操作层(bulk handling layer)以暴露覆盖层的表面。在去除氧化物和操作层之后,在覆盖层16的低损耗电介质层11内形成开口13,如图3E所示。形成开口13以提供通路,通过该通路可以形成与堆叠100的下面的布线层的电连接。开口13可以例如通过蚀刻基板11内的预定区域使得开口13延伸到堆叠100的最上面的布线层而形成。最上面

的布线层可以包括例如第二接合层110b、第一接合层110a或另一些布线层。

[0071] 在基板11内形成开口13之后,导电体层在基板11的表面上被形成并被图案化,如图3F所示。导电体层可以包括超导体材料,诸如例如铝、铌、钛氮化物等超导体材料。可以在开口13内沉积超导体以形成通路接触14,该通路接触14提供与堆叠100的下面的布线层的电连接。可以图案化超导体层以形成电路元件,诸如用于例如偏置、操作和测量量子比特芯片上的量子比特的量子比特控制元件和量子比特读出元件。覆盖层的表面上的电路元件12直接电联接到导电通路14。电路元件12可以配置为以约300MHz与约300GHz之间的微波频率操作,并且可以包括例如共面波导、频率滤波器、量子比特读出谐振器、量子比特偏置控制元件和量子比特频率控制元件等电路元件。

[0072] 在如图3F所示地形成载体芯片24之后,载体芯片24于是被联接到包括一个或多个量子电路元件(诸如超导量子比特)的量子比特芯片。联接可以包括使用例如凸块接合将载体芯片24接合到量子比特芯片,其中凸块接合部如图2A所示维持载体芯片24与量子比特芯片之间的固定分离或间隙。

[0073] 参照图2A,凸块接合部32可以包括诸如铟的超导材料,并且可以形成在具有薄的(例如,几纳米)屏障层(例如,钛氮化物)的薄膜互连焊盘(例如,铝互连焊盘)上。在一些实施方式中,金属互连焊盘在其表面上具有薄的自然氧化物层,该薄的自然氧化物层在形成屏障层之前使用离子铣削被去除。屏障层的沉积可以包括例如执行反应溅射。在沉积屏障层材料之后,可以图案化屏障层材料以刚好覆盖互连焊盘的表面。在沉积和图案化屏障层之后,可以可选地离子铣削屏障层的暴露表面。随后,在屏障层的表面上沉积将形成超导凸块接合部的超导材料的层。可以使用例如热蒸发沉积工艺来沉积超导材料。与屏障层一样,可以使用光刻和湿蚀刻技术或干蚀刻技术(或剥离)的组合来图案化形成凸块接合部32的所沉积的超导材料,以限定凸块接合区域。

[0074] 然后,在载体芯片24和量子比特芯片22之一或两者上形成凸块接合部32的材料的表面被暴露于 H_2 等离子体。在将超导凸块接合部暴露于 H_2 等离子体之后,这两个芯片被放在一起,并在凸块接合机中彼此接合,以生产量子计算器件。可以在真空下并且在不施加热的情况下(例如,在室温下)执行压力接合。真空的压力范围可以在大约 10^{-7} Torr至大约 10^{-9} Torr之间。低温/室温压力接合可以使用例如可从三菱重工业有限公司(Mitsubishi Heavy Industries,Ltd)获得的Bond Meister来执行。

[0075] 术语量子信息和量子数据是指由量子系统携带、在量子系统中保持或存储的信息或数据,其中最小的非平凡系统是量子比特,例如定义量子信息的单位的系统。理解的是,术语“量子比特”涵盖在对应上下文中可适当地近似为两级系统的所有量子系统。这样的量子系统可以包括例如具有两级或更多级的多级系统。举例来说,这样的系统可以包括原子、电子、光子、离子或超导量子比特。在一些实施方式中,计算基础状态用基态和第一激发态识别,但理解的是,其中计算状态用更高级的激发态识别的其它设置是可能的。理解的是,量子存储器是能以高保真度和高效率长时间存储量子数据的器件,例如光-物质界面,其中光用于传输并且物质用于存储和保存量子数据的量子特征,诸如叠加或量子相干性。

[0076] 量子电路元件(也称为量子计算电路元件)包括用于执行量子处理操作的电路元件。即,量子电路元件配置为利用诸如叠加和纠缠的量子力学现象以非确定性方式对数据执行操作。某些量子电路元件(诸如量子比特)可以配置为同时以多于一种的状态表示信息

和对信息进行操作。超导量子电路元件的示例包括诸如量子LC振荡器、量子比特(例如,通量量子比特、相位量子比特或电荷量子比特)和超导量子干涉器件(SQUID)(例如,RF-SQUID或DC-SQUID)等的电路元件。

[0077] 相比之下,经典电路元件一般以确定性方式处理数据。经典电路元件可以配置为通过对数据执行基本的算术、逻辑和/或输入/输出操作来共同运行计算机程序的指令,其中数据以模拟或数字形式表示。在一些实施方式中,经典电路元件可以用于通过电连接或电磁连接向量子电路元件发送数据和/或从量子电路元件接收数据。经典电路元件的示例包括基于CMOS电路、快速单通量量子(RSFQ)器件、互易量子逻辑(RQL)器件以及作为不使用偏置电阻器的节能版本的RSFQ的ERSFQ器件的电路元件。

[0078] 这里描述的电路元件的制造可能需要沉积一种或更多种材料,诸如超导体、电介质和/或金属。取决于所选择的材料,这些材料可以使用诸如化学气相沉积、物理气相沉积(例如,蒸发或溅射)或外延技术等沉积工艺来沉积。这里描述的用于制造电路元件的工艺可能需要在制造期间从器件去除一种或更多种材料。取决于将要被去除的材料,去除工艺可以包括例如湿蚀刻技术、干蚀刻技术或剥离工艺。形成这里描述的电路元件的材料可以使用已知的刻蚀技术(例如,光刻或电子束刻蚀)被图案化。

[0079] 在使用超导量子电路元件和/或超导经典电路元件(诸如这里描述的电路元件)的量子计算系统的操作期间,超导电路元件在低温恒温器内被冷却至允许超导体材料表现出超导特性的温度。超导体(备选地,超导)材料可以被理解为在超导临界温度处或在超导临界温度以下表现出超导特性的材料。超导材料的示例包括铝(超导临界温度为1.2开尔文)和铌(超导临界温度为9.3开尔文)。因此,诸如超导迹线和超导接地平面的超导结构由在超导临界温度处或在超导临界温度以下表现出超导特性的材料形成。

[0080] 虽然本说明书包含许多特定的实施细节,但是这些细节不应被解释为对所要求保护的范围的限制,而应被解释为对特定实施方式可能特有的特征的描述。在本说明书中在分离的实施方式的上下文中描述的某些特征也可以在单个实施方式中被组合地实现。相反,在单个实施方式的上下文中描述的各种特征也可以在多个实施方式中被分开地或以任何合适的子组合来实现。此外,尽管特征可以在上面被描述为以某些组合起作用并且甚至最初如此主张,但是在一些情况下,可以从所要求保护的组合中删除该组合中的一个或多个特征,并且所要求保护的组合可以针对子组合或子组合的变型。

[0081] 此外,上述实施方式中的各种部件的分离不应被理解为在所有实施方式中都要求这样的分离。

[0082] 已经描述了多个实施方式。然而,将理解,在不背离本发明的精神和范围的情况下可以进行各种修改。例如,这里描述了其中电路元件形成在覆盖层上的各种示例。然而,在一些实施方式中,除了这里描述的信号线之外,电路元件也可以形成在多层布线堆叠内,包括例如微波滤波器和在微波频率范围内操作的其它无源电路元件。其它实施方式在所附权利要求要求的范围内。

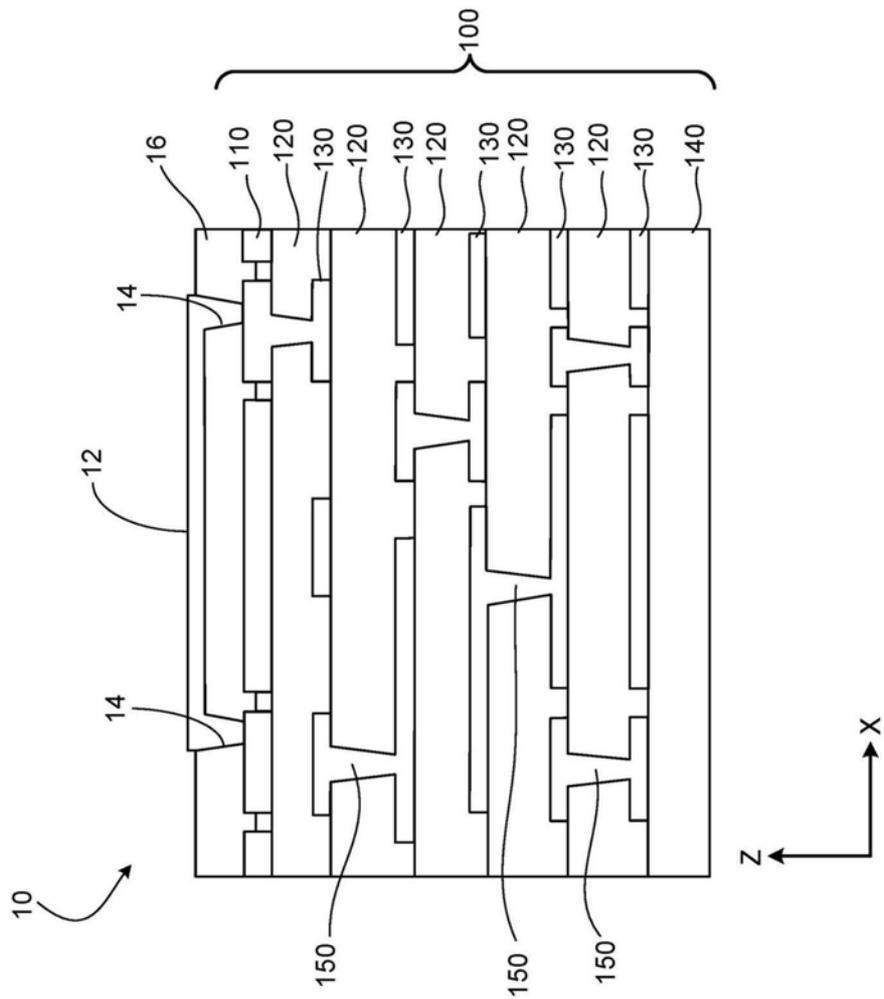


图1A

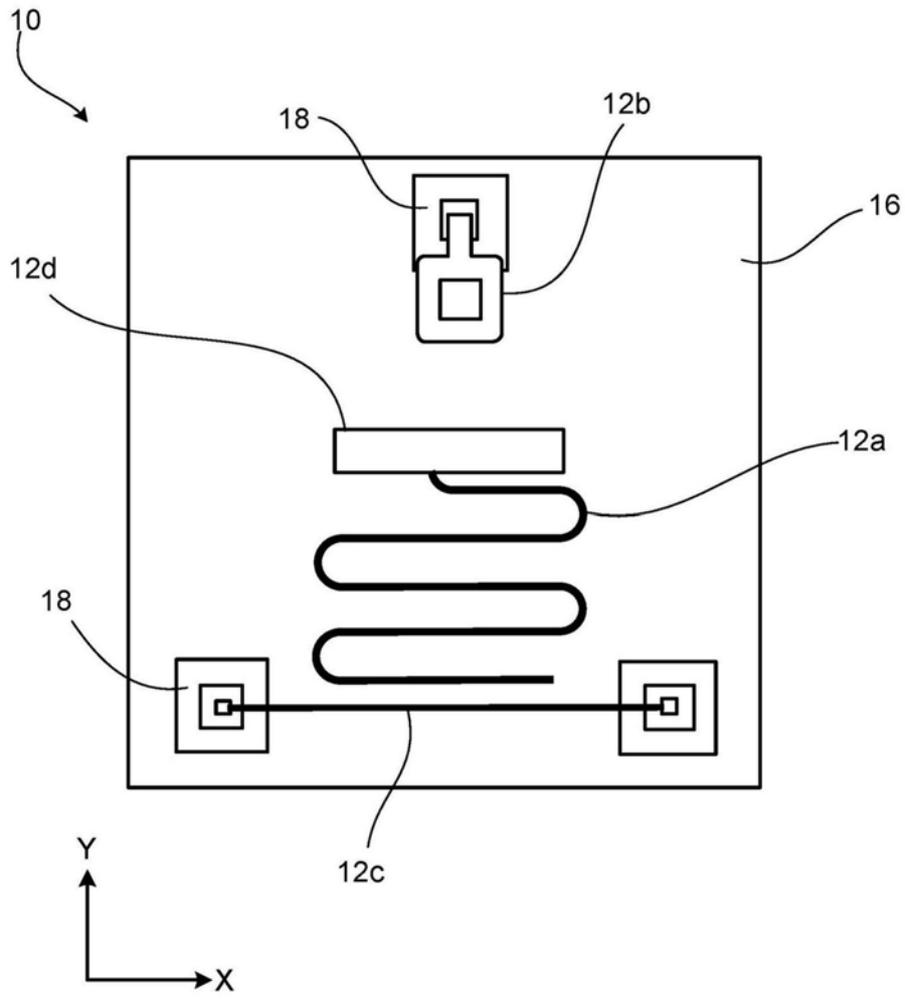


图1B

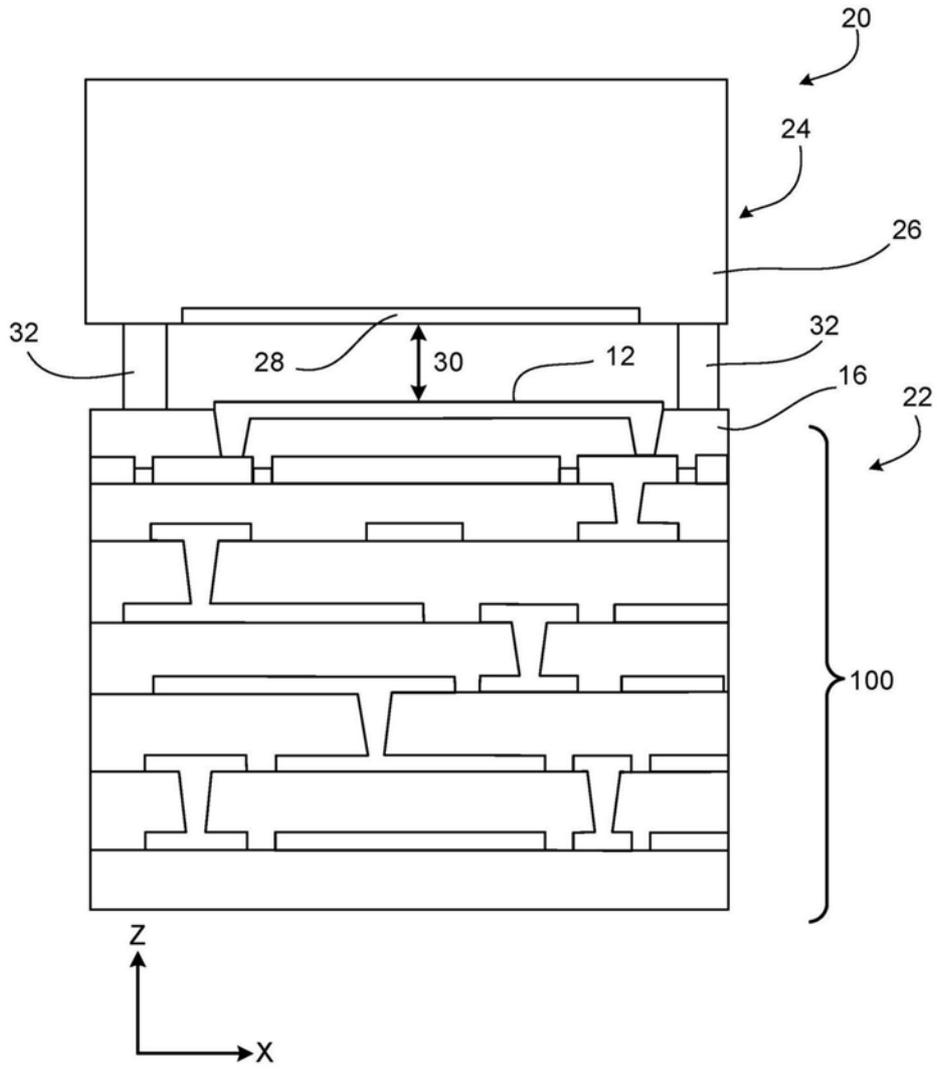


图2A

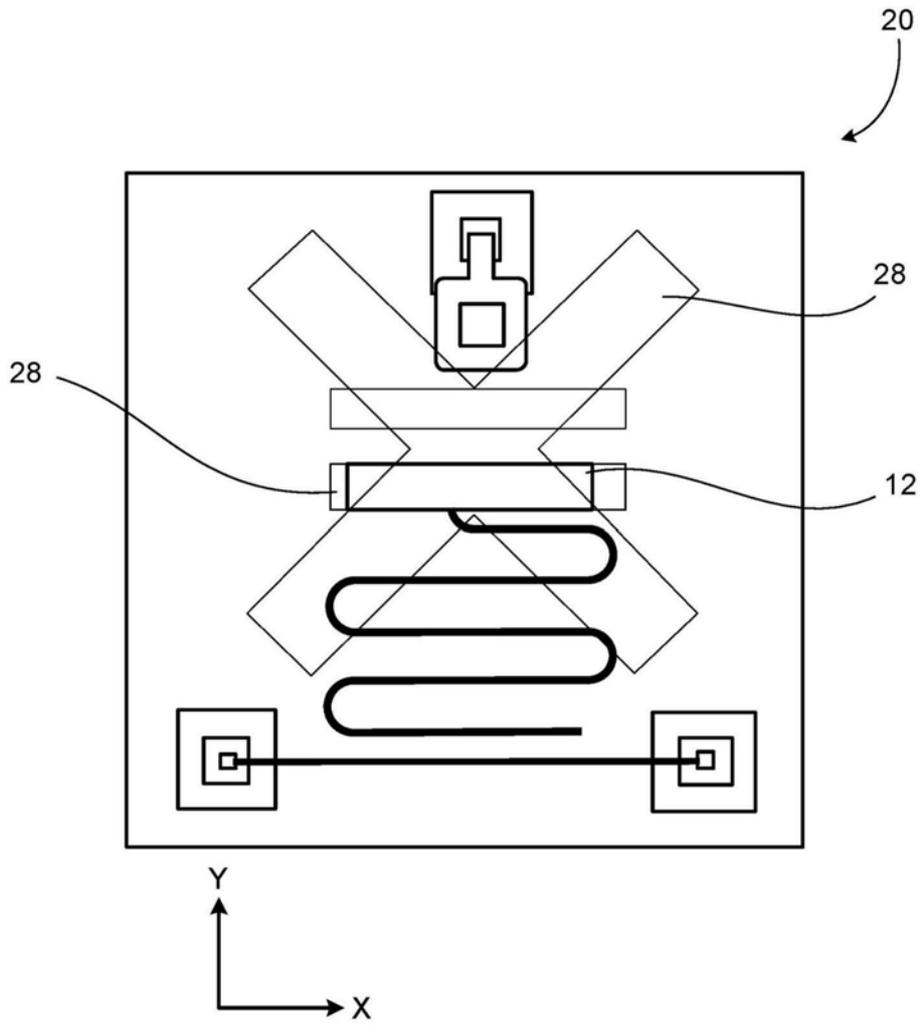


图2B

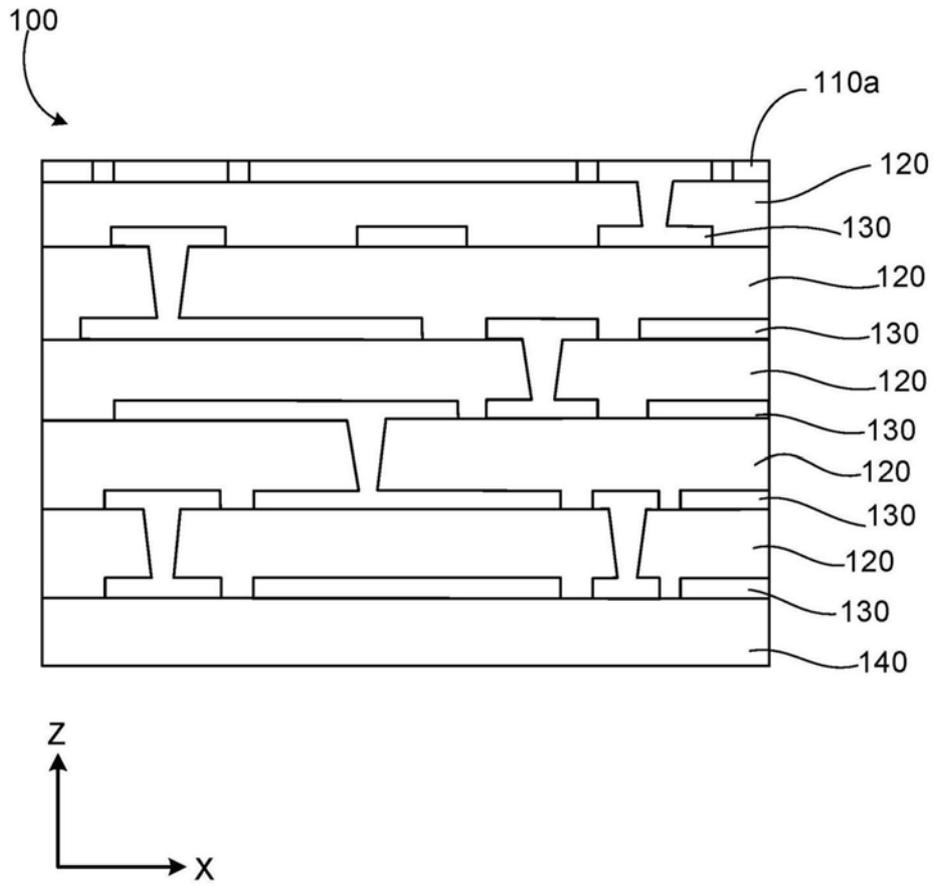


图3A

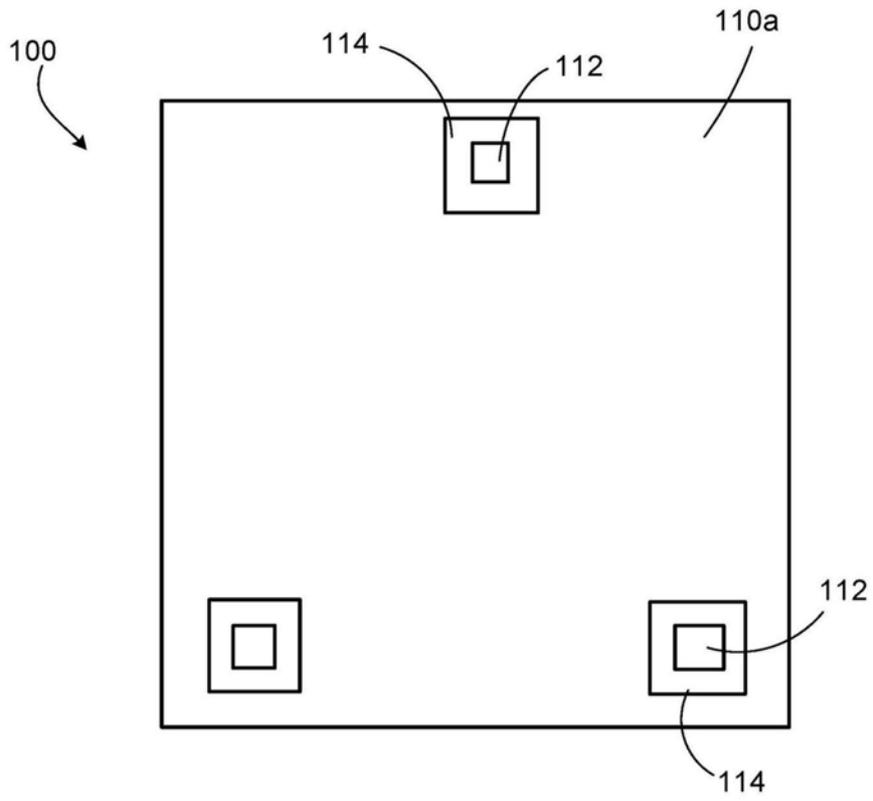


图3B

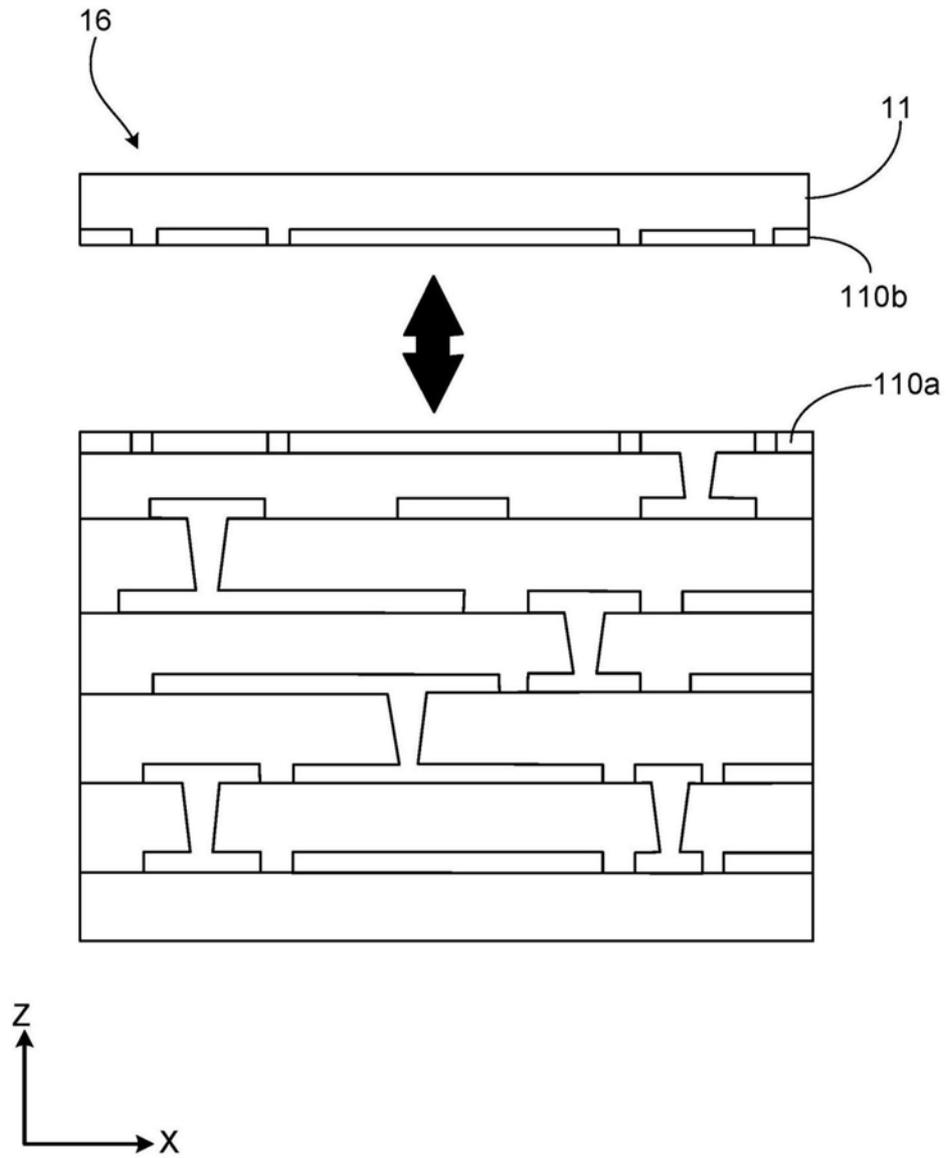


图3C

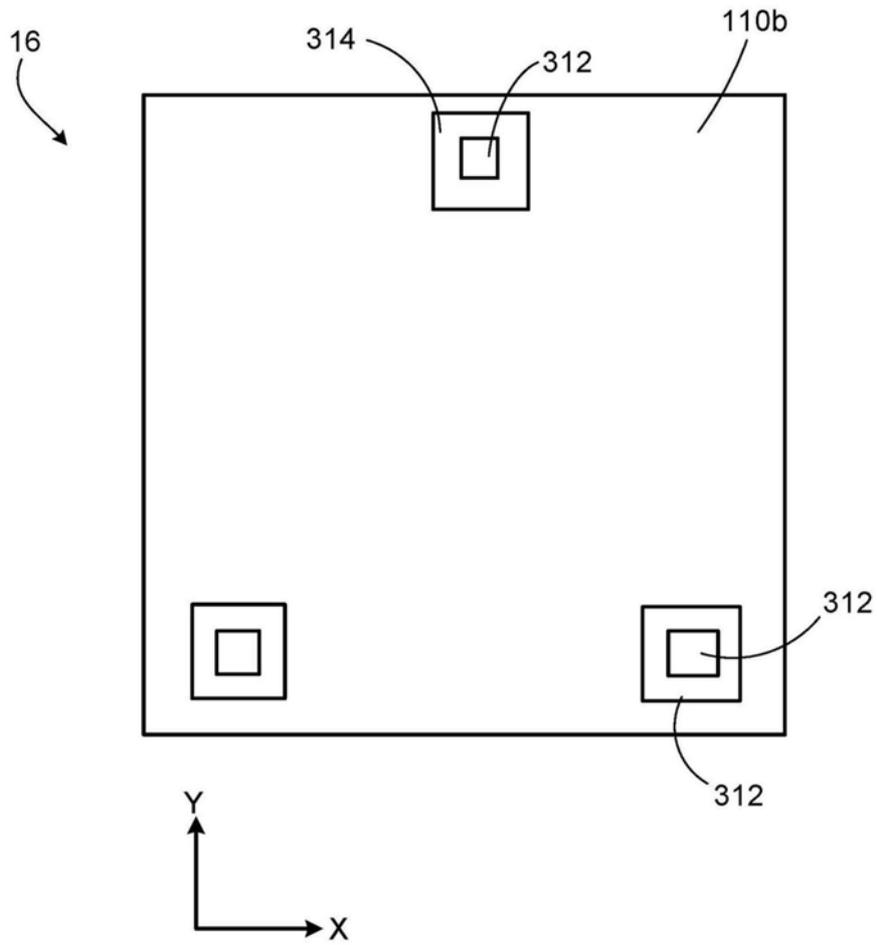


图3D

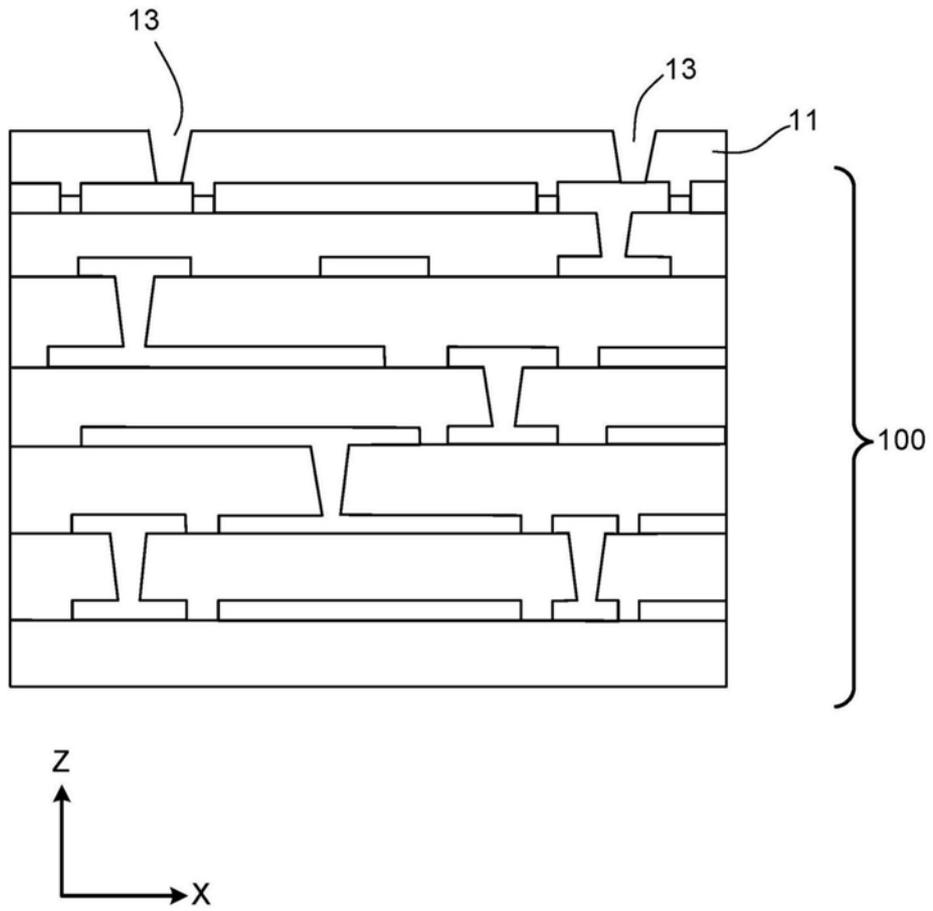


图3E

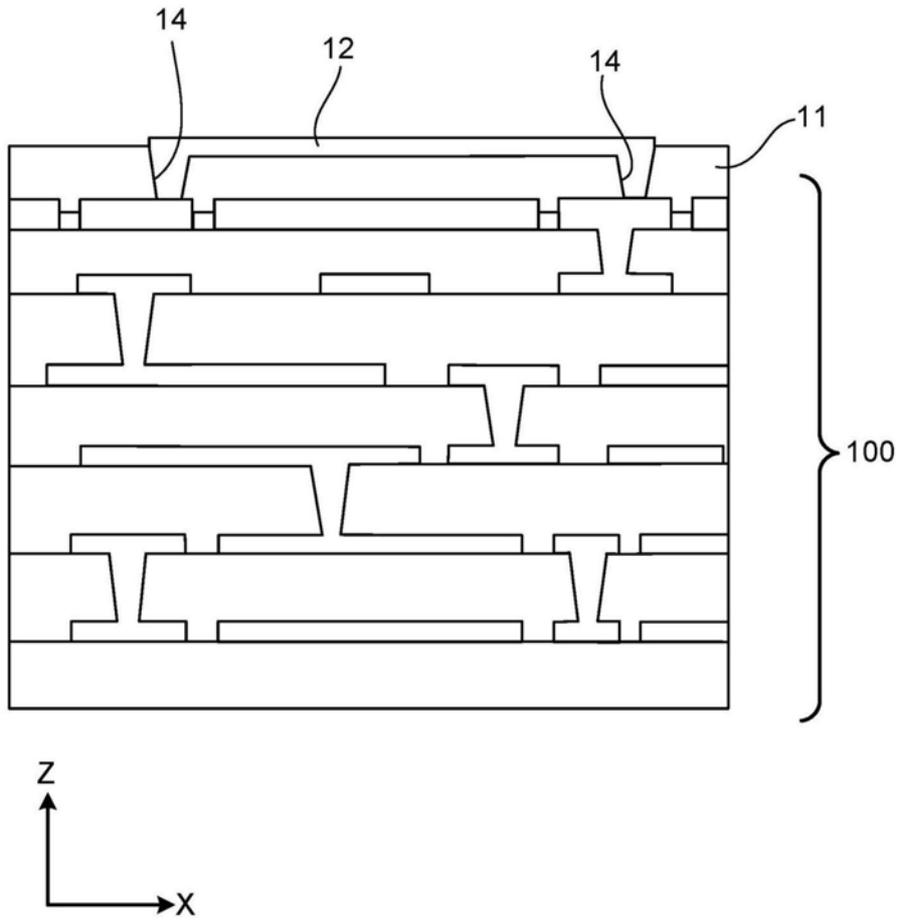


图3F